

TPS3809xxx-Q1 3 端子電圧監視 IC

1 特長

- 車載アプリケーション向けに認定済み
- 下記内容で AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C の周囲動作温度範囲
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C5
- 3 ピン SOT-23 パッケージ
- 消費電流: 9µA (標準値)
- 高精度電源電圧モニタ、2.5V、3V、3.3V、5V
- 200ms の固定遅延時間を持つパワー・オン・リセット・ジェネレータ
- MAX 809 とピン互換

2 アプリケーション

- 車載用カメラ・システム
- テレマティクス
- 車載用クラスタ
- エンジン制御
- サラウンド・ビュー・システム

3 概要

TPS3809 ファミリの監視回路は、主に DSP およびプロセッサ・ベースのシステムの回路の初期化とタイミングの監視を行います。新しい TLV809E デバイスは、同じピン、機能、電気的パラメータを持つ代替品です。

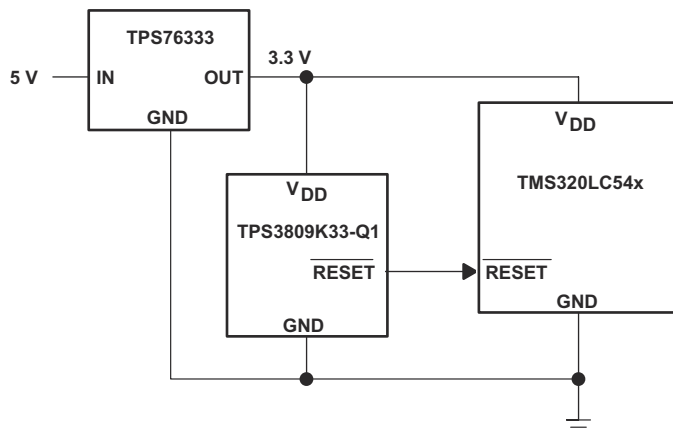
電源投入時には、電源電圧 V_{DD} が 1.1V を上回ると $\overline{\text{RESET}}$ ピンがアサートされます。その後、この電源電圧監視 IC が V_{DD} を監視し、 V_{DD} がスレッショルド電圧 V_{IT} を下回っている間は $\overline{\text{RESET}}$ ピンをアクティブに維持します。内蔵のタイマは、システムを確実に正しくリセットさせるため、出力が非アクティブ状態 (HIGH) に戻るのを遅らせます。この遅延時間 ($t_{d(\text{typ})} = 200\text{ms}$) は、 V_{DD} がスレッショルド電圧 V_{IT} を上回ったときにカウントを開始します。電源電圧がスレッショルド電圧 V_{IT} を下回ると、出力は再びアクティブ (LOW) になります。外付け部品は不要です。このファミリのデバイスはすべて、内部分圧回路により検出スレッショルド電圧 V_{IT} が固定値になっています。

この製品ファミリは、2.5V、3V、3.3V、5V の電源電圧用に設計されています。これらの回路は 3 ピンの SOT-23 パッケージで供給されます。TPS3809xxx-Q1 デバイスは、-40°C ~ 125°C の温度範囲で動作が規定されており、AEC-Q100 の IC ストレス・テスト認定に従って動作が認定されています。

デバイス情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
TPS3809xxx-Q1	SOT-23 (3)	2.90mm × 1.60mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



代表的なアプリケーション



Table of Contents

1 特長	1	8.1 Overview	8
2 アプリケーション	1	8.2 Functional Block Diagram	8
3 概要	1	8.3 Feature Description	8
4 Revision History	2	8.4 Device Functional Modes	8
5 Device Comparison	3	9 Application and Implementation	9
6 Pin Configuration and Functions	3	9.1 Application Information	9
6.1 Pin Functions.....	3	9.2 Typical Application	9
7 Specifications	4	10 Power Supply Recommendations	11
7.1 Absolute Maximum Ratings.....	4	11 Layout	12
7.2 ESD Ratings.....	4	11.1 Layout Guidelines.....	12
7.3 Recommended Operating Conditions.....	4	11.2 Layout Example.....	12
7.4 Thermal Information.....	4	12 Device and Documentation Support	13
7.5 Electrical Characteristics.....	5	12.1 サポート・リソース.....	13
7.6 Timing Requirements.....	5	12.2 Trademarks.....	13
7.7 Switching Characteristics.....	5	12.3 静電気放電に関する注意事項.....	13
7.8 Timing Diagrams.....	6	12.4 用語集.....	13
7.9 Typical Characteristics.....	7	13 Mechanical, Packaging, and Orderable Information	13
8 Detailed Description	8		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (March 2016) to Revision C (December 2020)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「概要」セクションに新しい TLV809E に関する文を追加.....	1
• Renamed <i>Device Comparison</i> modified device option table and added comparison table	3
• Changed VDD from 7 to 6.5 in <i>Absolute Maximum Ratings</i>	4
• Changed V _{OL} @ 500μA from 0.2 to 0.3 in <i>Electrical Characteristics</i>	5
• Changed t _w pulse duration from 3 to 10μs in <i>Timing Requirements</i>	5
• Changed t _{PHL} from 1 to 10μs in <i>Switching Characteristics</i>	5
• Deleted figure for Minimum Pulse Duration At V _{DD} in Typical Characteristics.....	7

Changes from Revision A (December 2002) to Revision B (February 2016)	Page
• AEC-Q100 認定済みの情報を箇条書きに追加.....	1
• 「アプリケーション」リストの項目を変更.....	1
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• Changed device part numbers by adding -Q1 to them throughout document	5

5 Device Comparison

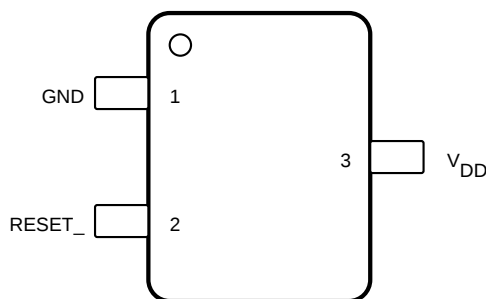
表 5-1. Device Threshold Options

PRODUCT	THRESHOLD VOLTAGE
TPS3809J25QDBVRQ1	2.25 V
TPS3809L30QDBVRQ1	2.64 V
TPS3809K33QDBVRQ1	2.93 V
TPS3809I50QDBVRQ1	4.55 V

表 5-2. Device Family Comparison

DEVICE	FUNCTION
TLV803	Open-Drain, RESET Output
TLV809	Push-Pull, RESET Output
TLV810	Push-Pull, RESET Output

6 Pin Configuration and Functions



**图 6-1. DBV Package
3-Pin SOT-23
Top View**

6.1 Pin Functions

PIN		I/O	DESCRIPTION
NAME	NO.		
GND	1	—	Ground
RESET	2	O	Reset output
V _{DD}	3	I	Supply voltage and supervising input

7 Specifications

7.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

	MIN	MAX	UNIT
Supply voltage, V_{DD} ⁽²⁾		6.5	V
All other pins ⁽²⁾	−0.3	6.5	V
Maximum low output current, I_{OL}		5	mA
Maximum high output current, I_{OH}		−5	mA
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{DD}$)	−20	20	mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{DD}$)	−20	20	mA
Continuous total power dissipation			
Operating free-air temperature range, T_A	−40	125	°C
Storage temperature, T_{stg}	−65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values are with respect to GND. For reliable operation the device should not be operated at 6.5 V for more than $t = 1000$ h continuously.

7.2 ESD Ratings

	VALUE	UNIT
$V_{(ESD)}$ Electrostatic discharge	Human-body model (HBM), per AEC Q100-002 ⁽¹⁾	±2000
	Charged-device model (CDM), per AEC Q100-011	±750
		V

- (1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

7.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

	MIN	NOM	MAX	UNIT
V_{DD} Supply voltage	2		6	V
T_A Operating free-air temperature	−40		125	°C

7.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TPS3809xxx-Q1	UNIT
		DBV (SOT-23)	
		3 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	232.5	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	187.6	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	104.1	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	40.5	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	104.4	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

7.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS		MIN	TYP	MAX	UNIT
V _{OH}	High-level output voltage		V _{DD} = 2.5 V to 6 V, I _{OH} = -500 μA		V _{DD} - 0.2		V	
			V _{DD} = 3.3 V, I _{OH} = -2 μA		V _{DD} - 0.4			
			V _{DD} = 6 V, I _{OH} = -4 mA	T _A = -40°C to +25°C		V _{DD} - 0.4		
				T _A = 125°C		V _{DD} - 0.5		
V _{OL}	Low-level output voltage		V _{DD} = 2 V to 6 V, I _{OL} = 500 μA		0.3		V	
			V _{DD} = 3.3 V, I _{OL} = 2 mA		0.4			
			V _{DD} = 6 V, I _{OL} = 4 mA		0.4			
Power-up reset voltage ⁽¹⁾			V _{DD} ≥ 1.1 V, I _{OL} = 50 μA		0.2		V	
V _{IT-}	Negative-going input threshold voltage ⁽²⁾	TPS3809J25-Q1	T _A = -40°C to +125°C		2.20	2.25	2.30	V
		TPS3809L30-Q1			2.58	2.64	2.7	
		TPS3809K33-Q1			2.87	2.93	2.99	
		TPS3809I50-Q1	T _A = -40°C to +85°C		4.45	4.55	4.65	
			T _A = -40°C to +125°C		4.4	4.55	4.65	
		V _{hys}	Hysteresis	TPS3809J25-Q1			30	
TPS3809L30-Q1	35							
TPS3809K33-Q1	40							
TPS3809I50-Q1	60							
I _{DD}	Supply current		V _{DD} = 2 V, Output unconnected		9	15	μA	
			V _{DD} = 6 V, Output unconnected		20	30		
C _i	Input capacitance		V _i = 0 V to V _{DD}		5		pF	

(1) The lowest supply voltage at which RESET becomes active. t_r, V_{DD} ≥ 15 µs/V.

(2) To ensure best stability of the threshold voltage, a bypass capacitor (0.1 µF, ceramic) should be placed near the supply terminals.

7.6 Timing Requirements

R_L = 1 MΩ, C_L = 50 pF, T_A = 25°C

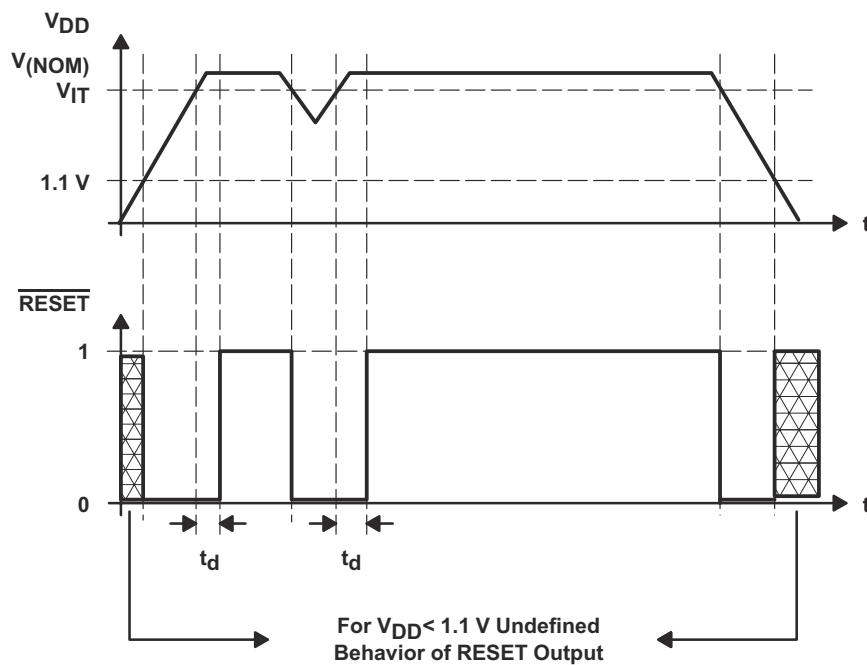
		MIN	NOM	MAX	UNIT
t _w	Pulse width at V _{DD}	V _{DD} = V _{IT-} + 0.2 V, V _{DD} = V _{IT-} - 0.2 V		10	µs

7.7 Switching Characteristics

R_L = 1 MΩ, C_L = 50 pF, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _d	Delay time	V _{DD} ≥ V _{IT-} + 0.2 V, See timing diagram, セクション 7.8	120	200	280	ms
t _{PHL}	Propagation (delay) time, high-to-low-level output	V _{DD} to RESET delay V _{IL} = V _{IT-} - 0.2 V, V _{IH} = V _{IT-} + 0.2 V		10		µs

7.8 Timing Diagrams



7-1. Timing Diagram

7.9 Typical Characteristics

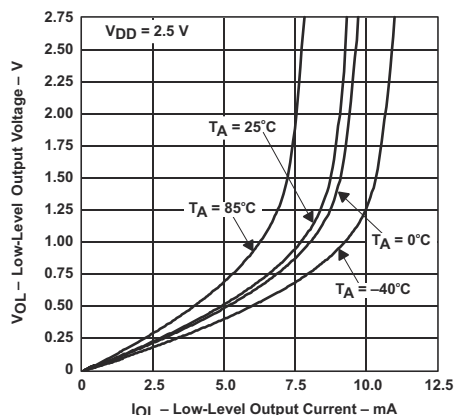


Figure 7-2. Low-Level Output Voltage vs Low-Level Output Current

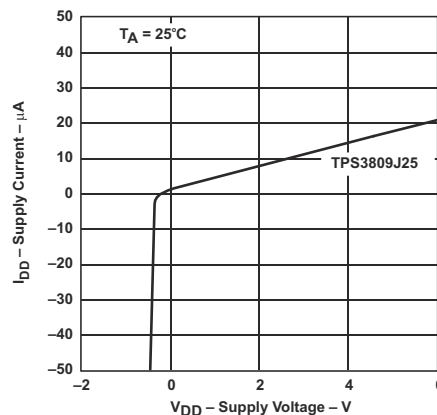


Figure 7-3. Supply Current vs Supply Voltage

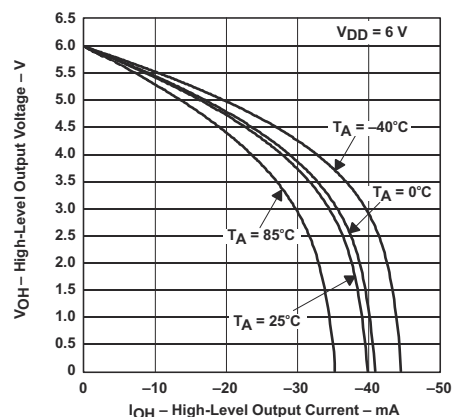


Figure 7-4. High-Level Output Voltage vs High-Level Output Current

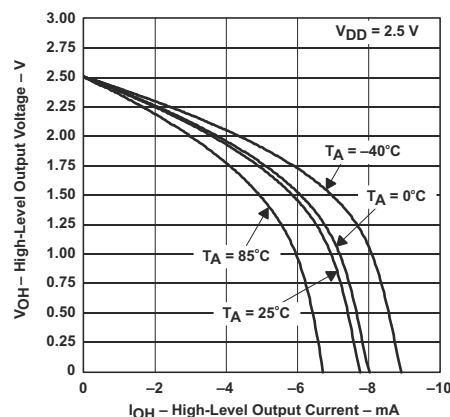


Figure 7-5. High-Level Output Voltage vs High-Level Output Current

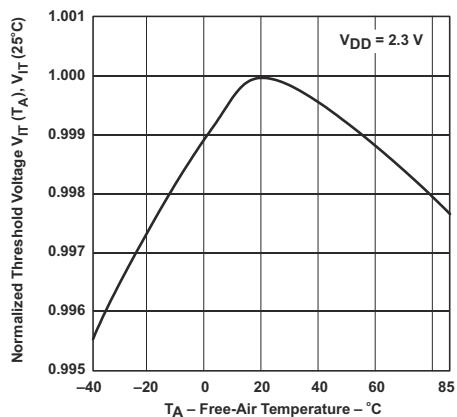


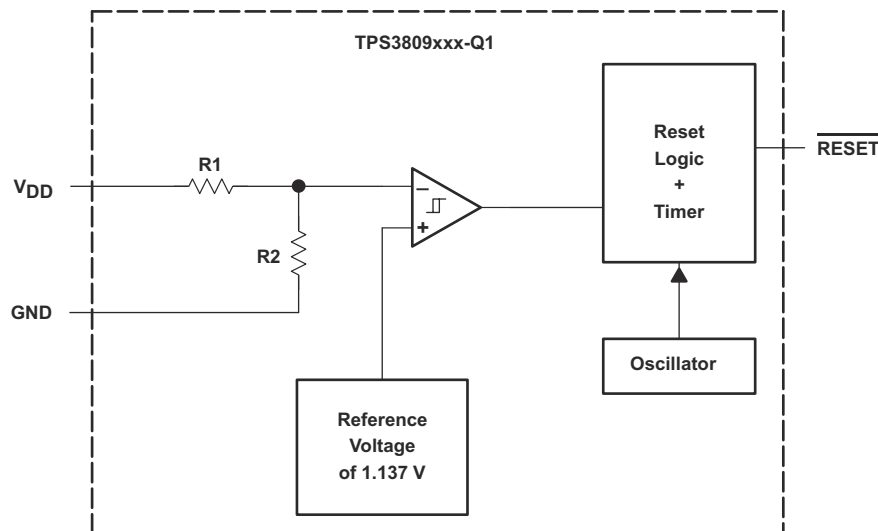
Figure 7-6. Normalized Input Threshold Voltage vs Free-Air Temperature at $V_{DD} = 2.3\text{ V}$

8 Detailed Description

8.1 Overview

The TPS3809xxx-Q1 device is a low-current supervisory circuit for monitoring system voltages above 2 V. The device asserts an active-low $\overline{\text{RESET}}$ signal when VDD drops below a preset threshold. The $\overline{\text{RESET}}$ output remains low until VDD returns above its threshold. The device design is also to be relatively immune to short negative transients on the VDD pin.

8.2 Functional Block Diagram



8.3 Feature Description

8.3.1 VDD Monitoring

The VDD pin provides a terminal at which a system voltage can be monitored. If the voltage on this pin drops below V_{IT} , $\overline{\text{RESET}}$ is asserted low. The comparator has a built-in hysteresis to ensure smooth $\overline{\text{RESET}}$ assertions and deassertions. Refer to [セクション 5](#) to determine the VDD voltage threshold for each device.

8.4 Device Functional Modes

TPS3809xxx-Q1 monitors one supply using the VDD pin. When VDD is above the V_{IT} threshold for the device, $\overline{\text{RESET}}$ will be high. When VDD is below the V_{IT} threshold for the device, $\overline{\text{RESET}}$ will be low.

9 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

9.1 Application Information

The TPS3809xxx-Q1 voltage supervisor device design asserts an active-low RESET signal when V_{DD} drops below a voltage threshold V_{IT} . The RESET signal remains low until the voltage returns above its threshold. The typical application is with a processor or microcontroller, which needs to be reset when the supply rail drops below a specified tolerance.

9.2 Typical Application

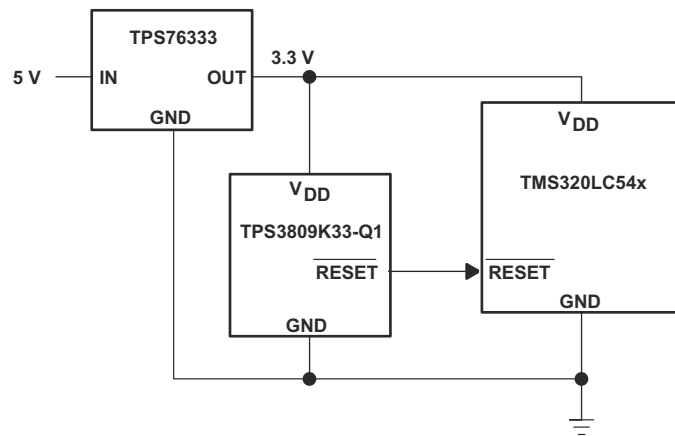


図 9-1. Typical Application Schematic

9.2.1 Design Requirements

Each device has a fixed voltage monitoring threshold, and the device should be chosen based on the voltage being monitored. Refer to [セクション 5](#) to determine the VDD voltage threshold for each device. In this example, a 3.3V supply rail to a microcontroller will be monitored.

9.2.2 Detailed Design Procedure

Because a 3.3-V supply rail needs to be monitored, TPS3809K33-Q1 should be used. This device has a 2.93-V threshold for reset. Connect the 3.3-V supply to the V_{DD} pin and the reset output of the supervisor to the reset pin of the microcontroller.

9.2.3 Application Curves

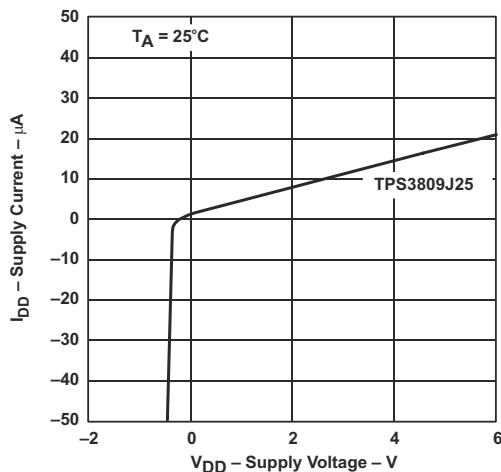


Figure 9-2. Supply Current vs Supply Voltage

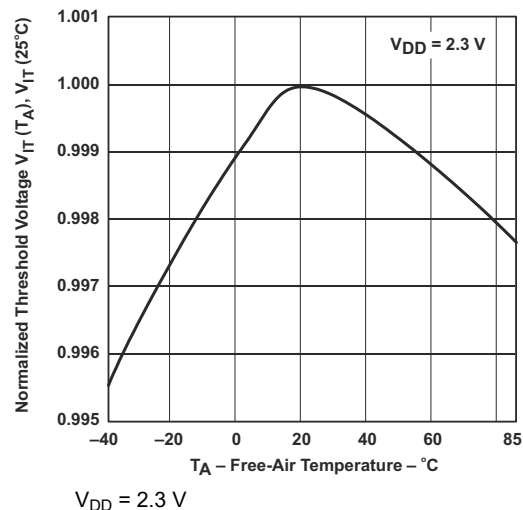


Figure 9-3. Normalized Input Threshold Voltage vs Free-Air Temperature at V_{DD}

10 Power Supply Recommendations

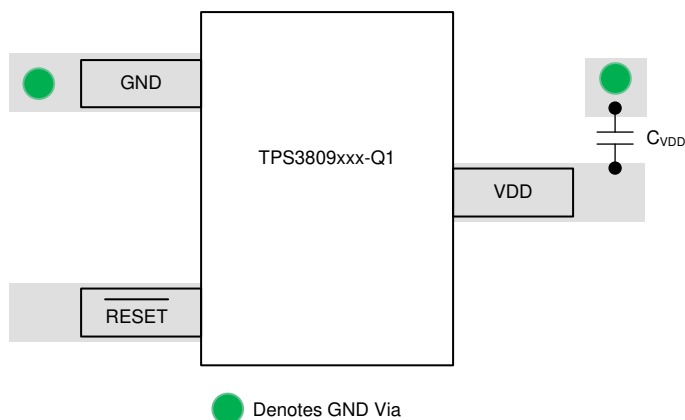
The TPS3809xxx-Q1 device design operates from an input supply from 2 V to 6 V. TI recommends placing a 0.1- μ F capacitor near the V_{DD} pin.

11 Layout

11.1 Layout Guidelines

TI recommends placing the 0.1- μ F decoupling capacitor close to the V_{DD} pin. The V_{DD} and GND traces should be able to carry 30 μ A without a significant drop in voltage.

11.2 Layout Example



✎ 11-1. Layout Example

12 Device and Documentation Support

12.1 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

12.2 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.4 用語集

[TI 用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
2T09I50QDBVRG4Q	ACTIVE	SOT-23	DBV	3	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PDCQ	Samples
TPS3809I50QDBVRQ1	ACTIVE	SOT-23	DBV	3	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PDCQ	Samples
TPS3809K33QDBVRQ1	ACTIVE	SOT-23	DBV	3	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PDBQ	Samples
TPS3809L30QDBVRQ1	ACTIVE	SOT-23	DBV	3	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PDAQ	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

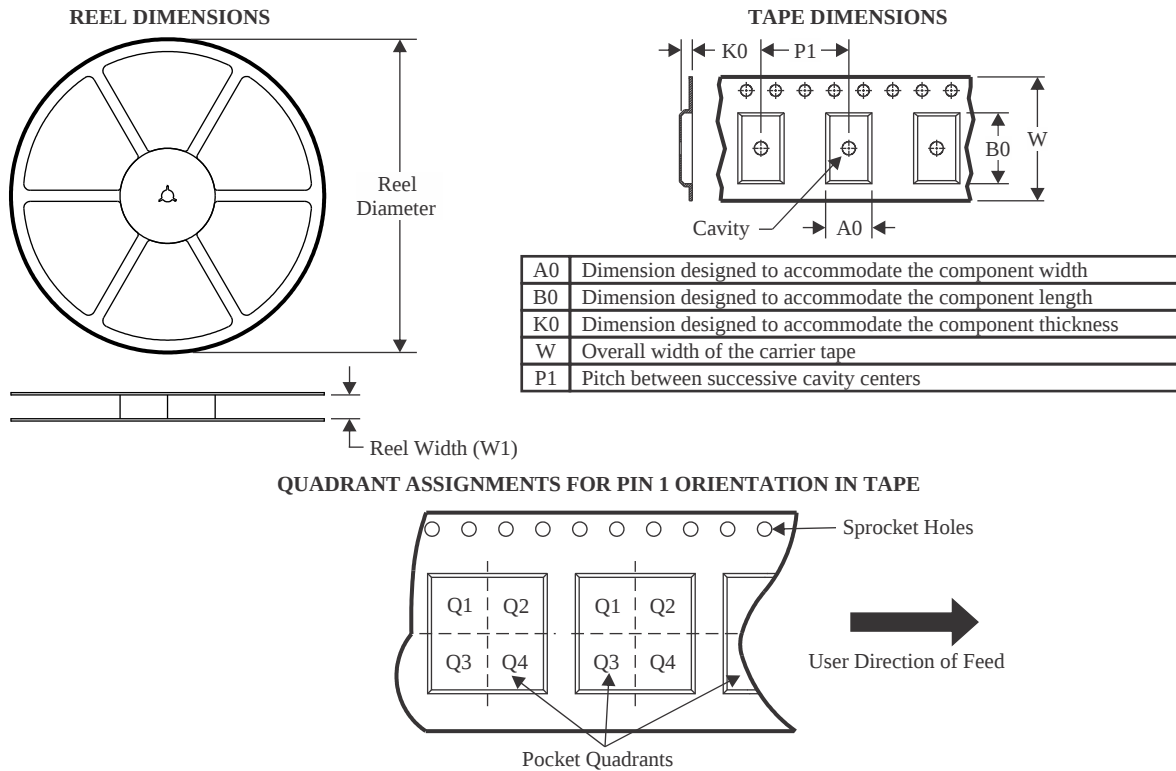
⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

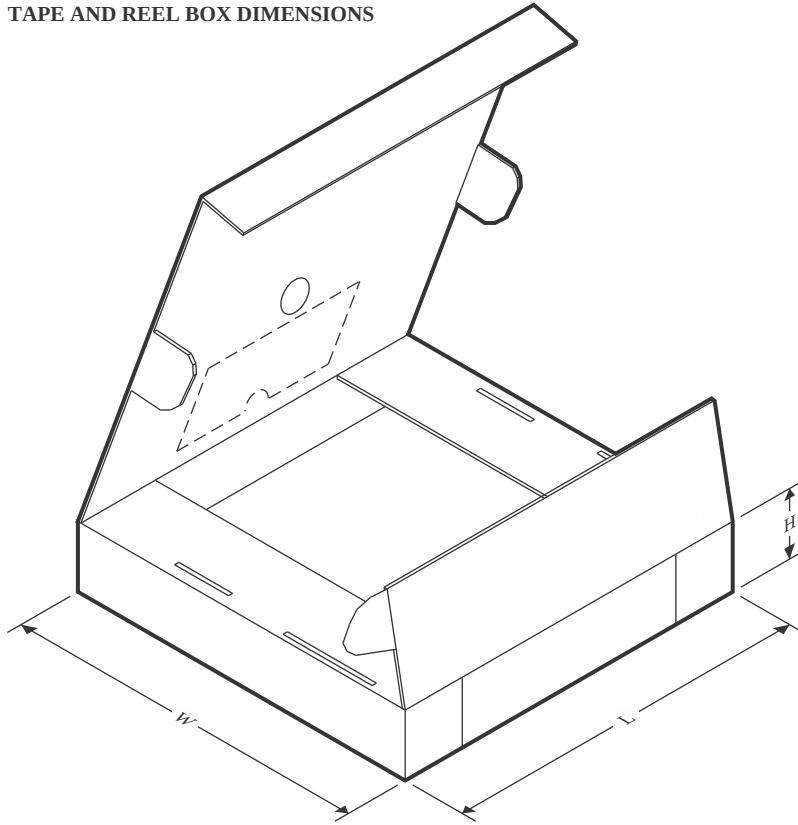
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
2T09I50QDBVRG4Q	SOT-23	DBV	3	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS3809I50QDBVRQ1	SOT-23	DBV	3	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS3809K33QDBVRQ1	SOT-23	DBV	3	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS3809L30QDBVRQ1	SOT-23	DBV	3	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

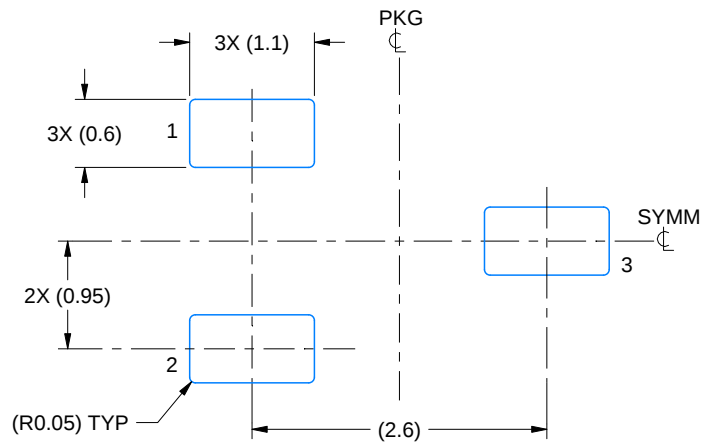
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
2T09I50QDBVRG4Q	SOT-23	DBV	3	3000	180.0	180.0	18.0
TPS3809I50QDBVRQ1	SOT-23	DBV	3	3000	180.0	180.0	18.0
TPS3809K33QDBVRQ1	SOT-23	DBV	3	3000	180.0	180.0	18.0
TPS3809L30QDBVRQ1	SOT-23	DBV	3	3000	180.0	180.0	18.0

EXAMPLE BOARD LAYOUT

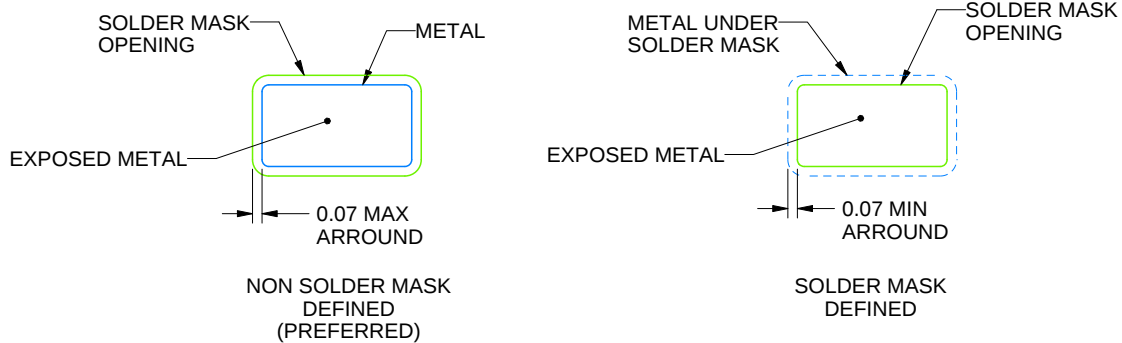
DBV0003A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4220743/B 03/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

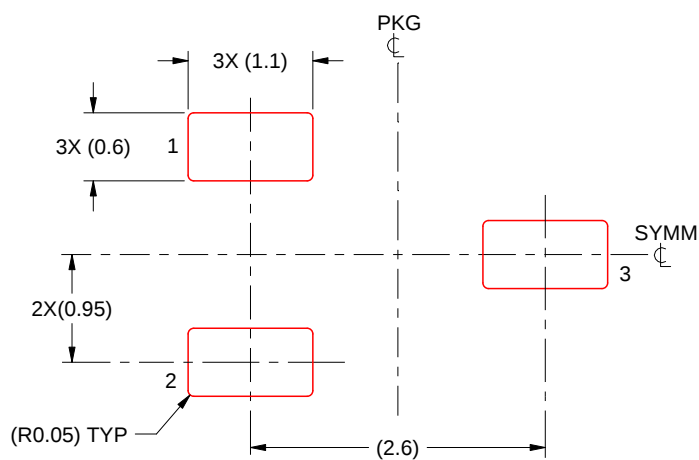
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0003A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220743/B 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated