参 考 資 料

TEXAS INSTRUMENTS

QFN–10 CSP–12

TPS62350
TPS62351,TPS62352
TPS62353,TPS62354
TPS62355,TPS62356

www.tij.co.jp JAJS200A

800mA/1000mA, 3MHz 同期式降圧型コンバータ I²C™互換インターフェイス/チップスケール・パッケージ

特　長

- 効率：88%（3MHz動作時）
- 出力電流：800mA（V_I = 2.7V時）
- 3MHzの固定周波数動作
- クラス最高レベルの負荷/入力変動に対する過渡応答特性
- 厚さ1mmの電源を構成可能
- 出力電圧精度：±2%（PWM動作時）
- 最小オン時間：35ns
- 効率を最適化したパワーセーブ・モード（ライトPFMモード）
- 過渡応答を最適化したパワーセーブ・モード（ファストPFMモード）
- 無負荷時消費電流：28μA（Typ)
- I²C互換インターフェイス（最大3.4Mbps)
- 出力電圧は端子設定で選択可能
- 動作中に外部クロック信号に同期可能
- 10ピンQFNパッケージ（3×3mm）、12ピンNanoFree™（CSP）パッケージ

アプリケーション

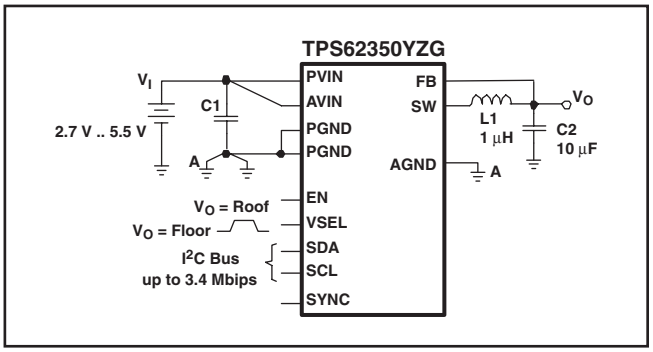
- SmartReflex™準拠の電源
- スプリット電源のDSP、マイクロプロセッサ、OMAP™、XSCALE™
- 携帯電話、スマート・フォン
- PDA、ポケットPC
- ディジタル・カメラ
- 超小型DC/DCコンバータ・モジュール

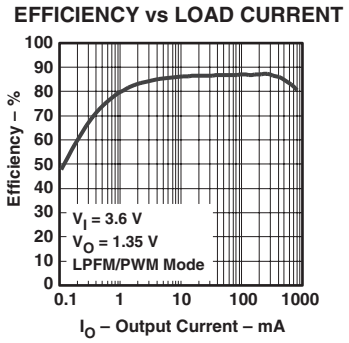
概　要

TPS6235xは、高周波の同期式降圧型DC/DCコンバータで、バッテリー駆動のポータブル・アプリケーションに最適なデバイスです。ローパワーのアプリケーション向けに、最大800mAの負荷電流まで対応可能で、小型で低コストのインダクタやコンデンサを使用することができます。

このデバイスは、単一セルのリチウム・イオン・バッテリーを電源とする携帯電話等のポータブル・アプリケーションに最適です。出力電圧をI²Cインターフェイス制御により最小0.6Vまで可変できるため、スマート・フォン、PDA、携帯型PC等に用いられる低電圧型のDSPやプロセッサのコア電源に対応しています。

代表的なアプリケーション回路





NanoFree, SmartReflex, OMAP, PowerPADは、テキサス・インスツルメンツの登録商標です。
XSCALEは、Intel Corporation, I²Cは、Philips Corporationの登録商標です。

この資料は、Texas Instruments Incorporated（TI）が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TEXAS INSTRUMENTS
SLVS540E　翻訳版
最新の英語版資料
http://focus.ti.com/lit/ds/symlink/tps62350.pdf

TPS6235xは3MHzの固定スイッチング周波数で動作しますが、全負荷電流範囲にわたって高効率を維持するよう軽負荷電流時にはパワーセーブ·モード動作となり、効率が最適化されます。シャットダウン·モードでは、消費電流は2μA未満にまで低減します。

シリアル·インターフェイスは、ファストモード/標準モード/高速モードのそれぞれのI²C規格と互換性があり、最大3.4Mbpsの転送が可能となります。この通信インターフェイスは、最小12.5mV電圧ステップをもつ出力電圧デジタル可変機能に使用され、動作モード（ライトPFM, ファストPFM, 固定PWM）の再プログラムや、出力電圧のイネーブル/ディスエーブルをコンバータの動作中に行うことができます。

静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

発注情報

製品型番(1)	出力電圧範囲(2)	初期出力電圧(2)		初期値 EN_DCDC BIT(2)	SYNC	I²C LSB ADDRESS BITS(2)		パッケージ	発注型式名(3)	パッケージ捺印
		VSEL0	VSEL1			A1	A0			
TPS62350(4)	0.75 V to 1.5375 V	1.05 V	1.35 V	1	YES	0	0	CSP-12	TPS62350YZG	TPS62350
TPS62351	0.9 V to 1.6875 V	1.10 V	1.50 V	0	NO	1	0	QFN-10	TPS62351DRC	BNT
					YES	1	0	CSP-12	TPS62351YZG	TPS62351
TPS62352(4)	0.75 V to 1.4375 V	1.05 V	1.20 V	1	YES	1	0	CSP-12	TPS62352YZG	TPS62352
TPS62353	0.75 V to 1.5375 V	1.00 V	1.20 V	1	YES	0	0	CSP-12	TPS62353YZG	TPS62353
TPS62354(4)	0.75 V to 1.5375 V	1.05 V	1.30 V	1	YES	1	0	CSP-12	TPS62354YZG	TPS62354
TPS62355(4)	0.75 V to 1.5375 V	0.90 V	1.15 V	1	NO	1	1	QFN-10	TPS62355DRC	CCP
TPS62356	1.5 V to 1.975 V	1.80 V	1.80 V	1	YES	0	0	CSP-1	TPS62356YZG	TPS62356

(1) 全デバイスは商用温度範囲の–40°C～85°Cの動作で規定されています。
(2) 出力電圧範囲、デフォルト出力電圧、I²Cアドレスのカスタム化については工場に連絡してください。
(3) YZGパッケージはテープ/リールで供給されています。型番にRを付けると（例、TPS6235xYZGR, TPS6235xDRCR）リール当たりの数量は3000個で、Tを付けると（例、TPS6235xYZGT, TPS6235xDRCT）リール当たりの数量は250個です。最新のパッケージ及び発注情報については、このデータシートの最後部のパッケージ情報またはTIウェブ·サイトwww.ti.comを参照してください。
(4) 以下のレジスタ·ビットは内部ハードウェア·ロジックにより設定されており、ユーザーはI²Cを介してプログラムすることはできません。
- VSEL0[7:6] = 11
- VSEL1[7:6] = 11
- CONTROL1[4:2] = 100
- CONTROL2[7:6] = 10, CONTROL2[4:3] = 00

絶対最大定格

動作温度範囲内（特に記述がない限り）(1)

		単位
V_I	Voltage at AVIN, PVIN(2)	–0.3V to 7 V
	Voltage at SW (2)	–0.3V to 7 V
	Voltage at EN, VSEL, SCL, SDA, SYNC (2)	–0.3V to 7 V
	Voltage at FB(2)	–0.3V to 4.2 V
	Power dissipation	Internally limited
T_J	Maximum operating junction temperature	150°C
T_{stg}	Storage temperature range	–65°C to 150°C
ESD rating(3)	Human body model	2 kV
	Charge device model	1 kV
	Machine model	200 V

(1) 絶対最大定格以上のストレスは、製品に恒久的·致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。
(2) 全ての電圧値は回路のグランド端子を基準にしています。
(3) 静電破壊試験条件
人体モデル：コンデンサ100pF、放電抵抗1.5kΩ
マシンモデル：コンデンサ200pF

推奨動作条件

動作温度範囲内（特に記述がない限り）

		MIN	NOM	MAX	単位
V_I	Input voltage range	2.7		5.5	V
T_A	Operating temperature range (1)	–40		85	°C
T_J	Operating virtual junction temperature range	–40		125	°C

（1）消費電力が高いアプリケーションまたはパッケージの熱抵抗が低いアプリケーションでは、最大周囲温度を計算しなおす必要があります。最大周囲温度（$T_{A(max)}$）は、動作ジャンクション温度の最大値（$T_{J(max)}$）、アプリケーション内のデバイスの最大消費電力（$P_{D(max)}$）、およびアプリケーション内のパーツ/パッケージのジャンクションと周囲の間の熱抵抗（θ_{JA}）に依存し、次の式で計算されます。
$T_{A(max)} = T_{J(max)} - (\theta_{JA} \times P_{D(max)})$

損失定格 (1)

パッケージ	$R_{\theta JA}$ (2)	$T_A \leq 25°C$ の電力定格	ディレーティング係数 $T_A = 25°C$ 超過時
DRC	49°C/W	2050 mW	21 mW/°C
YZG	89°C/W	1100 mW	12 mW/°C

（1）最大消費電力は$T_{J(max)}$、θ_{JA}、T_Aの関数です。許容周囲温度における許容最大消費電力は、$P_D = [T_{J(max)} - T_A] / \theta_{JA}$です。
（2）この熱データはhigh-Kボード（JESD51-7 JEDEC規格に準拠した4層ボード）を用いて測定されています。

電気的特性

動作温度範囲内、T_A = 25°C. V_I = 3.6 V, EN = V_I, VSEL = V_I, SYNC = GND, VSEL0[6] bit = 1.（特に記述がない限り）

パラメータ			テスト条件	MIN	TYP	MAX	単位
SUPPLY CURRENT							
I_Q	Operating quiescent current	TPS62350/1/2/3/4/5	I_O = 0 mA, Fast PFM mode enabled Device not switching		110	150	µA
		TPS62356			117	160	
		TPS62350/1/2/3/4/5	I_O = 0 mA, Light PFM mode enabled Device not switching		28	45	µA
		TPS62356			35	52	
		TPS62350/1/2/3/4/5/6	I_O = 0 mA, 3-MHz PWM mode operation		4.8		mA
$I_{(SD)}$	Shutdown current		EN = GND, EN_DCDC bit = X		0.1	2	µA
			EN = V_I, EN_DCDC bit = 0		6.5		µA
$V_{(UVLO)}$	Undervoltage lockout threshold				2.20	2.3	V
ENABLE, VSEL, SDA, SCL, SYNC							
V_{IH}	High-level input voltage			1.2			V
V_{IL}	Low-level input voltage					0.4	V
I_{lkg}	Input leakage current		Input tied to GND or V_I		0.01	1	µA
POWER SWITCH							
$r_{DS(on)}$	P-channel MOSFET on resistance	TPS62350/1/2/3/4/5	$V_I = V_{(GS)}$ = 3.6 V, YZG package		250	500	mΩ
			$V_I = V_{(GS)}$ = 3.6 V, DRC package		275	500	
			$V_I = V_{(GS)}$ = 2.7 V, DRC package		350	750	
		TPS62356	$V_I = V_{(GS)}$ = 3.2 V, YZG package		320	500	
I_{lkg}	P-channel leakage current		$V_{(DS)}$ = 6 V			1	µA
$r_{DS(on)}$	N-channel MOSFET on resistance	TPS62350/1/2/3/4/5/6	$V_I = V_{(GS)}$ = 3.6 V, YZG package		150	350	mΩ
			$V_I = V_{(GS)}$ = 3.6 V, DRC package		165	350	
			$V_I = V_{(GS)}$ = 2.7 V, YZG / DRC package		210	500	
I_{lkg}	N-channel leakage current		$V_{(DS)}$ = 6 V			1	µA
$R_{(DIS)}$	Discharge resistor for power-down sequence				15	50	Ω
	P-MOS current limit	TPS62350/1/2/3/4/5	2.7 V ≤ V_I ≤ 5.5 V	1150	1350	1600	mA
		TPS62356		1300	1550	1800	mA
	N-MOS current limit (sourcing)	TPS62350/1/2/3/4/5	2.7 V ≤ V_I ≤ 5.5 V	900	1100	1300	mA
		TPS62356		1200	1400	1700	mA
	N-MOS current limit (sinking)	TPS62350/1/2/3/4/5	2.7 V ≤ V_I ≤ 5.5 V	–500	–700	–900	mA
		TPS62356		–500	–700	–900	mA
	Input current limit under short-circuit conditions	TPS62350/1/2/3/4/5	V_O = 0 V		675		mA
		TPS62356			775		mA
	Thermal shutdown				150		°C
	Thermal shutdown hysteresis				20		°C

電気的特性

動作温度範囲内、T_A = 25°C. V_I = 3.6 V, EN = V_I, VSEL = V_I, SYNC = GND, VSEL0[6] bit = 1.（特に記述がない限り）

パラメータ			テスト条件	MIN	TYP	MAX	単位
OSCILLATOR							
f_{SW}	Oscillator frequency		CONTROL2[4:3] = 00	2.65	3	3.35	MHz
$f_{(SYNC)}$	Synchronization range			2.65		3.35	MHz
	Duty cycle of external clock signal			20%		80%	
OUTPUT							
V_O	Output voltage range	TPS62350		0.75		1.5375	V
		TPS62351		0.90		1.6875	V
		TPS62352		0.75		1.4375	V
		TPS62353		0.75		1.5375	V
		TPS62354		0.75		1.5375	V
		TPS62355		0.75		1.5375	V
		TPS62356		1.50		1.975	V
$t_{on(MIN)}$	Minimum on-time (P-channel MOSFET)				35		ns
	Resistance into FB sense pin			700	1000		kΩ
V_O	Output voltage DC accuracy	TPS62350	V_I = 3.6 V, V_O = 1.35 V, $I_{O(DC)}$ = 0 mA, PWM operation	–1.5%		1.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 0.75 V, 1.05 V, 1.35 V, 1.5375 V, PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA V_O = 1.05 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 1.35 V, L = 1 µH, Fast PFM/PWM	–2%		3%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.05 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	
V_O	Output voltage DC accuracy	TPS62351	V_I = 3.6 V, V_O = 1.50 V, $I_{O(DC)}$ = 0 mA, PWM operation	–1.5%		1.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 0.90 V, 1.10 V, 1.50 V, 1.6875 V, PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA, V_O = 1.10 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.10 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.50 V, L = 1 µH,Light or Fast PFM/PWM	–2%		4.0%	
V_O	Output voltage DC accuracy	TPS62352	V_I = 3.6 V, V_O = 1.20 V, $I_{O(DC)}$ = 0 mA PWM operation	–1.5%		1.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 0.75 V, 1.05 V, 1.20 V, 1.4375 V, PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA, V_O = 1.05 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.20 V, L = 1 µH, Fast PFM/PWM	–2%		3%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.05 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	
V_O	Output voltage DC accuracy	TPS62353	V_I = 3.6 V, V_O = 1.20 V, $I_{O(DC)}$ = 0 mA, PWM operation	–1.5%		1.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 0.75 V, 1.00 V, 1.20 V, 1.5375 V, PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA, V_O = 1.00 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 1.20 V, L = 1 µH, Fast PFM/PWM	–2%		3%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 1.00 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	
V_O	Output voltage DC accuracy	TPS62354	V_I = 3.6 V, V_O = 1.30 V, $I_{O(DC)}$ = 0 mA, PWM operation	–1.5%		1.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 0.75 V, 1.05 V, 1.30 V, 1.5375 V, PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA, V_O = 1.05 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.30 V, L = 1 µH, Fast PFM/PWM	–2%		3%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA, V_O = 1.05 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	

電気的特性

動作温度範囲内、T_A = 25°C. V_I = 3.6 V, EN = V_I, VSEL = V_I, SYNC = GND, VSEL0[6] bit = 1.（特に記述がない限り）

パラメータ			テスト条件	MIN	TYP	MAX	単位
V_O	Output voltage DC accuracy	TPS62355	V_I = 3.6 V, V_O = 1.15 V, $I_{O(DC)}$ = 0 mA, PWM operation	–1.5%		1.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 0.75 V, 0.9 V, 1.15 V, 1.5375 V PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA V_O = 0.9 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 1.15 V, L = 1 µH, Fast PFM/PWM	–2%		3%	
			2.7 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA V_O = 0.9 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	
V_O	Output voltage DC accuracy	TPS62356	2.7 V ≤ V_I ≤ 3.2 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA 3.2 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 1000 mA (1) V_O = 1.80 V PWM operation	–2%		2%	
			2.7 V ≤ V_I ≤ 5.5 V, $I_{O(DC)}$ = 0 mA V_O = 1.80 V, L = 1 µH, Light PFM	–1%		4.5%	
			2.7 V ≤ V_I ≤ 3.2 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA 3.2 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 1000 mA (1) V_O = 1.80 V, L = 1 µH, Fast PFM/PWM	–2%		3%	
			2.7 V ≤ V_I ≤ 3.2 V, 0 mA ≤ $I_{O(DC)}$ ≤ 800 mA 3.2 V ≤ V_I ≤ 5.5 V, 0 mA ≤ $I_{O(DC)}$ ≤ 1000 mA (1) V_O = 1.80 V, L = 1 µH, Light or Fast PFM/PWM	–2%		4.5%	
ΔV_O	DC output voltage load regulation		$I_{O(DC)}$ = 0 mA to 800mA, PWM operation		–0.0003		%/mA
	DC output voltage line regulation		V_I = V_O + 0.5 V (min 2.7 V) to 5.5 V, $I_{O(DC)}$ = 300 mA		0		%/V
	Power-save mode ripple voltage		V_O = 0.9 V, $I_{O(DC)}$ = 0 mA, L = 1 µH, Light PFM operation		33		mV_{PP}
			V_O = 1.05 V, $I_{O(DC)}$ = 1 mA , L = 1 µH, Light PFM operation		30		mV_{PP}
			V_O = 1.10 V, $I_{O(DC)}$ = 1 mA, L = 1 µH, Light PFM operation, VSEL0[6] bit = 0		12		mV_{PP}
			V_O = 1.35 V, $I_{O(DC)}$ = 1 mA, L = 1 µH, Fast PFM operation		0.025 V_O		V_{PP}
I_{lkg}	Leakage current into SW pin		V_I > V_O, 0 V ≤ $V_{(SW)}$ ≤ V_I, EN = GND		0.01	1	µA
	Reverse leakage current into SW pin		V_I = open, $V_{(SW)}$ = 6 V, EN = GND		0.01	1	
DAC							
	Resolution	TPS62350 TPS62351 TPS62352 TPS62353 TPS62354		6			Bits
	Differential nonlinearity		Assured monotonic by design			±0.8	LSB
TIMING							
	Setup Time Between Rising EN and Start of I^2C Stream			250			µs
V_O	Output voltage settling time	TPS62350	From min to max output voltage, $I_{O(DC)}$ = 500 mA, PWM operation		3		µs
	Start-up time	TPS62350	Time from active EN to V_O V_O = 1.35 V, R_L = 5Ω, PWM operation		180		µs
			Time from active EN to V_O V_O = 1.05 V, $I_{O(DC)}$ = 0 mA, Light PFM operation		170		
		TPS62351	Time from active EN_DCDC bit to V_O V_O = 1.5 V, R_L = 5Ω, PWM operation		45		
		TPS62352	Time from active EN to V_O V_O = 1.2 V, R_L = 5Ω, PWM operation		175		
			Time from active EN to V_O V_O = 1.05 V, $I_{O(DC)}$ = 0 mA, Light PFM operation		170		

（1）消費電力が高いアプリケーションまたはパッケージの熱抵抗が低いアプリケーションでは、最大周囲温度を計算しなおす必要があります。最大周囲温度（$T_{A(max)}$）は、動作ジャンクション温度の最大値（$T_{J(max)}$）、アプリケーション内のデバイスの最大消費電力（$P_{D(max)}$）、およびアプリケーション内のパーツ/パッケージのジャンクションと周囲の間の熱抵抗（θ_{JA}）に依存し、次の式で計算されます。

$T_{A(max)} = T_{J(max)} - (\theta_{JA} \times P_{D(max)})$

I²C インターフェイス タイミング特性 (1)

パラメータ		テスト条件	MIN	MAX	単位
$f_{(SCL)}$	SCL Clock Frequency	Standard mode		100	kHz
		Fast mode		400	kHz
		High-speed mode (write operation), C_B – 100 pF max		3.4	MHz
		High-speed mode (read operation), C_B – 100 pF max		3.4	MHz
		High-speed mode (write operation), C_B – 400 pF max		1.7	MHz
		High-speed mode (read operation), C_B – 400 pF max		1.7	MHz
t_{BUF}	Bus Free Time Between a STOP and START Condition	Standard mode	4.7		µs
		Fast mode	1.3		µs
t_{HD}, t_{STA}	Hold Time (Repeated) START Condition	Standard mode	4		µs
		Fast mode	600		ns
		High-speed mode	160		ns
t_{LOW}	LOW Period of the SCL Clock	Standard mode	4.7		µs
		Fast mode	1.3		µs
		High-speed mode, C_B – 100 pF max	160		ns
		High-speed mode, C_B – 400 pF max	320		ns
t_{HIGH}	HIGH Period of the SCL Clock	Standard mode	4		µs
		Fast mode	600		ns
		High-speed mode, C_B – 100 pF max	60		ns
		High-speed mode, C_B – 400 pF max	120		ns
t_{SU}, t_{STA}	Setup Time for a Repeated START Condition	Standard mode	4.7		µs
		Fast mode	600		ns
		High-speed mode	160		ns
t_{SU}, t_{DAT}	Data Setup Time	Standard mode	250		ns
		Fast mode	100		ns
		High-speed mode	10		ns
t_{HD}, t_{DAT}	Data Hold Time	Standard mode	0	3.45	µs
		Fast mode	0	0.9	µs
		High-speed mode, C_B – 100 pF max	0	70	ns
		High-speed mode, C_B – 400 pF max	0	150	ns
t_{RCL}	Rise Time of SCL Signal	Standard mode	20 + 0.1 C_B	1000	ns
		Fast mode	20 + 0.1 C_B	300	ns
		High-speed mode, C_B – 100 pF max	10	40	ns
		High-speed mode, C_B – 400 pF max	20	80	ns
t_{RCL1}	Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge BIT	Standard mode	20 + 0.1 C_B	1000	ns
		Fast mode	20 + 0.1 C_B	300	ns
		High-speed mode, C_B – 100 pF max	10	80	ns
		High-speed mode, C_B – 400 pF max	20	160	ns
t_{FCL}	Fall Time of SCL Signal	Standard mode	20 + 0.1 C_B	300	ns
		Fast mode	20 + 0.1 C_B	300	ns
		High-speed mode, C_B – 100 pF max	10	40	ns
		High-speed mode, C_B – 400 pF max	20	80	ns
t_{RDA}	Rise Time of SDA Signal	Standard mode	20 + 0.1 C_B	1000	ns
		Fast mode	20 + 0.1 C_B	300	ns
		High-speed mode, C_B – 100 pF max	10	80	ns
		High-speed mode, C_B – 400 pF max	20	160	ns
t_{FDA}	Fall Time of SDA Signal	Standard mode	20 + 0.1 C_B	300	ns
		Fast mode	20 + 0.1 C_B	300	ns
		High-speed mode, C_B– 100 pF max	10	80	ns
		High-speed mode, C_B– 400 pF max	20	160	ns
t_{SU}, t_{STO}	Setup Time for STOP Condition	Standard mode	4		µs
		Fast mode	600		ns
		High-speed mode	160		ns
C_B	Capacitive Load for SDA and SCL			400	pF

(1) 設計で保証されており、テストは行われていません。

I²C タイミング図

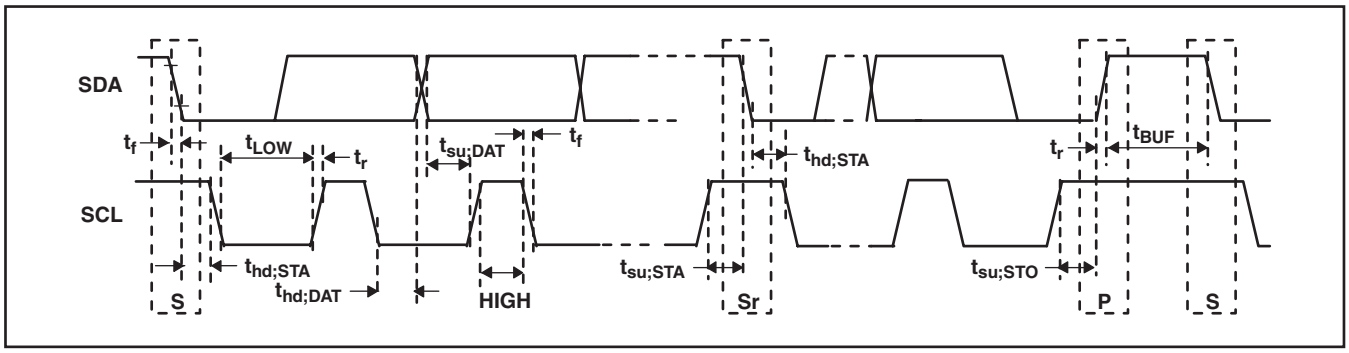


図 **1**. Serial Interface Timing Diagram for F/S-Mode

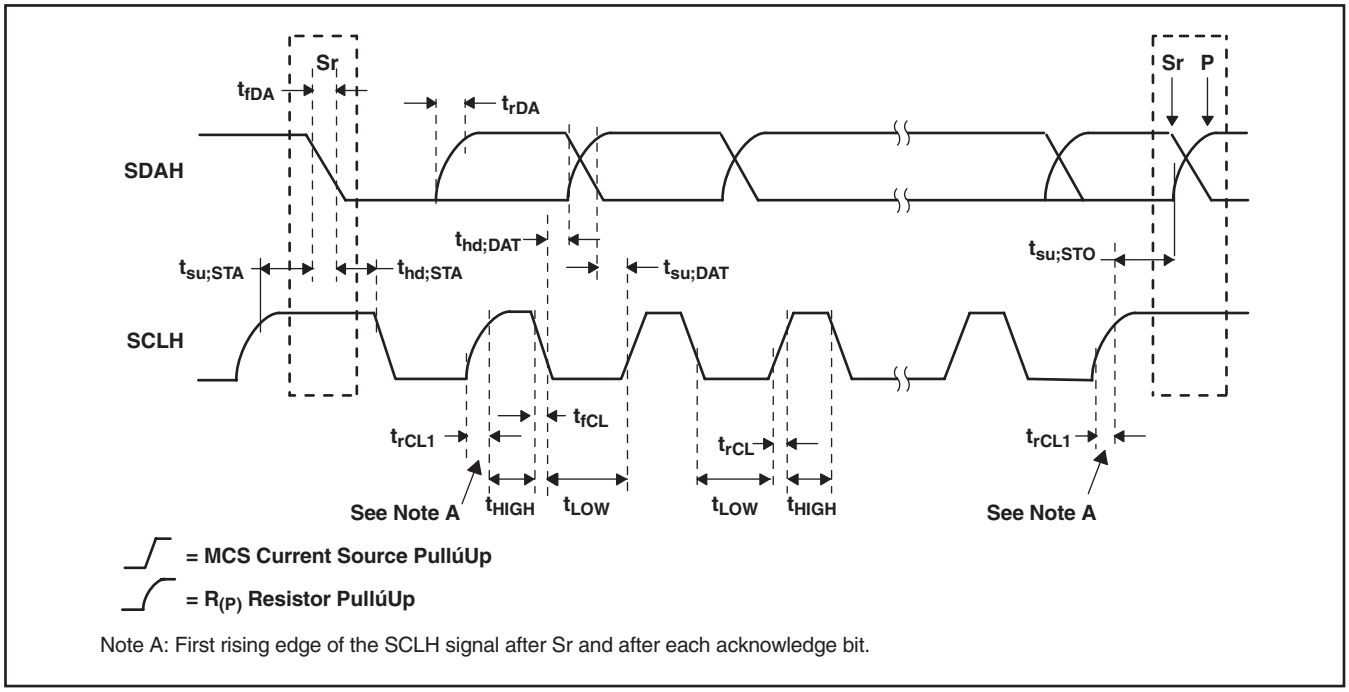
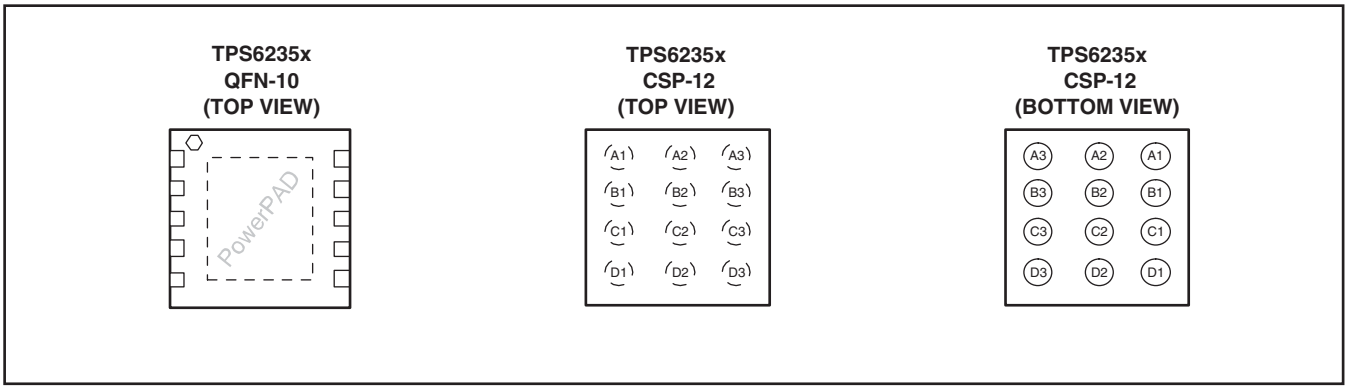


図 **2**. Serial Interface Timing Diagram for HS-Mode

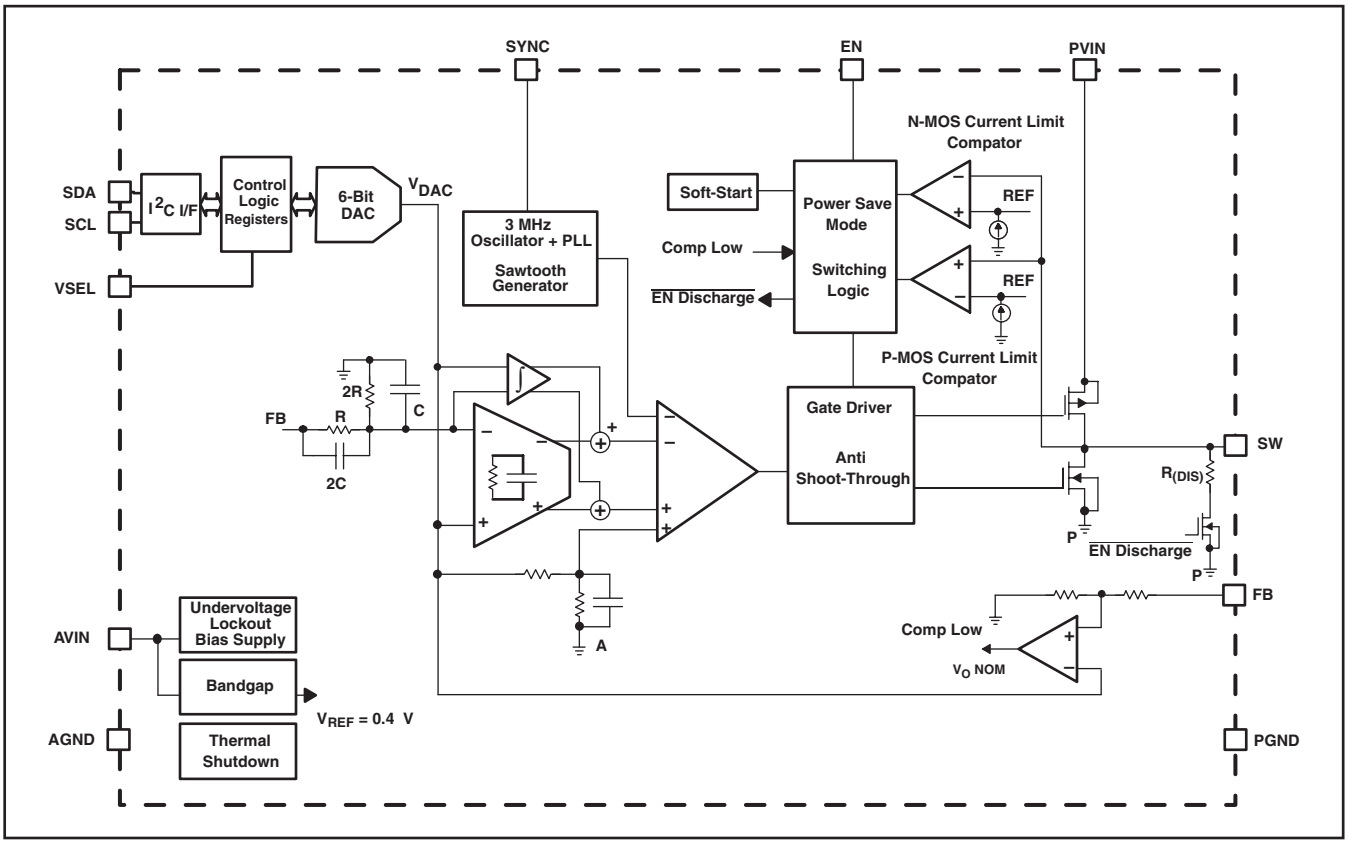
ピン配置



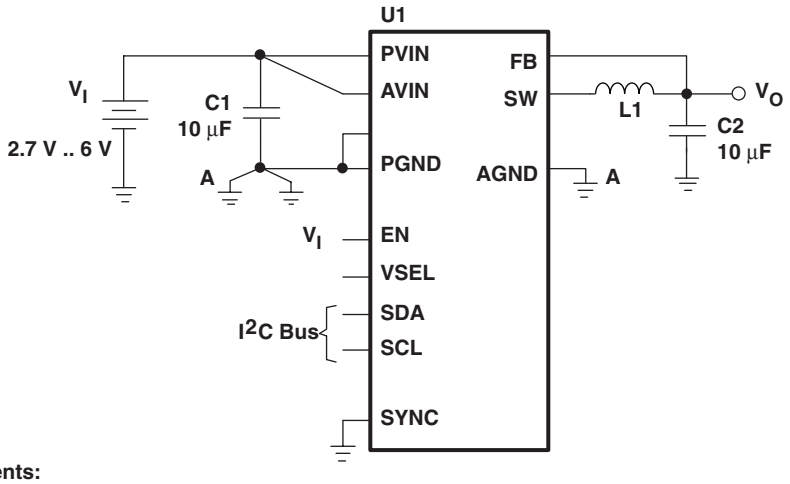
端子機能表

端　子			I/O	概　要
NAME	NO. QFN	NO. CSP		
PVIN	1	A3		出力パワー段用の電源電圧
AVIN	2	B3		デバイスの制御回路用電源電圧ピン。入力バイパス・コンデンサを直接接続してください。
EN	7	C2	I	デバイスのイネーブル・ピン。この端子をグランドに接続するとデバイスはシャットダウン・モードになります。また、V_Iレベルにするとデバイスはイネーブルになります。イネーブル・ピンの立上がりエッジで、全てのレジスタがデフォルト値にリセットされます。この端子はフローティングにしてはならず、終端処理しなければなりません。
VSEL	5	D2	I	VSEL信号は出力電圧の増減などの、アクティブ・モード（VSEL = “H” レベル）とスリープ・モード（VSEL = “L” レベル）のTPS6235xの動作モードの選択に使用されます。また、動作モードはI^2Cの設定によっても変更することができます。この端子はフローティングにしてはならず、終端処理しなければなりません。
SDA	3	C3	I/O	シリアル・インターフェイスのアドレス/データ・ライン
SCL	4	D3	I	シリアル・インターフェイスのクロック・ライン
FB	6	D1	I	出力フィードバック検出入力。FB端子はコンバータの出力に接続してください。
AGND	8	C1		アナログ・グランド
SYNC	N/A	B2	I	外部クロック信号への同期入力。コンバータのスイッチング周波数を外部クロック信号に同期させます。この端子はフローティングにしてはならず、終端処理しなければなりません。SYNCを固定の “H” レベルまたは “L” レベルに接続してもコンバータの動作には影響は与えません。
PGND	9	A1 B1		パワー・グランド。ICの直近でAGNDと接続してください。
SW	10	A2	I/O	コンバータのスイッチ・ピンで内部パワーMOSFETのドレインに接続されています。
PowerPAD™			N/A	内部でPGNDに接続されています。

機能ブロック図



パラメータ 測定情報



List of Components:
U1 = TPS6235x
L1 = FDK MIPSA2520 Series
C1, C2 = TDK C1608X5R0G106MT

Note: The internal registers are set to their default values.

標準特性

グラフ一覧

			図
η	Efficiency	vs Output current	3, 4, 5, 6
		vs Input voltage	7
V_O	DC output voltage	vs Output current	8, 9, 12
		vs Input voltage	10, 11
		vs Ambient temperature	13
	Measured output voltage	vs DAC target output voltage	14
I_Q	Quiescent current	vs Input voltage	15
I_{SD}	Shutdown current	vs Input voltage	16
$f_{(OSC)}$	Oscillator frequency	vs Input voltage	17
$r_{DS(on)}$	P-channel MOSFET $r_{DS(on)}$	vs Input voltage	18
	N-channel MOSFET $r_{DS(on)}$	vs Input voltage	19
I_P	Inductor peak current	vs Ambient temperature	20
	Load transient response		21, 22, 23, 24, 25, 26 27, 28, 29, 30, 31, 32
	Line transient response		33
	Combined line and load transient response		34
	PWM operation		35
	Duty cycle jitter		36
	Power-save mode operation		37, 38
	Dynamic voltage management		39, 40
	Output voltage ramp control		41
	Start-up		42, 43

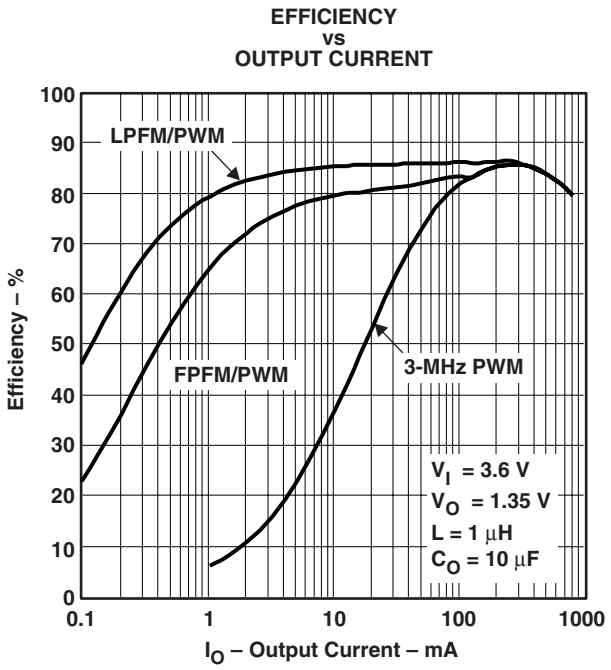


図 3

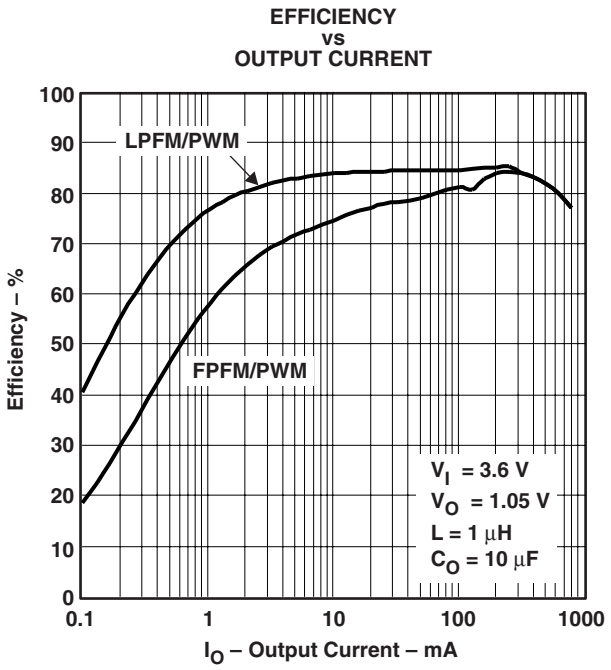


図 4

標準特性

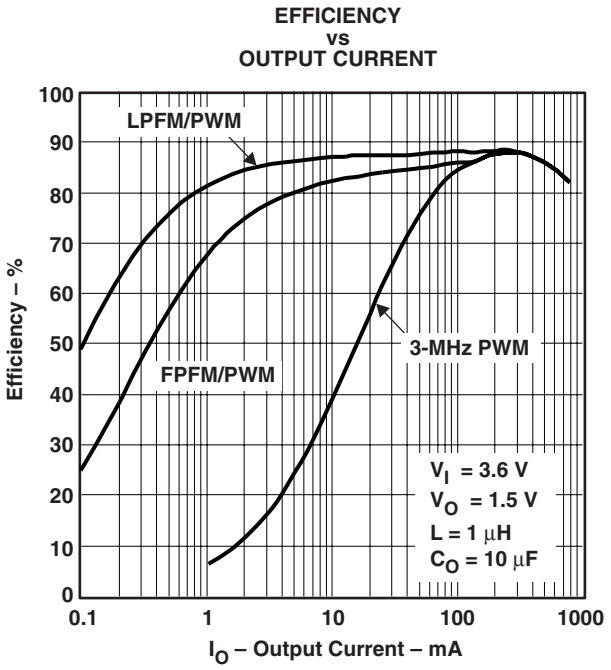


図 5

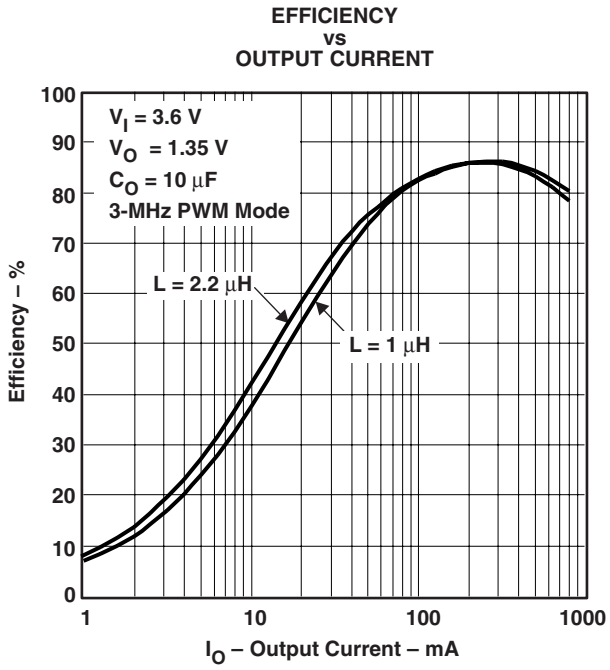


図 6

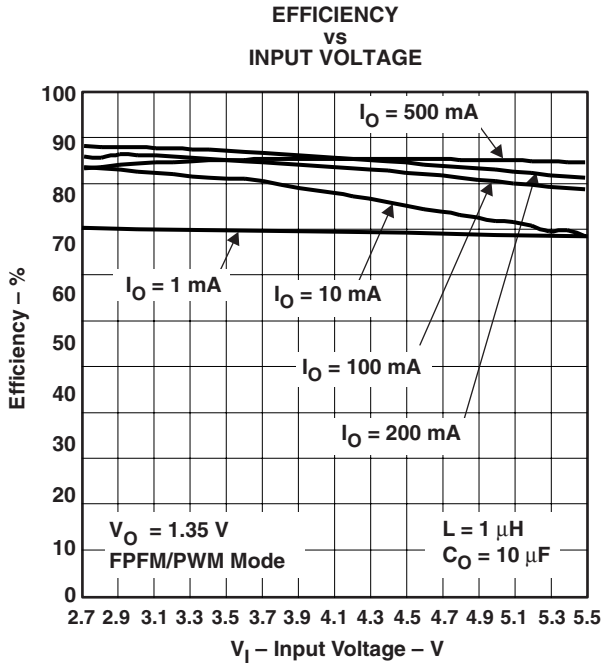


図 7

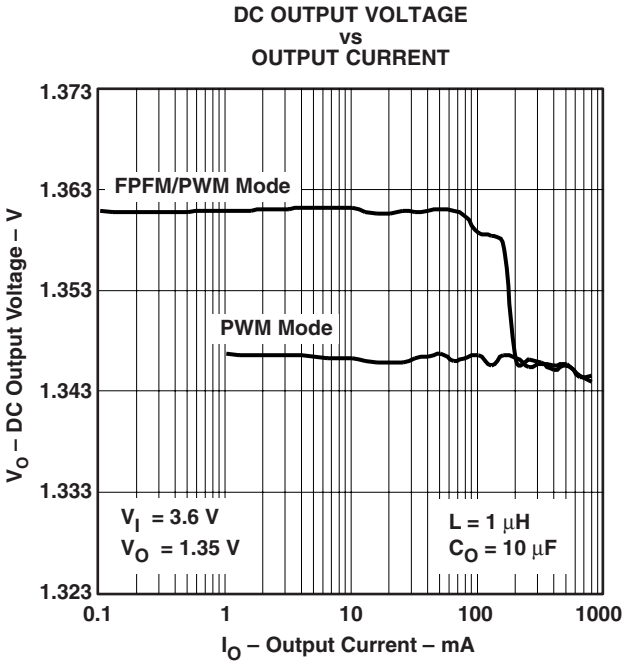


図 8

標準特性

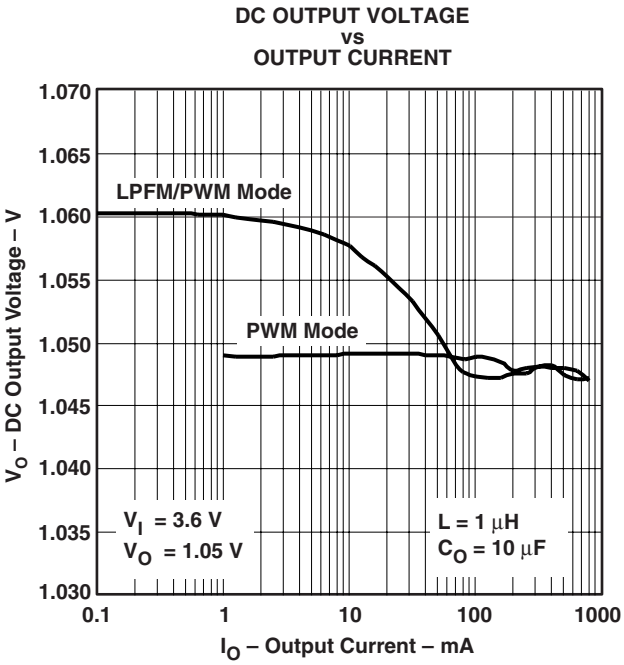


図 9

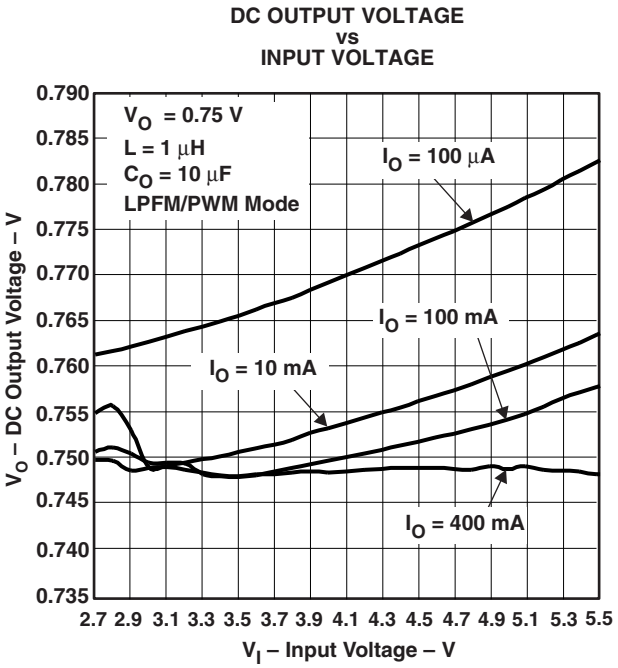


図 10

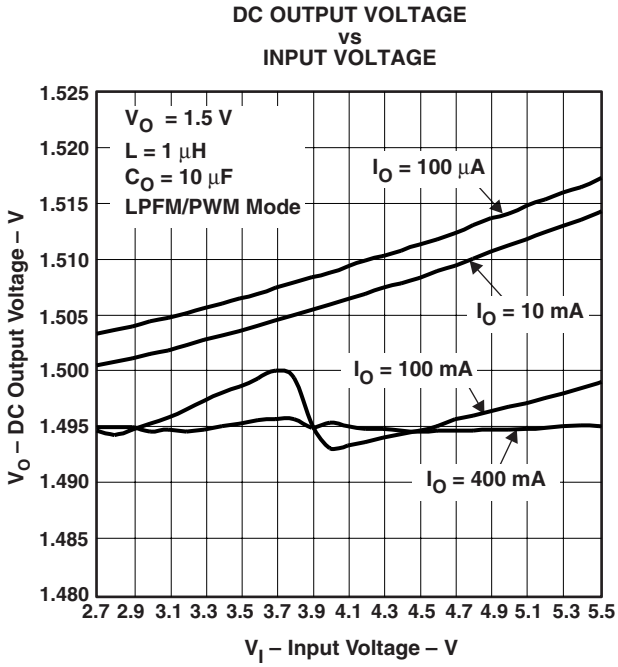


図 11

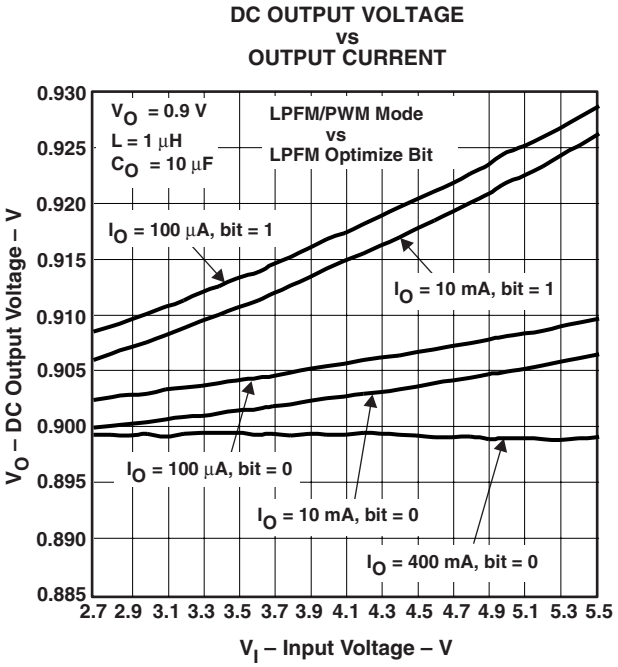


図 12

標準特性

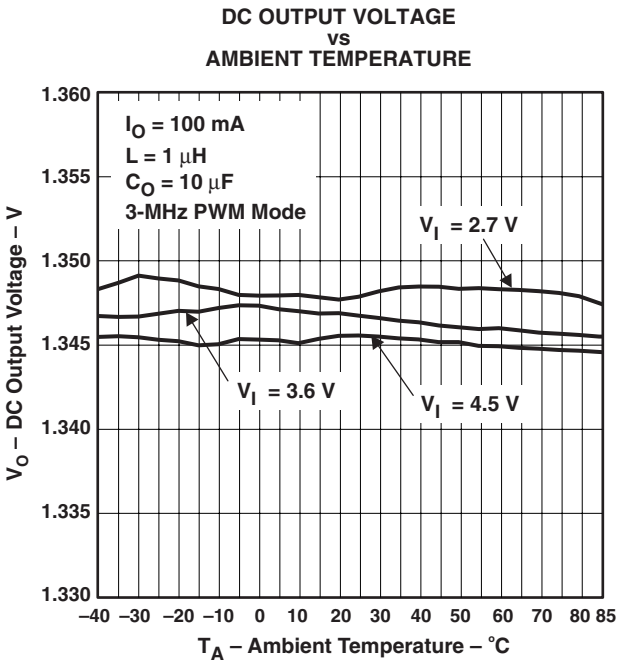


図 13

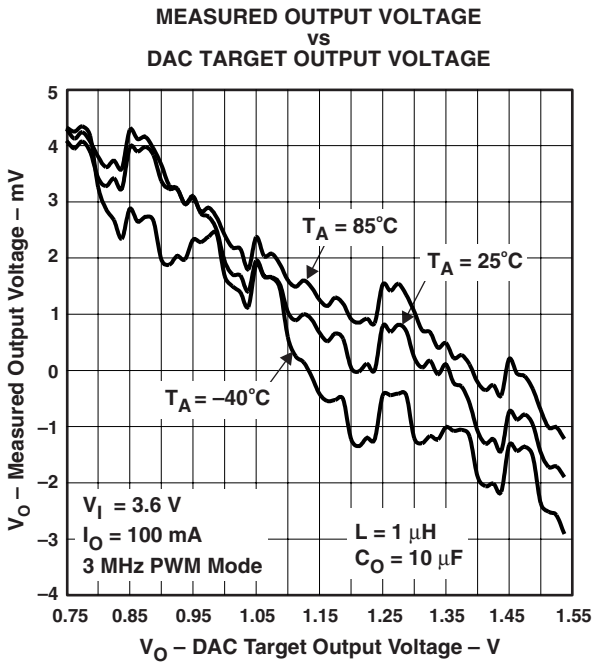


図 14

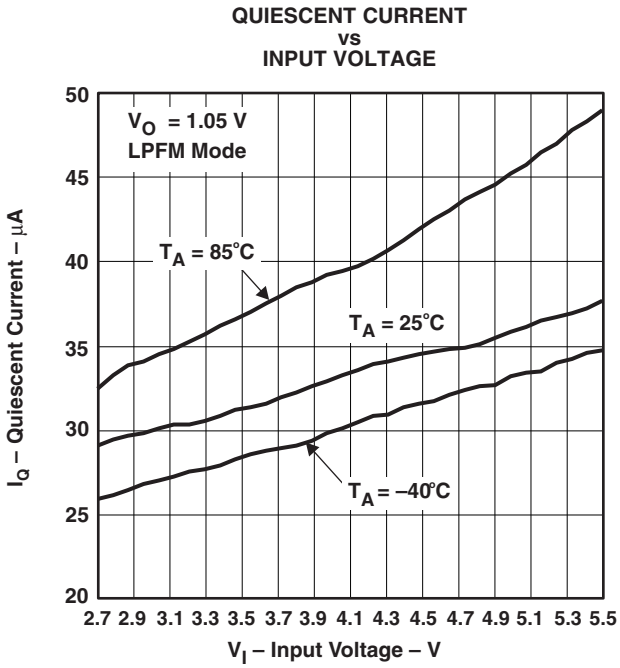


図 15

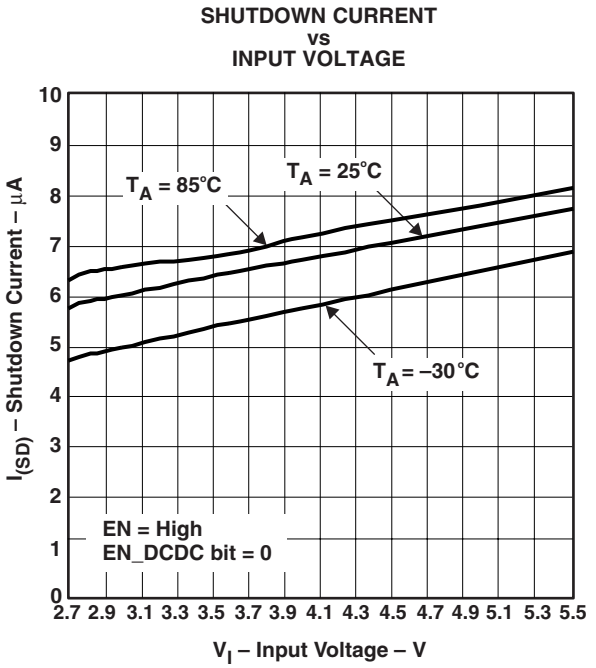


図 16

標準特性

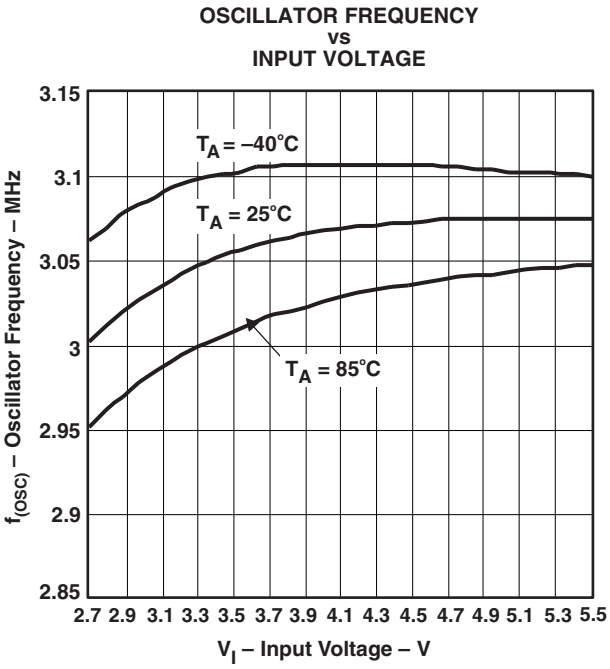


図 17

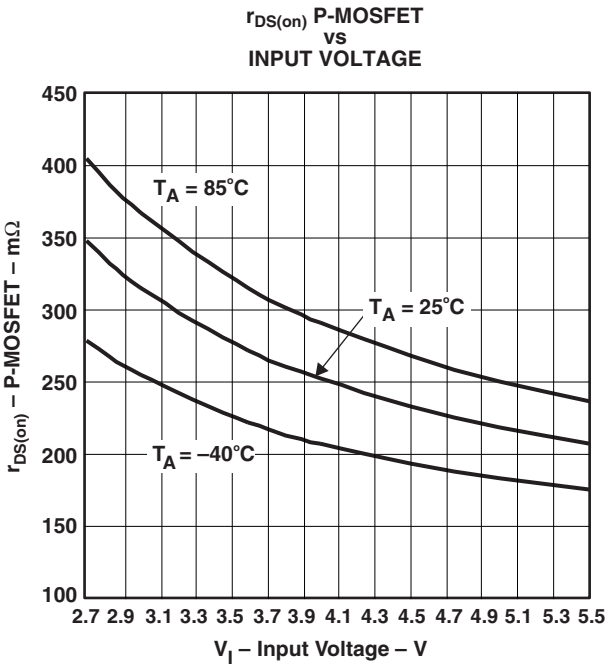


図 18

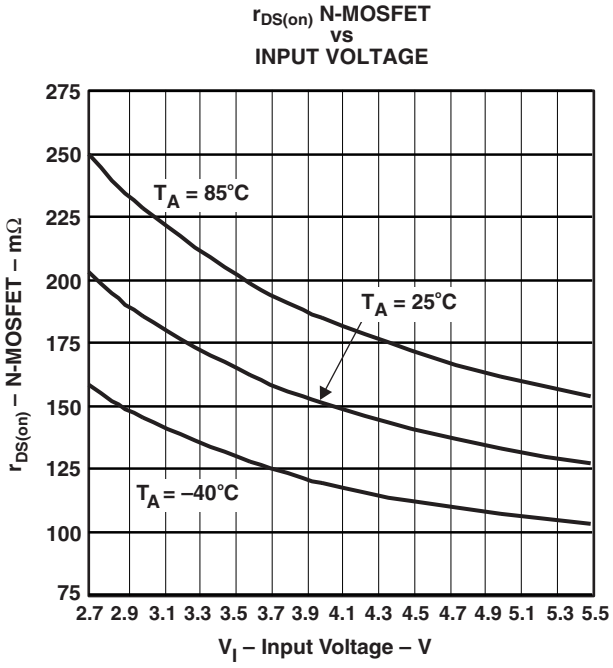


図 19

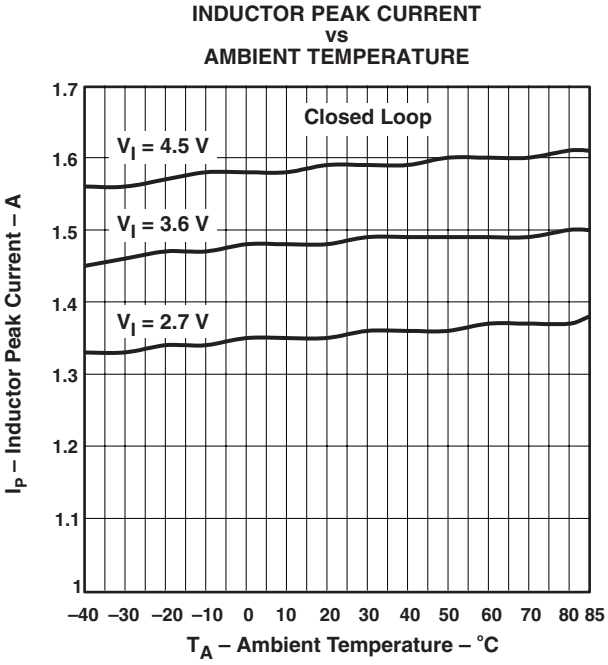


図 20

標準特性

LOAD TRANSIENT: 50 mA / 400 mA / 50 mA
PWM OPERATION

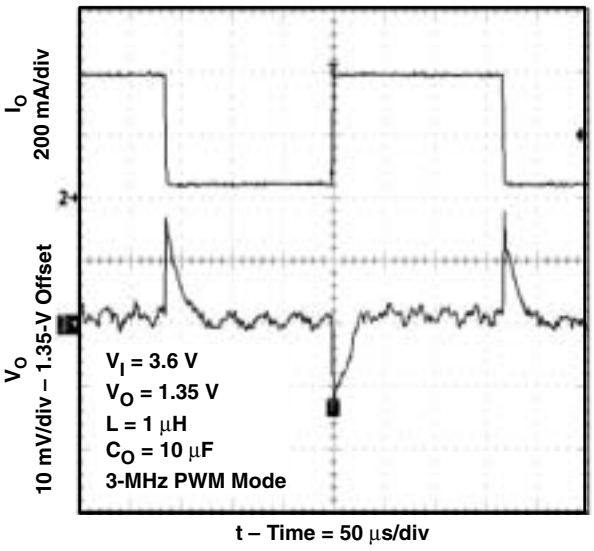


図 21

LOAD TRANSIENT: 50 mA / 400 mA
PWM OPERATION

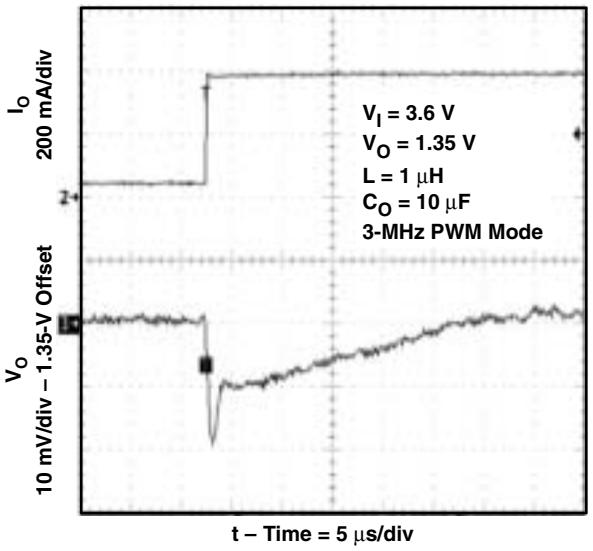


図 22

LOAD TRANSIENT: 400 mA / 50 mA
PWM OPERATION

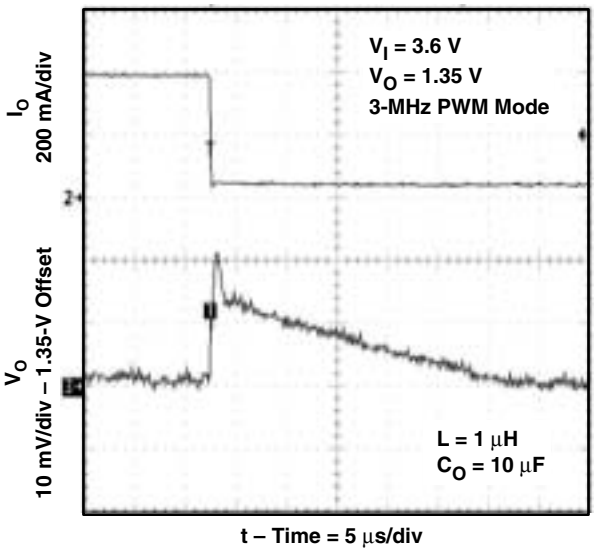


図 23

LOAD TRANSIENT: 50 mA / 400 mA / 50 mA
FPFM/PWM OPERATION

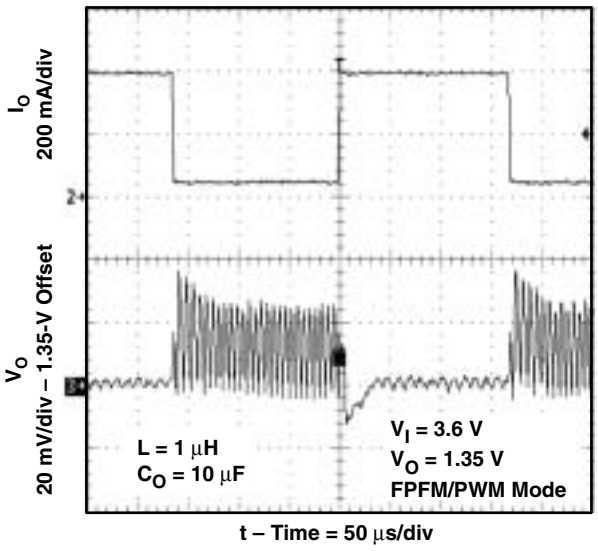


図 24

標準特性

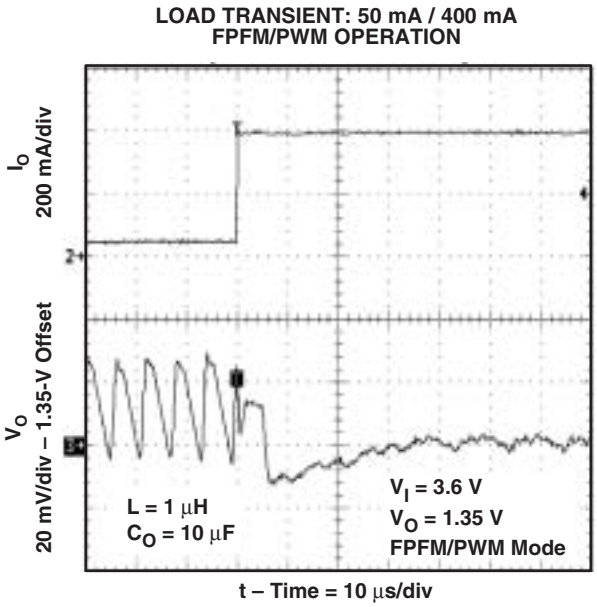


図 25

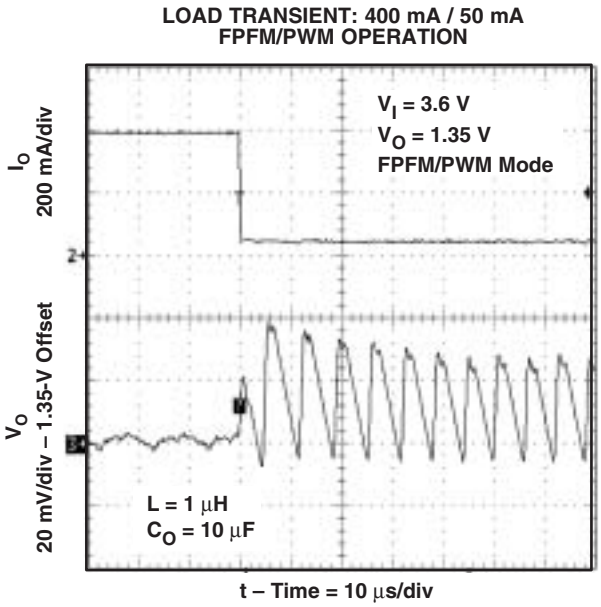


図 26

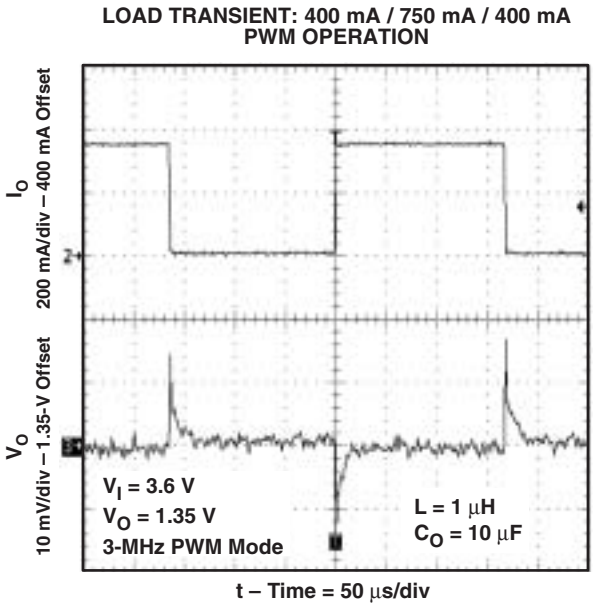


図 27

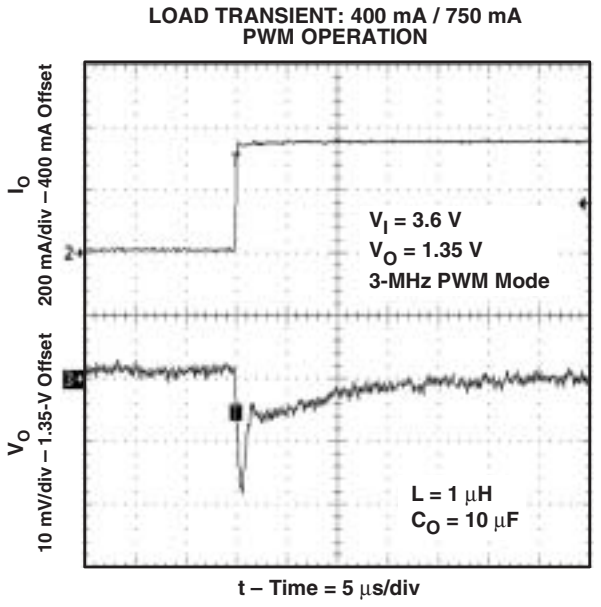


図 28

標準特性

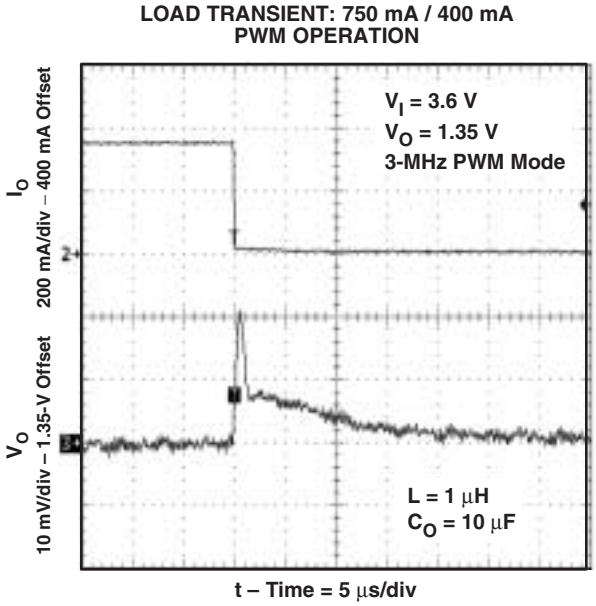


図 29

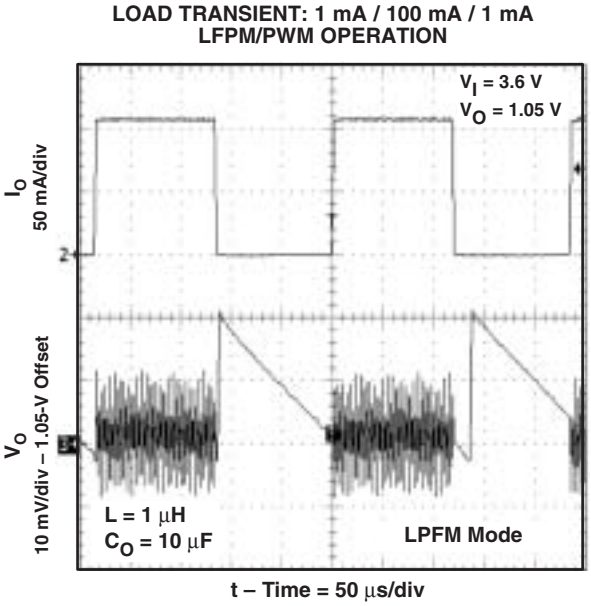


図 30

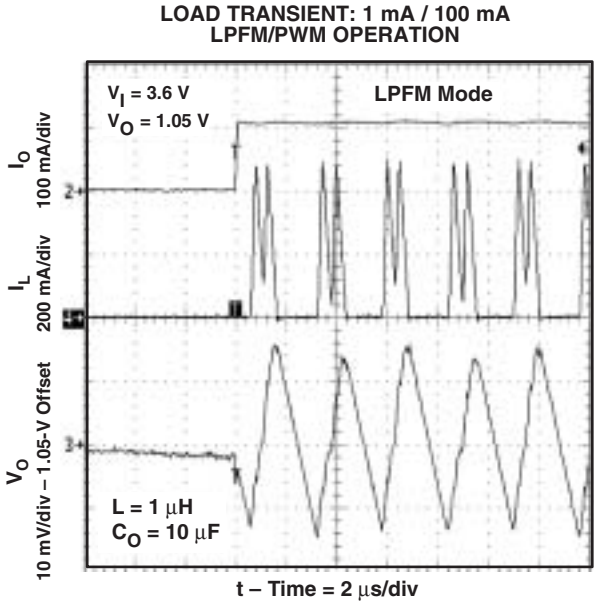


図 31

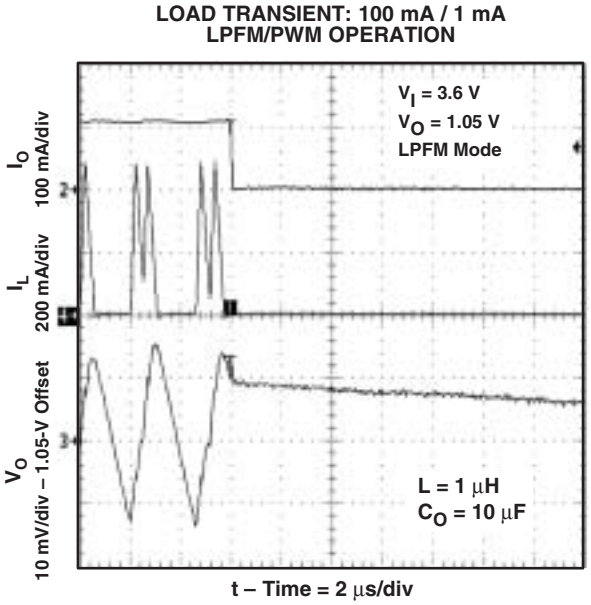


図 32

標準特性

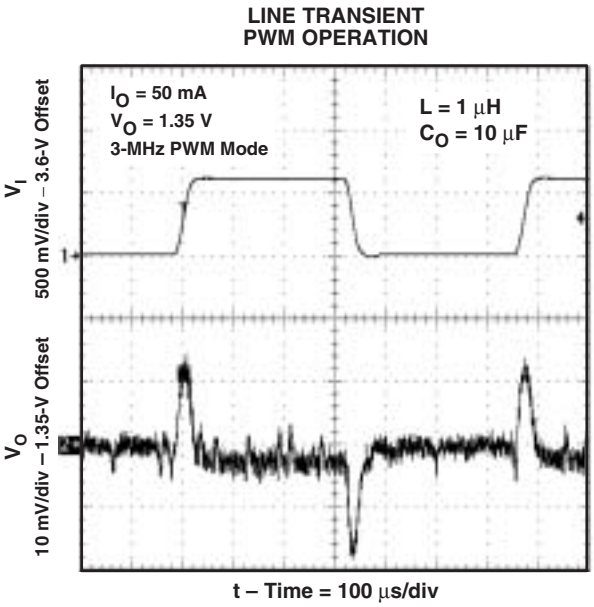


図 33

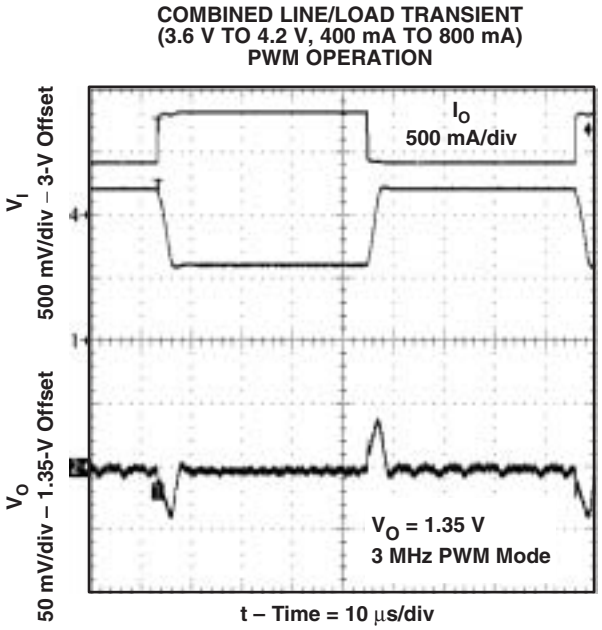


図 34

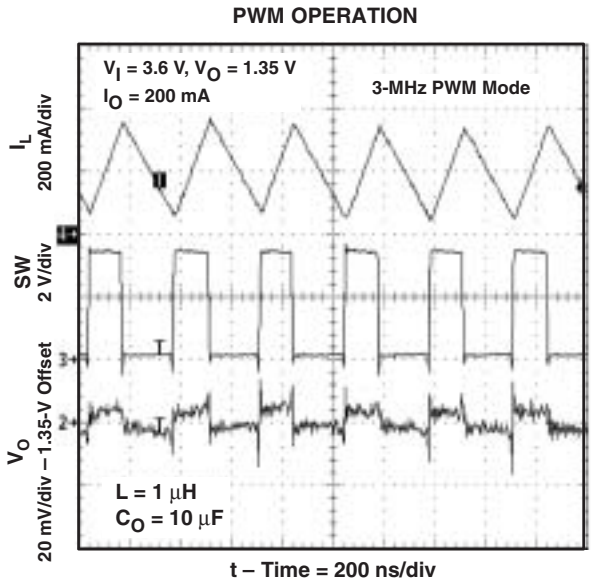


図 35

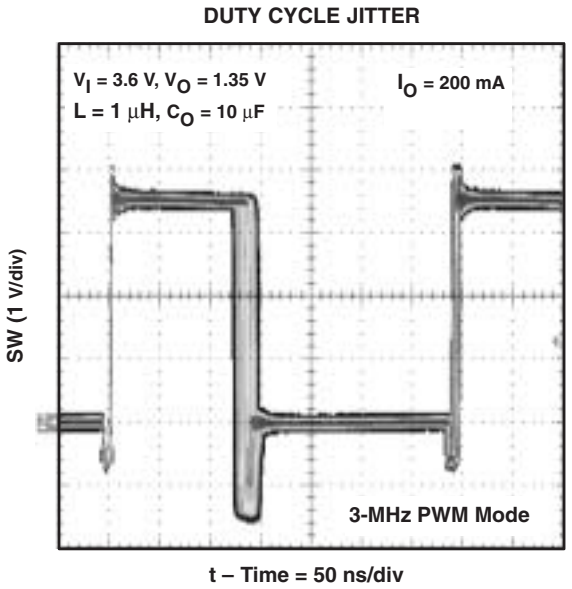


図 36

標準特性

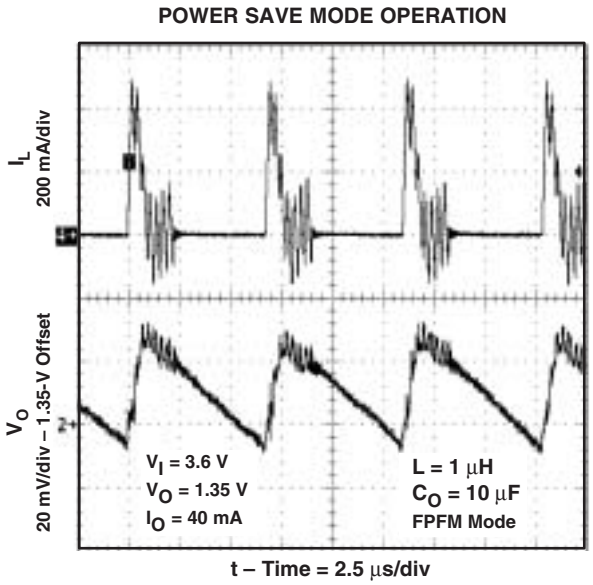


図 37

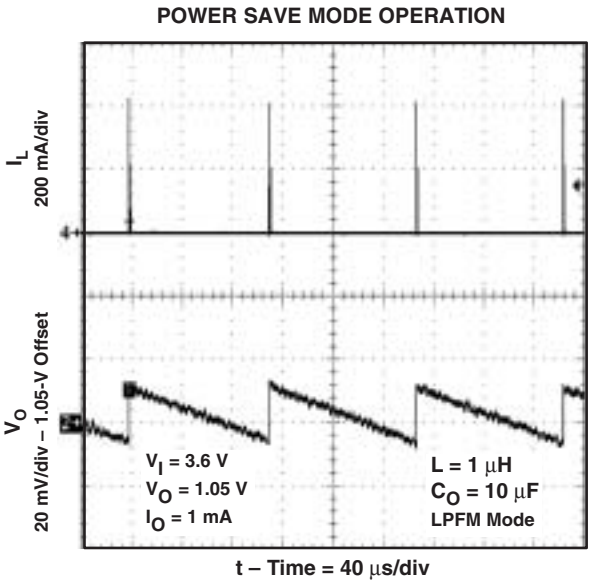


図 38

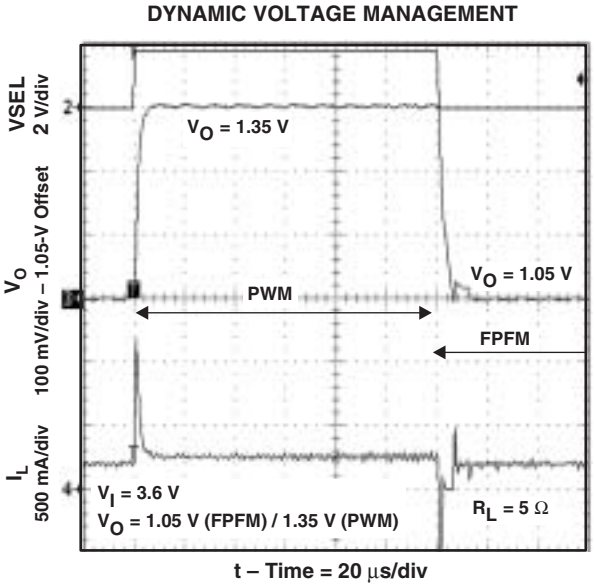


図 39

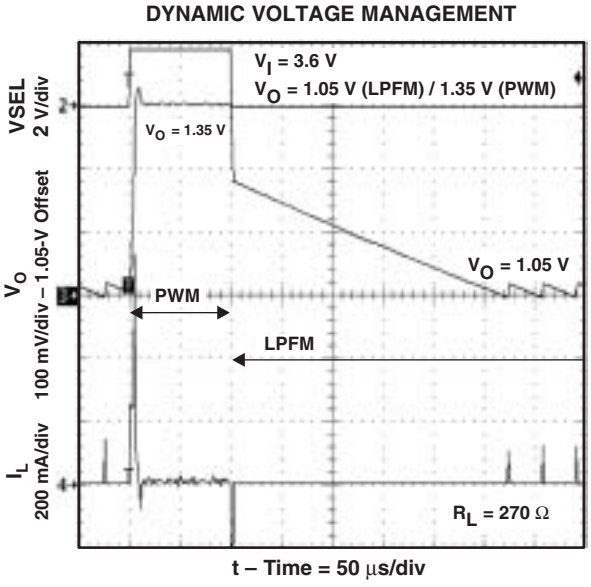


図 40

標準特性

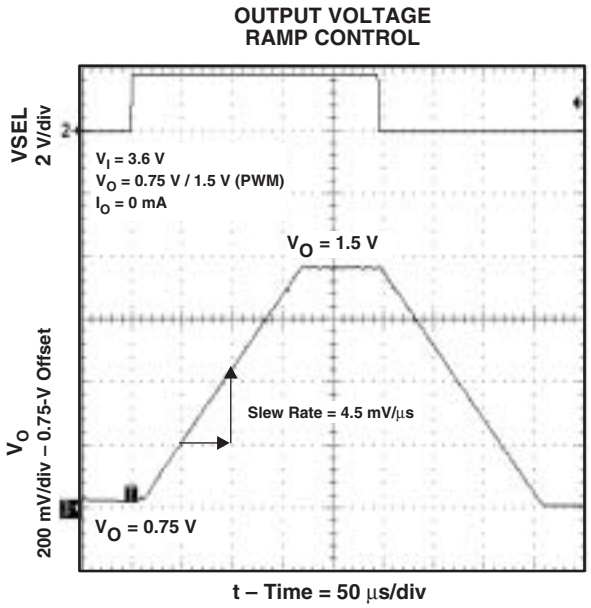


図 41

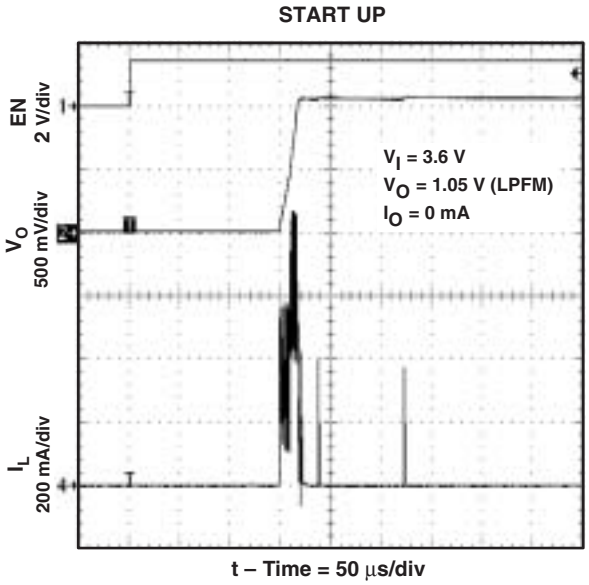


図 42

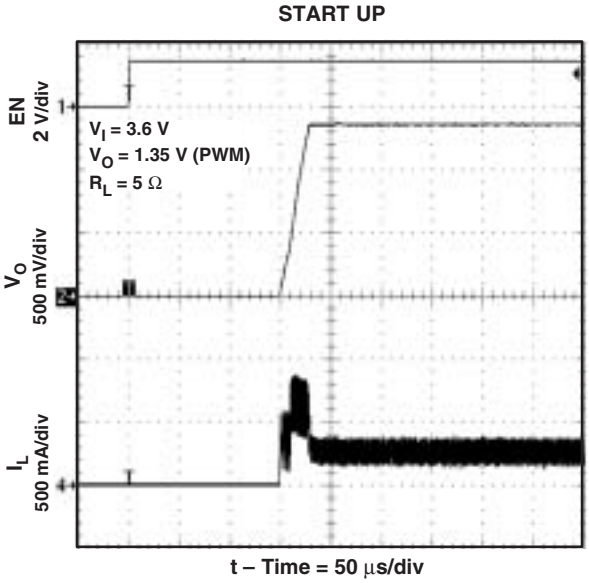


図 43

詳細説明

動作

TPS6235xは同期整流方式の降圧型コンバータで、中〜大負荷電流範囲では3MHz固定周波数のパルス幅変調（PWM）方式で動作します。一方軽負荷電流時には、コンバータはパルス周波数変調（PFM）方式のパワーセーブ･モードで動作します。このデバイスは、軽負荷時の超高効率に最適化したモード（ライトPFM）と、PWM動作に変わる時の過渡応答を最適化したモード（ファストPFM）の2つのパワーセーブ･モードを持っています。どちらのパワーセーブ･モードも負荷電流が増加した時に自動的にPWM動作に移行します。

TPS6235xはI^2C互換のインターフェイスを内蔵しており、最大3.4Mbpsでの通信が可能です。この通信インターフェイスにより、動作中に最小12.5mV電圧ステップで出力電圧をデジタル可変を行うことが出来ます。また、動作モード（ライトPFM, ファストPFM, 強制PWM）を再プログラムしたり、出力電圧のイネーブル/ディスエーブルを行うことができます。詳細についてはI^2Cインターフェイス及びレジスタの説明の項を参照してください。

PWM動作時、コンバータは入力電圧フィードフォワードをもった高速応答の電圧モードで動作します。このことによりクラス最高レベルの入力及び負荷応答が実現し、極めて小さなインダクタと小型の入力/出力セラミック･コンデンサを使用することが可能になります。各スイッチング･サイクルの初めでは、PチャネルのMOSFETスイッチがオンとなり、インダクタ電流は、コンパレータが反転してコントロール･ロジックがスイッチをオフにするまで増加します。動作周波数は3MHzに設定されていますが、外部発振器またはマスターのDC/DCコンバータと動作中に外部同期運転に移行することが可能です（アプリケーション例参照）。

このデバイスは2つの電流制限を内蔵しており、1つはPチャネルMOSFET、もう1つはNチャネルMOSFETです。PチャネルMOSFETの電流がその制限電流値に達した時、PチャネルMOSFETはオフし、NチャネルMOSFETがオンとなります。また、NチャネルMOSFETの電流がN-MOS電流制限スレッシュホールドより高くなった時は、電流がその制限電流より低下するまでNチャネルMOSFETはオンのままとなります。NチャネルMOSFETの電流制限機能はインダクタ電流が減少しない場合や起動時の出力電圧が非常に低い場合などにデューティサイクルが小さくなり、ON時間巾に対してPチャンネルMOSFETの過電流制限の動作遅延が問題となる場合に重要な働きをします。

パワーセーブ･モード：ファストPFM

負荷電流の減少により、デバイスは、負荷に合わせて間欠的にパワー段が動作するパルス･スキップ動作に自動的に切り換ります。周期的なサイクル動作により、スイッチング損失は最小限に抑えられ、デバイスは静止状態の最小電流で動作し高効率が維持されます。

ファストPFMモードでは、デバイスは、コンバータの出力電圧が設定スレッシュホールド電圧（標準はV_O）を下回った時のみ動作します。コンバータは数パルス動作して出力電圧を上昇させ、インダクタ電流がゼロに達すると再びパワーセーブ･モードになります。結果として、パワーセーブ･モードでの平均出力電圧はPWMモードのときの平均値より少し高くなります。ファストPFMモードは、パルス･スキップ動作からPWM動作に遷移する時に高速応答を必要とするアプリケーションに最適です。

パワーセーブ･モード：ライトPFM

負荷電流の減少により、デバイスは、負荷に合わせて間欠的にパワー段が動作するライトPFMのパルス･スキップ動作に自動的に切り換ります。ライトPFMの利点は、低出力負荷時にファストPFMに比べてI_Qが極めて低い（28μA）ことにより効率が大幅に高いことです。

ライトPFMモードでは、デバイスは、コンバータの出力電圧が設定スレッシュホールド電圧（標準はV_O）を下回った時のみ動作します。コンバータは1つまたはいくつかのパルスで出力電圧を上昇させ、パワーセーブ･モードに戻ります。結果として、パワーセーブ･モードでの平均出力電圧はPWMモードのときの平均値より少し高くなります。

ライトPFMからPWM動作間を適切に遷移するため、ライトPFMモード時の出力電圧リップルは入力電圧に比例しています。LIGHTPFM OPTIMIZE（VSEL0[6]またはVSEL1[6]）ビットを“L”レベルにセットすることで出力電圧リップルを低減することが可能です。しかし、これは1μH（標準）のインダクタを使用して、V_I/25Ωより低い負荷電流で動作し、かつ、自動モードの遷移機能を必要としないアプリケーションでしか実現できません。

2.2μH（標準）のインダクタで動作している時、LIGHTPFM OPTIMIZE（VSEL0[6]またはVSEL1[6]）ビットは常時“L”レベルにセットしておかなければなりません。この場合、自動遷移機能は負荷電流の制約を受けることはありません。

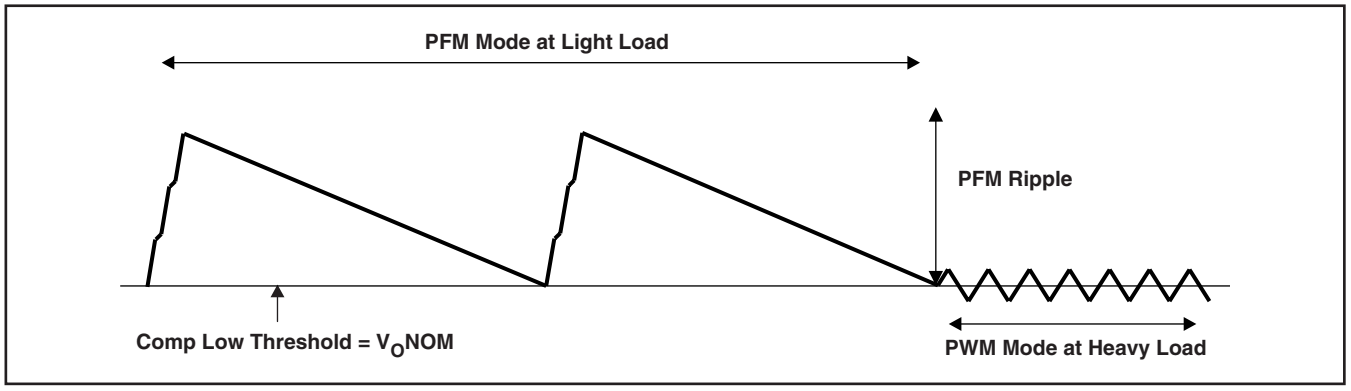


図 44. Operation in PFM Mode and Transfer to PWM Mode

モードの選択と周波数同期

TPS6235xはSYNCピンに入力された外部クロック信号に同期運転させることができます。SYNCピンを固定状態の“H”レベルまたは“L”レベル状態にしてもコンバータの動作には影響はありません。

CONTROL1レジスタの設定により、デバイスは固定周波数動作のPWMモード、または、PWM/パワーセーブの自動切換えモードで動作させることができます。この自動切換えモードというのは、コンバータ出力が中〜大負荷時には固定周波数のPWMモードで動作し、軽負荷時にはPFMモードで動作して広い負荷電流範囲にわたって高効率を維持します。詳細についてはCONTROL1レジスタの説明を参照してください。

固定周波数のPWMモードでは、優れたレギュレーションと入力/負荷過渡特性が得られます。さらに、この動作モードではノイズに敏感なアプリケーションに対するスイッチング周波数帯のフィルタを簡素化することができます。軽負荷時の効率に関しては、固定周波数のPWMモードはパワーセーブ·モードに比べて低くなります。パワーセーブ·モード(ライトまたはファストPFM)から固定PWMモードへの切り換えは動作中でも可能です。これはVSEL信号を使うか、CONTROL1レジスタを再プログラムすることで実現できます。このことにより、コンバータの動作をシステム特有の要件に適合するよう調整することができ、より効率的で柔軟性のあるパワー·マネジメントが実現します。

同期動作がイネーブル(CONTROL2[5]=1)の時、コンバータは固定周波数動作モードに設定され、PチャネルMOSFETのターンオンは外部クロックの立下りエッジに同期します。これにより、複数のコンバータをマスター/スレーブ構成で接続し、周波数マッチングを行い動作させることができます(詳細についてはアプリケーションの項を参照してください)。

CONTROL1 [1:0] = 00でVSEL信号が“L”レベルの時、コンバータはMODE0ビットに従って動作し、同期動作はEN_SYNC及びHW_nSWビットにかかわらずディスエーブルです。

ソフトスタート

TPS6235xは内部に起動時の突入電流を制限するソフトスタート回路を持っていますので、バッテリーまたは出力インピーダンスの高い電源がコンバータの入力に接続された場合、入力電圧に起こり得る電圧降下を防ぐことができます。

TPS62350/1/3/4/5のソフトスタートはデジタル制御により350mA/675mA/1000mAの電流制限、および標準電流制限値の1350mAのステップで電流制限を増加させる事により動作します。電流制限値のステップ移行は256クロック(約88µs)毎に発生します。ただし、675mAから1000mAへの電流制限値のステップ移行は出力電圧が$0.5 \times V_{O(NOM)}$より高い時のみ可能です(それ以下の場合は675mAの電流制限の状態を保持します)。

TPS62356のソフトスタートはデジタル制御により400mA/775mA/1150mAの電流制限、および標準電流制限値の1550mAのステップで電流制限を増加させる事により動作します。電流制限値のステップ移行は256クロック(約88µs)毎に発生します。ただし、775mAから1150mAへの電流制限値のステップ移行は出力電圧が$0.5 \times V_{O(NOM)}$より高い時のみ可能です(それ以下の場合は775mAの電流制限の状態を保持します)。

この機能は出力短絡時に短絡電流をより少ない値に制限する為に設けられています。この機能により、起動時間は出力コンデンサ容量と負過電流に大きく依存する事になります。

イネーブル

このデバイスはENピンが“H”レベルにセットされた時動作を開始し、ソフトスタートにより立ち上がります。この信号はレジスタVSEL0とVSEL1で定義されているEN_DCDCビットによりゲート·コントロールされます。ENピンの立上がりエッジで、全てのレジスタはデフォルト値にリセットされます。EN_DCDCビットによりコンバータの動作をイネーブルにしても内部レジスタの設定には影響を与えません。このEN_DCDCビットを使うと、コンバータを起動する前に出力電圧をデフォルト電圧以外の電圧値にプログラムすることができます。詳細についてはVSEL0/1レジスタの説明を参照してください。

ENピン、VSEL0[6]、VSEL1[6]ビットのいずれかを“L”レベルにすると、デバイスはシャットダウン·モードになります。このときのデバイスの待機電流値は電気的特性に示した値となります。このモードでは、PチャネルMOSFETとNチャネルMOSFETはオフとなり、内部のフィードバック用分圧抵抗が切断され、全ての内部コントロール回路がオフに切り換ります。外部電圧源またはスーパー·キャパシタにより出力電圧がシャットダウン·モード時でも存在している時、電気的特性に規定されている逆リーク電流が流れます。正常動作を行うには、ENピンは終端処理しなければならず、フローティングにしてはなりません。

また、CONTROL2[6]ビットの設定により、デバイスがオフになった時に出力コンデンサをアクティブに放電させることができます。内蔵の放電抵抗値は標準で15Ωです。V_Oの出力コンデンサを放電するのに要する時間は負荷電流と出力容量値により決まります。

電圧とモード選択

TPS6235xの特長として出力電圧が端子の設定で選択可能なことがあります。VSELはアクティブ·モード(VSEL=“H”レベル)とスリープ·モード(VSEL =“L”レベル)間での出力デジタル可変制御に主に使用されます。出力に持たせる柔軟性を最も大きくする方法は、I^2Cインターフェイス経由でVSEL信号を使ってコンバータの動作モード(例えば、固定周波数PWM、ファストPFM、ライトPFM)を再プログラムすることです。

VSELによる出力電圧とモード選択は以下のように定義されます。

VSEL=“L”レベル： DC/DC出力電圧はVSEL0レジスタ値により決まります。DC/DC動作モードはCONTROL1レジスタのMODE0ビットにより決まります。

VSEL=“H”レベル： DC/DC出力電圧はVSEL1レジスタ値により決まります。DC/DC動作モードはCONTROL1レジスタのMODE1ビットにより決まります。

低電圧ロックアウト

低電圧ロックアウト回路により低入力電圧時のデバイスの誤動作が防止されます。これは、不定領域でコンバータのスイッチや整流のMOSFETがオンするのを防ぎます。

短絡保護

出力電圧が設定値の50%より低下すると、電流制限値も50%に低減されます。短絡保護は起動時からイネーブルであるため、デバイスは出力電圧が設定値の50%を越えるまで制限電流の半分以上の電流は供給しません。このことは、モーターなどの電流シンクとして機能している負荷がコンバータの出力に接続されている場合に考慮する必要があります。

サーマル・シャットダウン

ジャンクション温度T_Jが150°C (typ.) を越えるとデバイスはサーマル・シャットダウン状態になります。このモードでは、PチャネルMOSFETとNチャネルMOSFETはオフになります。デバイスは接合部温度が再び130°C (typ.) より下がると動作を再開します。

動作原理

シリアル・インターフェイスの説明

I^2Cはフィリップス・セミコンダクタ社により開発された2線のシリアル・インターフェイスです (I^2Cバス規格バージョン2.1/Jan2000参照)。このバスはデータ・ライン (SDA) とクロック・ライン (SCL) で構成されており、プルアップされています。バスがアイドル状態の時、SDAラインとSCLラインは“H”レベルになっています。全てのI^2C互換デバイスは、オープン・ドレインのI/Oピン、SDA、SCLを介してI^2Cバスに接続されます。マスター・デバイス (一般には、マイクロコントローラやデジタル・シグナル・プロセッサ) には、バスをコントロールし、SCL信号とデバイス・アドレスを生成するという重要な役割があります。また、マスターデバイスはデータ転送のSTARTとSTOPを表す固有の状態も作ります。スレーブ・デバイスはマスター・デバイスのコントロール下でバス上のデータを送受信します。

TPS6235xデバイスはスレーブとして動作し、I^2Cバス規格で定義されている標準モード (100kbps)、ファスト・モード (400kbps)、高速モード (ライト・モード時最大3.4Mbps)のデータ転送モードに対応しています。このインターフェイスにより電源ソリューションに柔軟性が加わり、アプリケーション要件に応じて、ほとんどの機能を即座に新たな値にプログラムすることができます。レジスタに設定された内容は、電源電圧が2.2V (Typ) より高ければそのままの状態が保たれます。

標準モードとファスト・モードのデータ転送プロトコルは全く同じであるため、このデータシートではF/Sモードと呼ぶことにします。高速モードのプロトコルはF/Sモードと異なっているため、HSモードと呼びます。TPS6235xデバイスは7ビットのアドレッシングに対応しており、10ビットのアドレッシングとゼネラル・コール・アドレスには対応していません。

TPS6235xデバイスは、出荷検査時にプログラム可能な2LSBビットを含む7ビットのアドレスを持っており、最大4つのDC/DCコンバータを同一バスに接続することができます。5 MSBは“10010”で固定されています。

F/Sモードのプロトコル

マスターデバイスは、スタート状態を作り出してからデータ転送を開始します。スタート状態とは、SCL = “H”時に、SDAが“H”レベルから“L”レベルに遷移した時のことです。図45を参照してください。スタート状態の認識は、全てのI^2C互換デバイスでなされなければなりません。

次に、マスターはSCLパルスを生成し、7ビットのアドレスとリード/ライト・ディレクション・ビットR/WをSDAラインに送信します。マスターは、全送信に対してデータが有効になるようにします。データが有効となるには、クロック・パルスの“H”レベルの全期間でSDAラインが安定している必要があります。図46を参照してください。全デバイスはマスターから送られるアドレスを認識し、それを各デバイス内部の固定アドレスと比較します。アドレスマッチングの取れたスレーブ・デバイスのみが、9番目のSCLパルスの全“H”レベル期間でSDAラインを“L”レベルにすることで、認証を受けられます。図47を参照してください。この認証信号を検出して、マスターはスレーブとの通信回線が構築されたことを知ります。

さらにマスターは、スレーブにデータを送信(R/Wビット：1)、またはスレーブからデータを受信 (R/Wビット：0) するためにSCLパルスを生成します。どちらの場合にも、受信側は送信側により送られたデータを確認することが必要です。認証信号はどちらが受信側であるかによりマスターまたはスレーブのいずれかから生成されます。8ビットのデータと1ビットの認証信号から成る9ビットの有効データ列が必要である限り続きます。

データ転送の終わりを知らせるため、マスターはSCL = “H”時にSDAラインを“L”レベルから“H”レベルにしてストップ状態を生成します。図45を参照してください。これでバスは解放され、アドレッシングされているスレーブとのリンクが停止します。全てのI^2C互換デバイスがストップ状態を認識しなければなりません。ストップ状態を受信した時、全デバイスはバスが解放されたことを知り、次のアドレスマッチングが行われるスタート状態を待ちます。

このデータシートに記載されていないレジスタ・アドレスからデータを読もうとするとFFhが読み出されることになります。

H/Sモードのプロトコル

バスがアイドル状態の時、SDAラインとSCLラインの両方とも、プルアップにより“H”レベルになっています。

マスターは、HSマスター･コード00001XXXを含む有効シリアル･バイトが後ろに続くスタート状態を生成します。この送信は400kbps以下のF/Sモードで行われます。どのデバイスもHSマスター･コードを‘認証’することはできませんが、全デバイスはそのコードを‘認識’して内部設定を3.4Mbps動作に対応するよう切り換えなければなりません。

次に、マスターは再スタート状態を生成します(再スタート状態は始めのスタート状態のタイミングと同じです)。この再スタート状態となると、プロトコルは最大3.4Mbps転送速度が可能であることを除いてF/Sモードと同じです。ストップ状態はHSモードを終了させ、F/Sモードに対応するよう全てのスレーブ･デバイスの内部設定を切り換えます。ストップ状態の代わりに再スタート状態を使うと、HSモードでバスが確保されます。

このデータシートに記載されていないレジスタ･アドレスからデータを読もうとするとFFhが読み出されることになります。

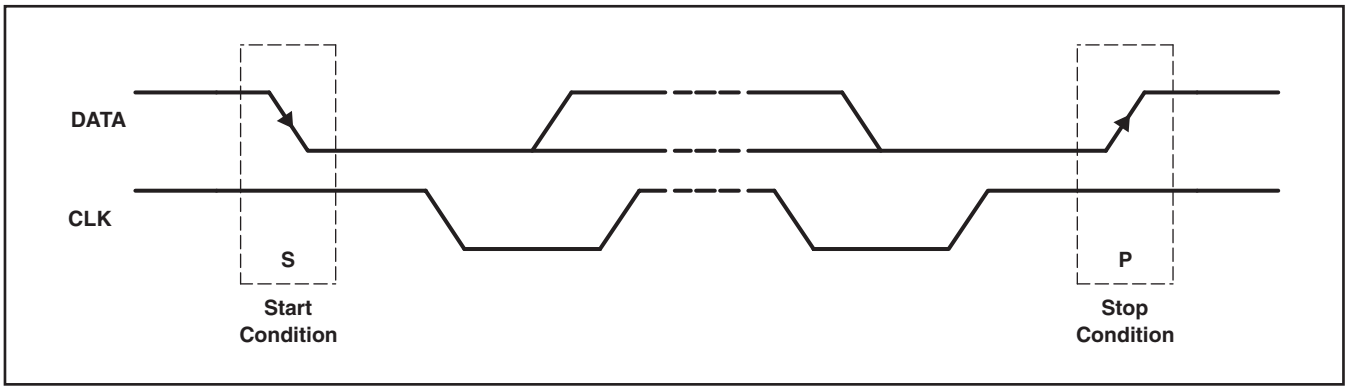


図 **45**. START and STOP Conditions

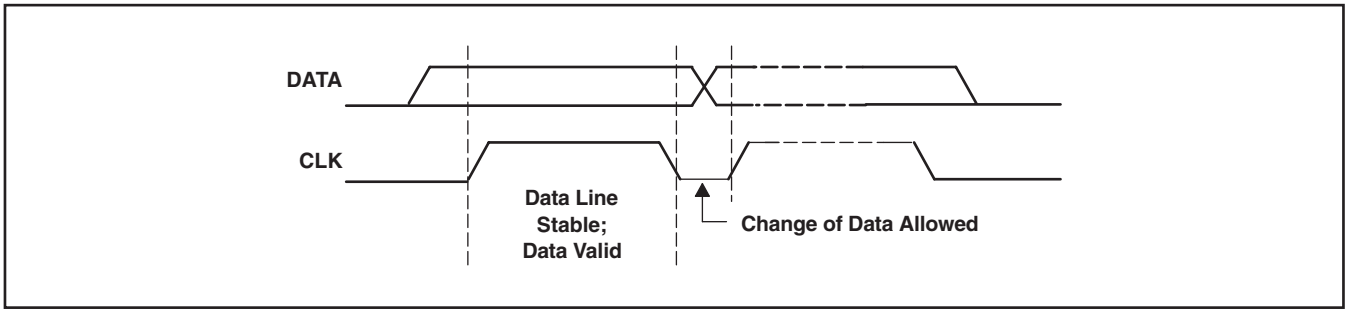


図 **46**. Bit Transfer on the Serial Interface

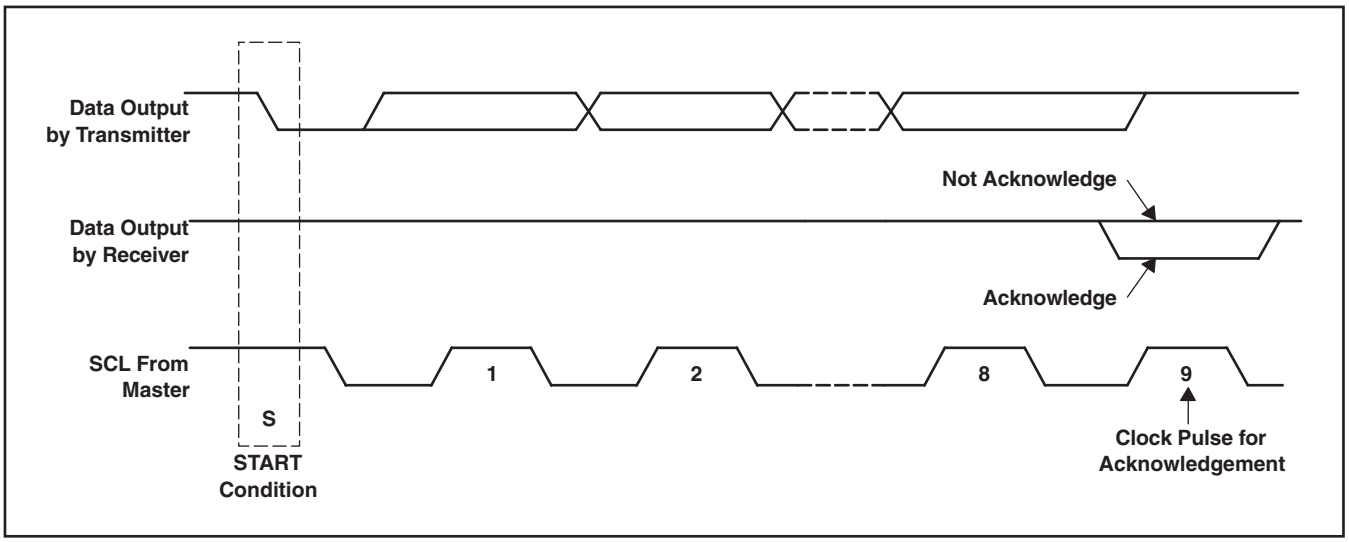


図 **47**. Acknowledge on the I^{2}C Bus

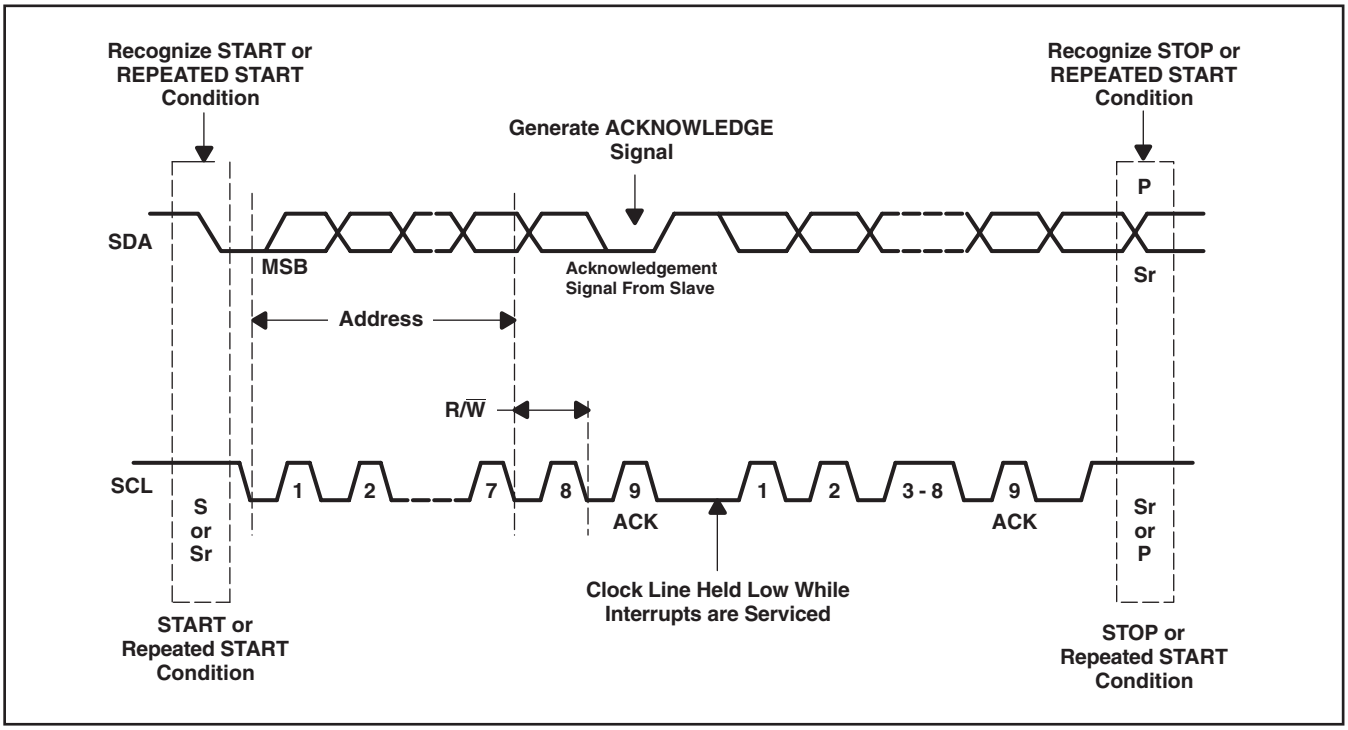


図 **48**. Bus Protocol

TPS6235x I²C更新インターフェイス

TPS6235xは1つのレジスタを更新するのに、スタート状態、有効I²Cアドレス、レジスタ·アドレス·バイト、データ·バイトの４つを必要とします。各バイトの受信後、TPS6235xデバイスは、1つのクロック·パルスが“H”レベルの期間にSDAラインを“L”レベルにして認証を受けます。有効I²CアドレスはTPS6235xを選択し、TPS6235xはLSBバイトの立下りエッジで更新を行います。

TPS6235xがハードウェアでのシャットダウン状態にある時(ENピンがグランドに接続されている時)、デバイスはI²Cインターフェイスを介しては更新することはできません。逆に、ソフトウェアでのシャットダウン状態時(EN_DCDCビット= 0)には、I²Cインターフェイスはすべて機能します。

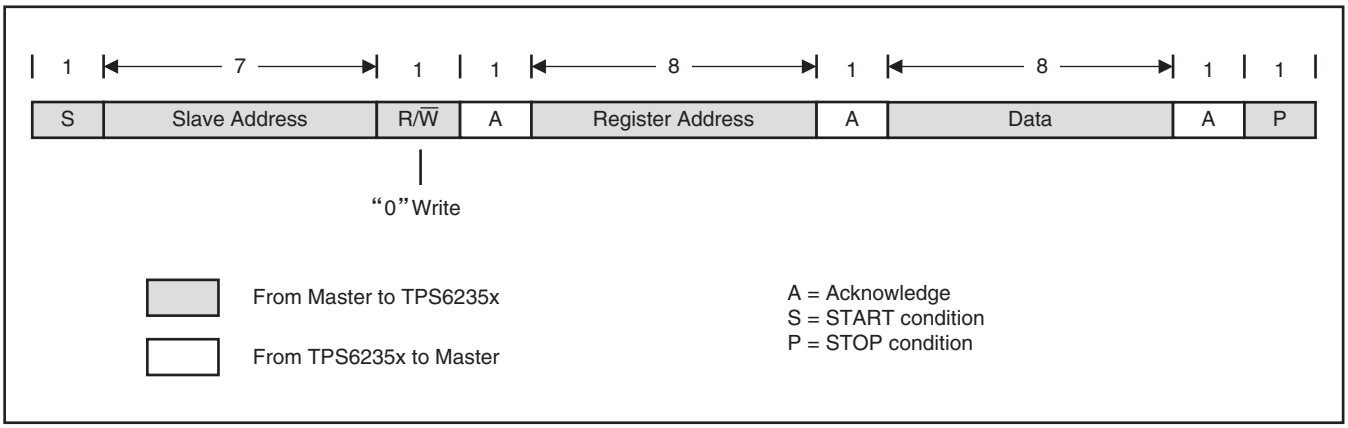


図 **49**. “Write” Data Transfer Format in F/S-Mode

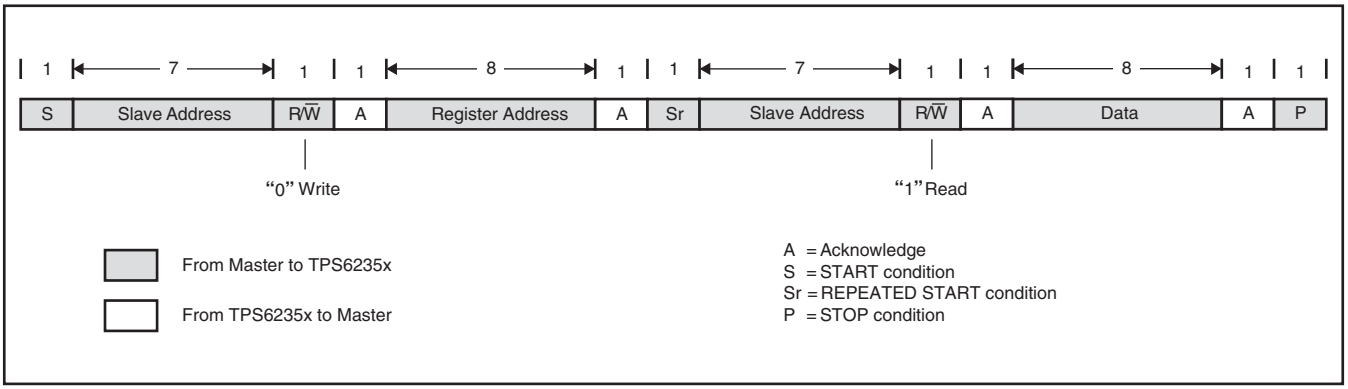


図 50. "Read" Data Transfer Format in F/S-Mode

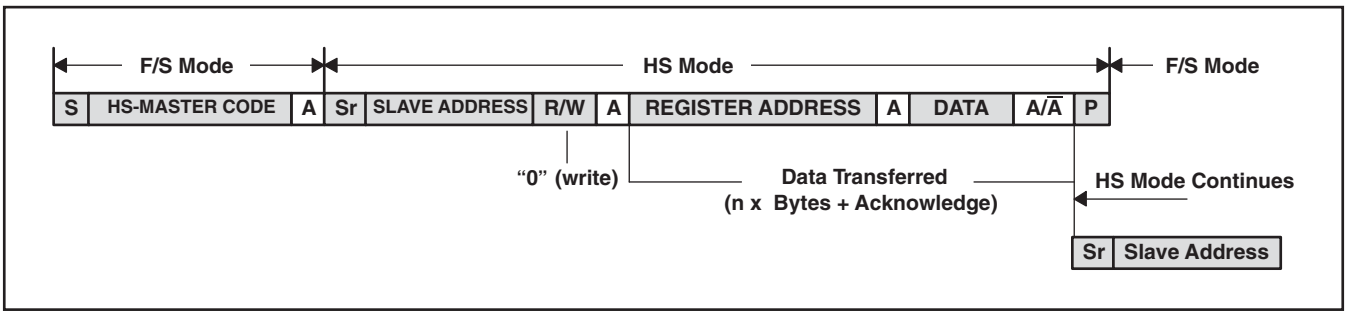


図 51. Data Transfer Format in H/S-Mode

スレーブ・アドレス・バイト

MSB							LSB
X	1	0	0	1	0	A1	A0

スレーブ·アドレス·バイトとは、マスター·デバイスから受信した'START状態'の次に受信するバイトです。アドレスの最初の5ビット(MSB)は、工場出荷時に"10010"に初期設定されています。次の2ビット (A1、A0)はデバイス·オプションによります。例えば、TPS62350は"00"に、TPS62351は"10"に出荷時に初期設定されています。最大4タイプのTPS6235xデバイスを同一のI^2Cバスに接続することができます。詳細については発注情報の表を参照してください。

レジスタ・アドレス・バイト

MSB							LSB
0	0	0	0	0	0	D1	D0

スレーブ·アドレスの認証が終わると、バス·マスターはアクセスするレジスタアドレスを含む1バイトをTPS6235xに送ります。TPS6235xは双方向I^2Cバス·インターフェイスを介してアクセス可能な4つの8ビット·レジスタを持っています。全ての内部レジスタはリード及びライト·アクセスの機能をもっています。

レジスタ名	D1, D0の値
VSEL0（リード/ライト）SEL0	00
VSEL1（リード/ライト）	01
CONTROL1（リード/ライト）	10
CONTROL2（リード/ライト）	11

表 1. レジスタの説明

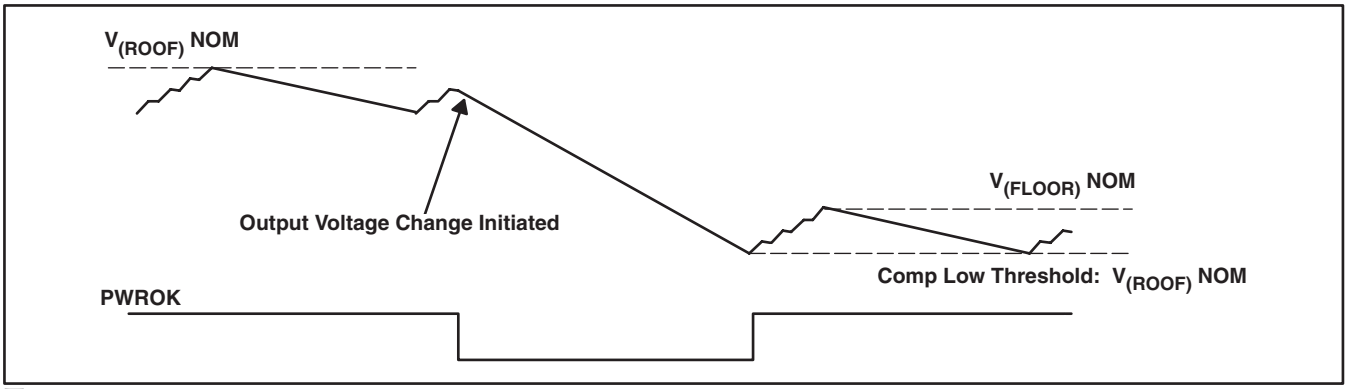


図 52. PWROK Operation (Transition to a Lower Voltage)

出力電圧のアクティブな制御

プロセッサのコアの消費電力を低減するため、TPS6235xはその出力電圧をコンバータ動作中にデジタル可変させることができます。これには2つのやり方があります。“ソフトウェアによる方法”ハードウェアによる方法。これはHW_nSWビットで選択することができます（下記の制御ビットと値ビットについての詳細はレジスタの説明の項に示されています）。

ハードウェア制御に同期した出力電圧の制御方法（HW_nSW = 1）

アプリケーション·プロセッサにより、I²C経由で出力電圧がプログラムされます。このとき、VSEL信号の2状態（最小値[VSEL0]と最大[VSEL1]）を使います。また、アプリケーション·プロセッサは出力電圧の変化速度を制御するため、CONTROL2レジスタにDEFSLEW値も書き込みます。

この2つのレジスタは、VSEL入力に従って適切な出力電圧を供給するようI²Cを介して連続的に更新されます。出力電圧は、VSEL0またはVSEL1レジスタに書き込んだ直後に、選択した電圧変化速度で変化します。

PFMモードでは、VSEL信号を“H”レベルから“L”レベルに切り替えることで出力電圧がそれまでよりも低い電圧にプログラムされると、出力コンデンサが負荷により放電され、コンバータが電圧レギュレーションを保つためのスイッチングを開始するまでの間PWROKは“L”レベルになります。

多段ステップモードでは、出力電圧が上下にステップで変動している間は、PWROKは“L”レベルになります。その他の全ての動作状態下で、出力電圧が設定値の1.5%以下であると、PWROKは“L”レベルになります。

表2にVSEL0、VSEL1レジスタとVSEL信号に応じた出力電圧状態を示します。

ソフトウエア設定による出力電圧の制御方法（HW_nSW = 0）

デジタル·プロセッサは必要とされる出力電圧をI²Cインターフェイスを介して直接レジスタVSEL1に書き込みます。また、アプリケーション·プロセッサは出力電圧の変化速度をコントロールするためCONTROL2レジスタのDEFSLEW値も書き込みます。

CONTROL2レジスタのGOビットを設定後に、出力電圧は選択した変化速度で変化します。このビットは出力電圧がその目標値に達した時リセットされます。このモードでは、出力電圧の変化はVSEL信号に無関係で、VSEL0レジスタは使用しません。

PFMモードでは、出力電圧がそれまでよりも低い電圧にプログラムされると、出力コンデンサが負荷により放電され、コンバータが電圧レギュレーションを保つためのスイッチングを開始するまでの間、PWROKは“L”レベルになります。

多段ステップモードでは、出力電圧が上下にステップで変動している間は、PWROKは“L”レベルになります。その他の全ての動作状態下で、出力電圧が設定値の1.5%以下であると、PWROKは“L”レベルになります。

VSELピン	VSEL0レジスタ	VSEL1レジスタ	出力電圧
“L”レベル	No action	No action	最小
“L”レベル	新値の書込み	No action	新値に変更
“L”レベル	No action	書込み	最小電圧のまま不変
“H”レベル	No action	No action	最大
“H”レベル	新値の書込み	No action	最大電圧のまま不変
“H”レベル	No action	新値の書込み	新値に変更

表 2. 同期スケーリングのハードウェア方策の概要（HW_nSW=1）

出力電圧上昇速度制御

TPS6235xは、2つの異なるモードで動作する電圧変化速度制御機能を持っています。

- 多段ステップモード
- シングルステップモード

モード選択は、CONTROL2レジスタのDEFSLEWコントロール･ビットで行います。

ソシングルステップ電圧スケーリング･モード（デフォルト）、DEFSLEW[2:0] = [111]

TPS6235xは、シングルステップモードでは、電圧変更が低い方から高い方へ遷移している時には、最大スルーレートで出力電圧を上昇させます。

一方、電圧設定変更により出力電圧が低い方へ遷移している時の電圧変化速度は、モード設定レジスタ（CONTROL1レジスタ参照）に設定された動作モード（固定PWM、ファストPFM、ライトPFM）により変化します。

表3に示すのは、DEFSLEWを即時移行にセットして、低い方の電圧に遷移している時の変化速度制御です。

例えば、ライトPFMまたはファストPFMで動作している場合、出力が低い方の電圧に移行するようプログラムされた時、TPS6235xは出力電圧を下降させますが、その際、電圧変化速度をコントロールしたり、ステップ電圧を入れるようなことはありません。電圧降下に要する時間は、TPS6235xの出力容量と負荷電流により決まります。システム全体からすると、アクティブな出力電圧デジタル可変を行うにはこれがもっとも効率的な方法です。

多段ステップ電圧スケーリング･モード、DEFSLEW[2:0]=[000]-[110]

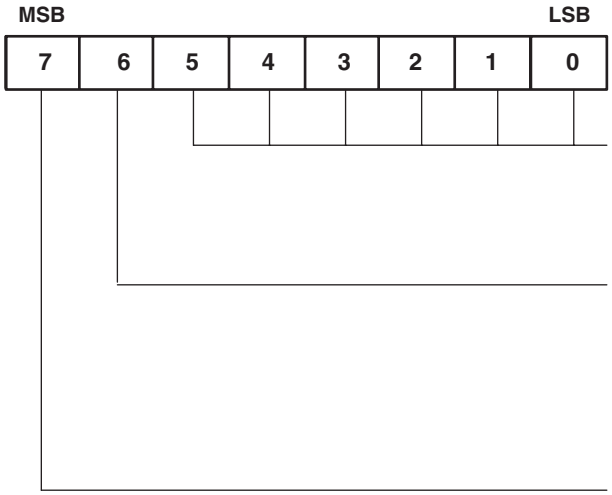
多段ステップモードでは、TPS6235xは、HW_nSWビット及び動作モード（例、固定PWM、ファストPFM、ライトPFM）とは無関係に出力電圧変化速度をコントロールします。電圧ステップ毎の時間を調整することにより、電圧上昇速度のコントロールを行っています。

電圧変更時の動作モード	HW_nSW	出力電圧ランプ･レート
固定PWM	X	即時
ファストPFM	X	下降時間は出力容量と負荷電流により決まる
ライトPFM	X	下降時間は出力容量と負荷電流により決まる

表 3. ランプ･レート･コントロール対目標モード

レジスタの説明

VSEL0レジスタ（リード/ライト）



メモリ・ロケーション：00
リセット状態：X1XX XXXX ― 発注情報表参照

電圧ステップ乗数、VSM0

6ビット符号なしバイナリの直線符号化
有効コード：0～63（10進）

LIGHTPFM OPTIMIZE

0：2.2μHのインダクタ向けに最適化されたライトPFM
1：1μHインダクタ向けに最適化されたライトPFM（デフォルト）

このビットはVSEL1[6]により内部でマッピングされます。
VSEL0[6]に値を書き込むとVSEL1[6]は自動的に更新されます。

EN_DCDC

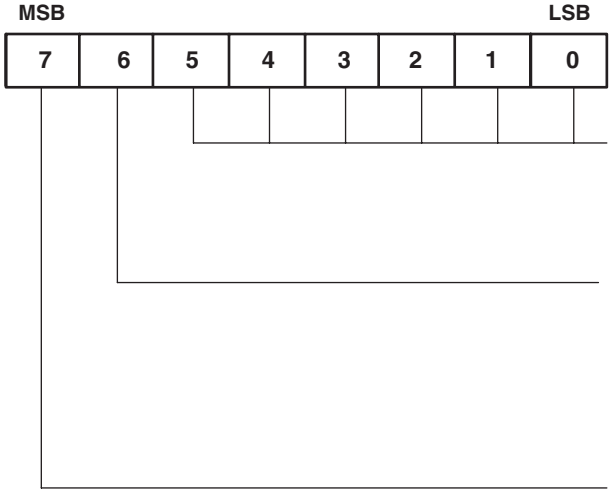
このビットは外部のENピン信号をゲート・コントロールします。

0：EN信号に無関係にデバイスはシャットダウン・モード
1：ENピンが“H”レベルの時デバイスはイネーブル（デフォルト）

このビットはVSEL1[7]により内部でマッピングされます。
VSEL0[7]に値を書き込むとVSEL1[7]は自動的に更新されます。

A. TPS62350, 51, 52, 53, 54, 55 :
　出力電圧 = 最小出力電圧 +（電圧ステップ乗数0 × 12.5mV）
B. TPS62356 :
　出力電圧 = 最小出力電圧 +（電圧ステップ乗数0 × 25mV）

VSEL1レジスタ（リード/ライト）



メモリ・ロケーション：01
リセット状態：X1XX XXXX ― 発注情報表参照

電圧ステップ乗数、VSM1

6ビット符号なしバイナリの直線符号化
有効コード：0～63（10進）

LIGHTPFM OPTIMIZE

0：2.2μHインダクタ向けに最適化されたライトPFM
1：1μHインダクタ向けに最適化されたライトPFM（デフォルト）

このビットはVSEL0[6]により内部でマッピングされます。
VSEL1[6]に値を書き込むとVSEL0[6]は自動的に更新されます。

EN_DCDC

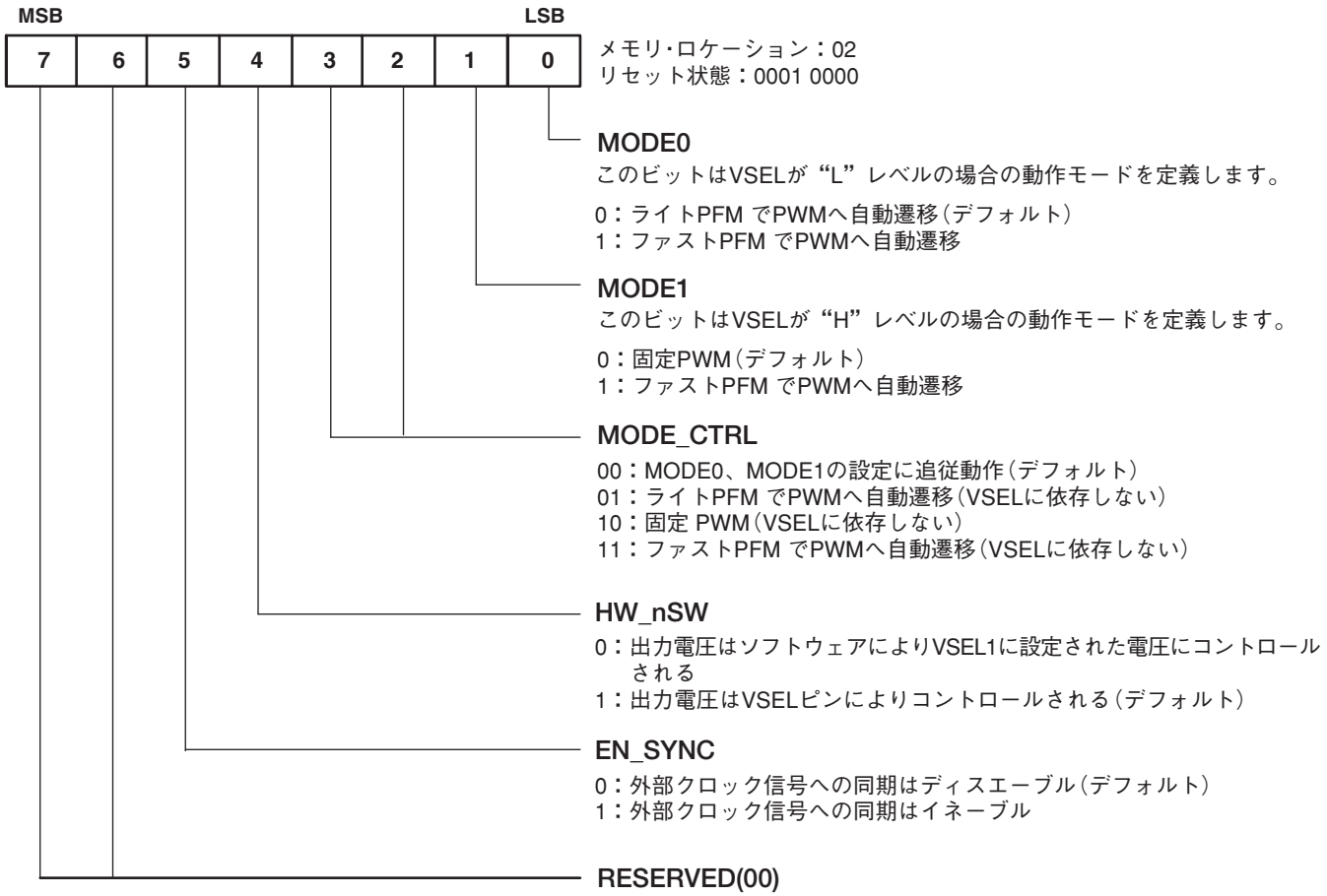
このビットは外部のENピン信号をゲート・コントロールします。

0：EN信号に無関係にデバイスはシャットダウン・モード
1：ENピンが“H”レベルの時デバイスはイネーブル（デフォルト）

このビットはVSEL0[7]により内部でマッピングされます。
VSEL1[7]に値を書き込むとVSEL0[7]は自動的に更新されます。

A. TPS62350, 51, 52, 53, 54, 55 :
　出力電圧 = 最小出力電圧 +（電圧ステップ乗数1 × 12.5mV）
B. TPS62356 :
　出力電圧 = 最小出力電圧 +（電圧ステップ乗数1 × 25mV）

CONTROL1レジスタ（リード/ライト）



CONTROL2レジスタ（リード/ライト）

MSB							LSB
7	6	5	4	3	2	1	0

メモリ・ロケーション：03
リセット状態：0000 0111

DEFSLEW

DEFSLEWは出力電圧のランプ・レートを定義します。

000：0.15mV/µs
001：0.3mV/µs
010：0.6mV/µs
011：1.2mV/µs
100：2.4mV/µs
101：4.8mV/µs
110：9.6mV/µs
111：即時（デフォルト）

PLL_MULT

PLL_MULTは同期クロックの乗数比を定義します。

00：x1 – $f_{(SYNC)}$ = 3MHz ± 12%（デフォルト）
01：x2 – $f_{(SYNC)}$ = 1.5MHz ± 12%
10：x3 – $f_{(SYNC)}$ = 1MHz ± 12%
11：x4 – $f_{(SYNC)}$ = 750kHz ± 12%

PWROK（読み出しのみ）

0：出力電圧がその目標レギュレーション電圧より低いことを表す。
　コンバータがディスエーブルであればこのビットはゼロです。
1：出力電圧がその標準範囲内であることを表す。

OUTPUT_DISCHARGE

0：コンバータがディスエーブルの時DC/DC出力コンデンサが
　アクティブに放電されない(デフォルト)。
1：コンバータがディスエーブルの時DC/DC出力コンデンサが
　アクティブに放電される。

GO

このビットはHW_nSW = 0の時のみ有効です。

0：出力電圧は不変（デフォルト）
1：出力電圧はDEFSLEWで定義されたランプ・レートで変化する。

アプリケーション情報

出力フィルタの設計（インダクタ及び出力コンデンサ）

TPS6235x降圧型コンバータはループ補償を内蔵しているため、外付けのLCフィルタは内部位相補償が有効となる範囲内で選択しなければなりません。

このデバイスは最小0.7µH～最大6.2µHの間のインダクタンス値で動作するよう設計されています。内部補償は$L = 1\mu H$、$C_O = 10\mu F$の出力フィルタでの動作に最適化されています。この出力フィルタのカットオフ周波数は以下のようになります。

$$f_C = \frac{1}{2\pi\sqrt{L \times C_O}} = \frac{1}{2\pi\sqrt{1\mu H \times 10\mu F}} = 50.3\ \text{kHz} \quad (1)$$

これよりも大きな出力コンデンサ（例、22µF）を選ぶと、カットオフ周波数が低周波側に移動するので安定性が増し、重要な問題が生じにくくなります。使用可能な出力フィルタの組み合わせを表4に示します。

インダクタンス値にかかわらず、高負荷の過渡電流（di/dt）（例、1600mA/µs以上）をもつアプリケーションでは10µFの出力コンデンサで動作させることを推奨します。

また、インダクタンス値はパルス･スキップ動作にも影響を与えます。インダクタ電流の最小値が内部で設定されているレベルより低下した時、パワーセーブ･モードへの遷移が始まります。インダクタンス値が小さいと軽負荷（パワーセーブ･モード）時にリップル電流が大きくなります。結果として軽負荷動作時の効率が低下することになります。

インダクタの選択

インダクタは動作周波数には影響を与えませんが、インダクタンス値はリップル電流に直接影響します。よって、選択したインダクタの直流抵抗と飽和電流を評価する必要があります。インダクタのリップル電流（ΔI_L）は、インダクタンス値が高くなるに従って減少し、V_Iが高くなるかV_Oが$V_I/2$に近づくにつれ増加します。

$$\Delta I_L = \frac{V_O}{V_I} \times \frac{V_I - V_O}{L \times f_{SW}}$$

$$\Delta I_{L(MAX)} = I_{O(MAX)} + \frac{\Delta I_L}{2} \quad (2)$$

但し、

f_{SW} = スイッチング周波数（標準3MHz）

L = インダクタンス値

ΔI_L = インダクタのリップル電流値（peak-to-peak）

$I_{L(MAX)}$ = 最大インダクタ電流

通常、平均出力電流の30%未満のリップルで動作を行うことが賢明です。大きなリップル電流値を容認すれば低いインダクタンス値のものを使用することができますが、出力電圧リップルが大きくなってしまい、コアロスが大きくなります。また、コンバータの最大出力電流の能力も低くなります。

コイルの総損失は、直流抵抗（$R_{(DC)}$）の損失と以下の周波数依存要素の損失を足したものとなります。

- コア材の損失（磁気ヒステリシス損、特に高周波スイッチング時）
- 表皮効果（高周波での電流の偏り）による銅損
- 隣接巻線の磁界損失（近接効果）
- 漏れ磁束による損失

以下の各メーカのインダクタについては、TPS62350を用いたDCDCコンバータでの動作は確認済みです。

インダクタンス（L）	安定ループ動作用出力容量（C_O）	最適過渡特性用出力容量（C_O）
1.0 µH	≥ 10 µF（セラミック･コンデンサ）	≥ 10 µF（セラミック･コンデンサ）
2.2 µH	≥ 4.7 µF（セラミック･コンデンサ）	≥ 22 µF（セラミック･コンデンサ）

表 4. 出力フィルタの組み合わせ

メーカー	シリーズ名	寸法
FDK	MIPSA2520	2.5 × 2.0 × 1.2 = 6 mm³
TDK	VLF3010AT	2.8 × 2.6 × 1 = 7.28 mm³
Coilcraft	LPS3010	3 × 3 × 1 = 9 mm³
	LPS3015	3 × 3 × 1.5 = 13.5 mm³

表 5. インダクタ･リスト

出力コンデンサの選択

TPS6235xの高速応答電圧モード･コントロールにより、極めて小さなセラミック･コンデンサを使用することができます。低ESRのセラミック･コンデンサは、出力電圧リップルを最小にできるので、これを推奨します。出力コンデンサにはX7RまたはX5R特性のものを選択してください。Y5VやZ5U特性のコンデンサは、温度により容量が大きく変動するだけでなく、高周波領域で抵抗値が大きくなってしまいます。

標準の負荷電流時にはデバイスはPWMモードで動作します。そして、出力電圧リップルとは、出力コンデンサのESRにより生じる電圧スパイクと出力コンデンサを充放電することにより生じる電圧リップルの合計となります。

$$\Delta V_O = \frac{V_O}{V_I} \times \frac{V_I - V_O}{L \times f_{sw}} \times \left(\frac{1}{8 \times C_O \times f_{sw}} + ESR\right), \text{maximum for high } V_I \quad (3)$$

軽負荷電流時にはデバイスはパワーセーブ･モードで動作し、出力電圧リップルは出力コンデンサの値には依存しません。出力電圧リップルは内部コンパレータのスレッシュホールドと伝搬遅延で決まります。標準的な出力電圧リップルは標準出力電圧V_Oの2%です。

入力コンデンサの選択

降圧コンバータの原理上、ICへの入力電流はパルス状であるため、低ESRの入力コンデンサが必要となります。入力コンデンサに低ESR品を用いることで、デバイスでの誤動作やシステムの他の回路への干渉を引き起こす可能性のある大きな電圧変動を防止することができます。ほとんどのアプリケーションでは10µFのコンデンサで十分です。

入力にセラミック･コンデンサのみを使用する時は注意が必要です。電源がACアダプタのような長い配線で供給されていて、入力部にセラミック･コンデンサが使用されている時は、出力の負荷変動がVIN側にリンギングを誘発させることがあります。このリンギングが出力と結合してしまうと、ループが不安定となって誤動作したり、さらには部品を損傷させたりすることがあります。

ループ安定性の確認

回路の安定性を評価するには、まず、以下に示す信号を定常状態で観測します。

- スイッチング波形、SW
- インダクタ電流、I_L
- 出力リップル電圧、$V_{O(AC)}$

基本的にこれらの波形は、スイッチング･コンバータを評価する際には測定する必要があります。スイッチング波形に大きなジッタが見られたり、或いは出力電圧またはインダクタ電流に発振が見られる時、レギュレーション･ループが不安定である可能性があります。これは多くの場合、基板のレイアウトやLCの組み合わせが悪いことによるものです。

レギュレーション･ループで次に評価するのは、負荷応答です。出力コンデンサは、負荷変動が発生してからPチャネルMOSFETがターンオンするまでの間、負荷電流の全てを供給しなければなりません。出力電流の変動によりV_Oは$\Delta I_{(LOAD)} \times ESR$だけ急激に変化します（ここで、ESRは$C_O$の等価直列抵抗です）。$\Delta I_{(LOAD)}$は$C_O$の充電か放電を行い、発生する電圧変化によりフィードバック誤差信号を生成ししてV_Oを定常電圧へと復帰させます。

この回復時間中、V_Oを電圧復帰期間、オーバーシュートとリンギングの発生についてモニタし、コンバータの安定性を判断します。リンギングが発生していない場合は、この帰還ループは通常45°より大きな位相余裕を持っていることになります。

回路の位相余裕は、温度依存のあるいくつかの抵抗性パラメータ（例、MOSFETの$r_{DS(on)}$）に直接関係しているため、ループの安定性についての評価は、使用する全ての入力電圧範囲、全ての負荷電流範囲、全ての温度範囲に対して行わなければなりません。

レイアウトについての考察

基板レイアウトは、すべてのスイッチング電源設計において重要なステップとなります。TPS6235xデバイスは高速で動作するため、PCBのレイアウトには十分注意を払う必要があります。規定の性能を得るため基板レイアウトには気を付けなければなりません。レイアウトを注意して行わないと、EMI問題はもとより、レギュレータの入力/負荷変動時のレギュレーションの悪化や安定性の問題も生じることがあります。グランド·パスは低インダクタンス、低インピーダンスであることが重要であるため、図53に太線で示されている大電流パスには、太く短い配線を行ってください。

入力コンデンサは、インダクタや出力コンデンサと同様に、できるだけICの近くに置かなければなりません。グランド·ノイズの影響を最小限に抑えるためには、パワーグランドは共通にして、制御系グランド（AGND）はパワー系とは別のグランドラインを使用してください。これらのグランドはICの直近で一点接地し、AGNDピンに戻る小信号成分がC1とC2の大電流パスを経由していないことを確認してください。

出力電圧の検出ライン（FB）は、出力コンデンサよりも右側（負荷側）に接続し、かつ、ノイズの発生源となる部品や配線（例、SWライン）から離して引き回してください。その配線は最短にし、基準グランドと同電位のパターンでガードリングしてください。

熱情報

薄型、狭ピッチの表面実装パッケージICを使用する際には一般的に消費電力に対して十分な注意が必要です。熱結合、空気の流れ、追加のヒートシンク、対流といった多くのシステム起因の問題と、他の発熱部品の存在により、デバイスの許容電力損失が異なってきます。熱特性を向上させる基本的な3つの方法を以下にあげます。

- PCB設計においての電力消費能力の改善
- 部品とPCBとの熱結合の改善
- システムにエアフローを導入

TPS6235xデバイスの推奨最大接合部温度（T_J）は125°Cです。12ピンCSPパッケージ（YZG）の熱抵抗$R_{\theta JA}$は89°C/Wです。レギュレータの動作は最高周囲温度T_A = 85°Cで保証されています。従って、最大消費電力は約450mWです。アプリケーションの最大周囲温度がこれより低いか、またはPowerPAD™パッケージ（DRC）が用いられると、より大きな電力を消費することができます。

$$P_D MAX = \frac{T_J MAX - T_A}{R_{\theta JA}} = \frac{125^\circ C - 85^\circ C}{89^\circ C/W} = 450\ mW \quad (4)$$

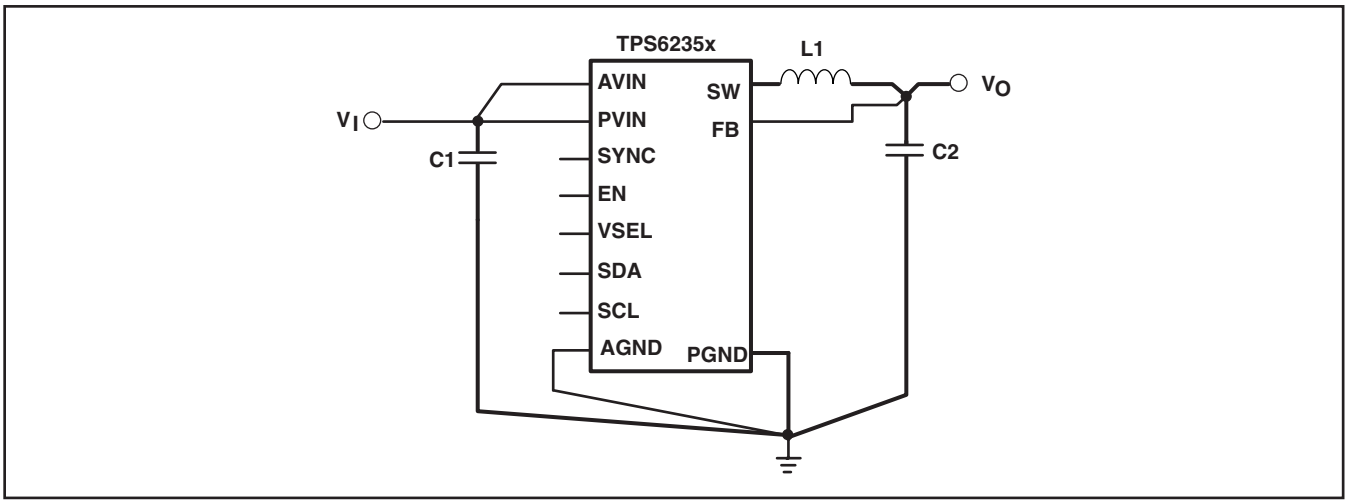
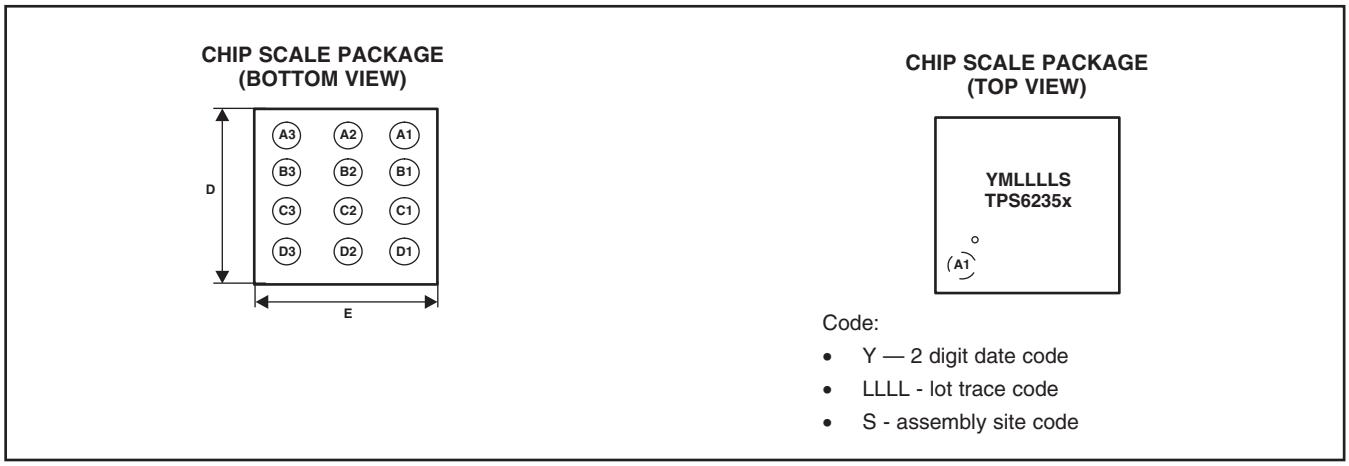


図 **53**. Layout Diagram

パッケージ概要



パッケージ寸法

YZGパッケージの寸法を表6に示します。このデータシートの最後部のパッケージ図を参照してください。

デバイス	D	E
TPS6235xYZG	2.23 ±0.05 mm	1.41 ±0.05 mm

表 6. YZGパッケージの寸法

パッケージ・オプション

製品情報

Orderable Device	Status [1]	Package Type	Package Drawing	Pins	Package Qty	Eco Plan [2]	Lead/Ball Finish	MSL Peak Temp [3]
TPS62350YZGR	ACTIVE	DSBGA	YZG	12	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62350YZGT	ACTIVE	DSBGA	YZG	12	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62351DRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS62351DRCRG4	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS62351YZGR	ACTIVE	DSBGA	YZG	12	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62351YZGT	ACTIVE	DSBGA	YZG	12	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62352DRCR	PREVIEW	SON	DRC	10	3000	TBD	Call TI	Call TI
TPS62352YZGR	ACTIVE	DSBGA	YZG	12	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62352YZGT	ACTIVE	DSBGA	YZG	12	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62353YZGR	ACTIVE	DSBGA	YZG	12	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62353YZGT	ACTIVE	DSBGA	YZG	12	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62354YZGR	ACTIVE	DSBGA	YZG	12	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62354YZGT	ACTIVE	DSBGA	YZG	12	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62355DRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS62355DRCRG4	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS62356YZGR	ACTIVE	DSBGA	YZG	12	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPS62356YZGT	ACTIVE	DSBGA	YZG	12	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM

[1] マーケティング・ステータスは次のように定義されています。
ACTIVE：製品デバイスが新規設計用に推奨されています。
LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。
PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。
OBSOLETE：TIによりデバイスの生産が中止されました。

[2] エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free（RoHS）、Pb-Free（RoHS Expert）およびGreen（RoHS & no Sb/Br）があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontentでご確認ください。
TBD：Pb-Free/Green変換プランが策定されていません。
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1％を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。
Pb-Free (RoHS Exempt)：この部品は、1）ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2）ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free（RoHS）と考えられます。
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素（Br）およびアンチモン（Sb）をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1％を超えない）ことを意味しています。

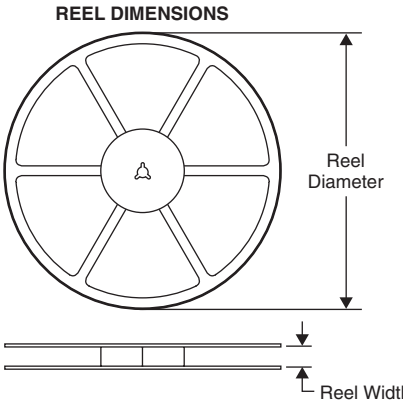
[3] MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

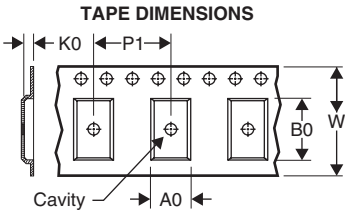
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。

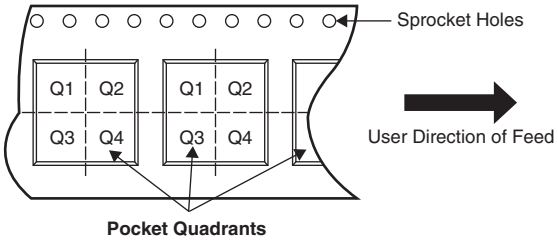
パッケージ・マテリアル情報

テープおよびリール・ボックス情報





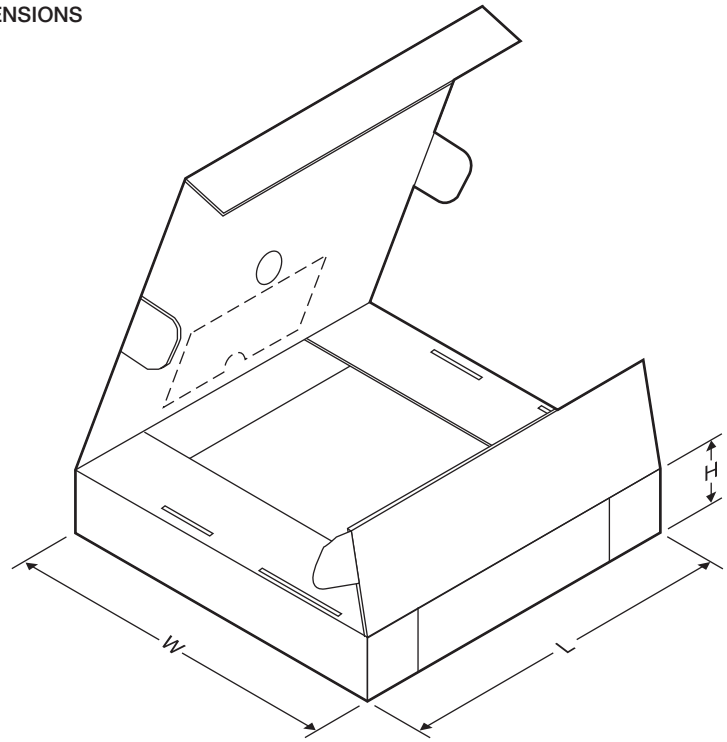
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62350YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62350YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62350YZGT	DSBGA	YZG	12	250	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62350YZGT	DSBGA	YZG	12	250	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62351DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.6	8.0	12.0	Q2
TPS62352YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62354YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62354YZGT	DSBGA	YZG	12	250	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62355DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS62356YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1

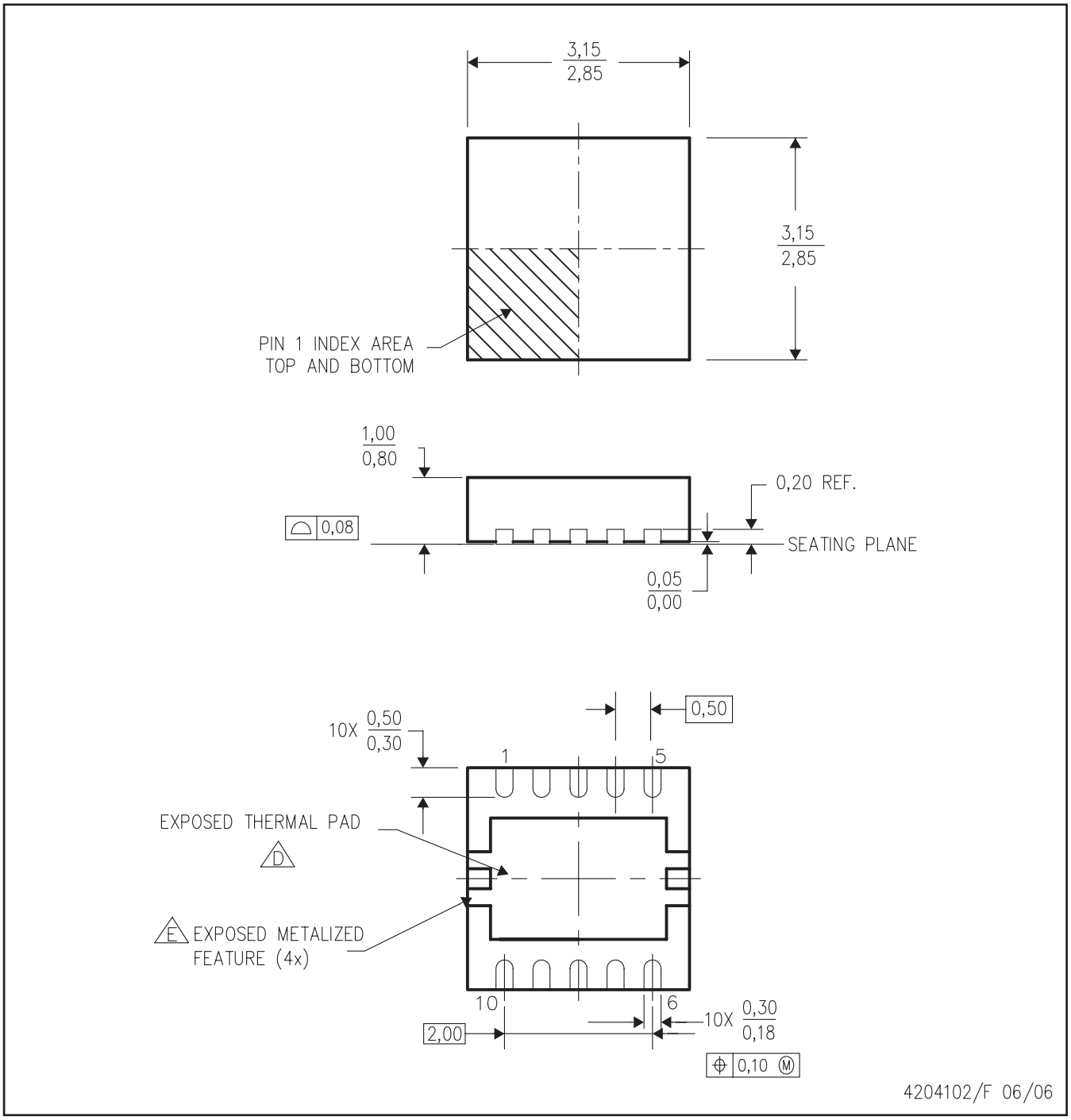
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

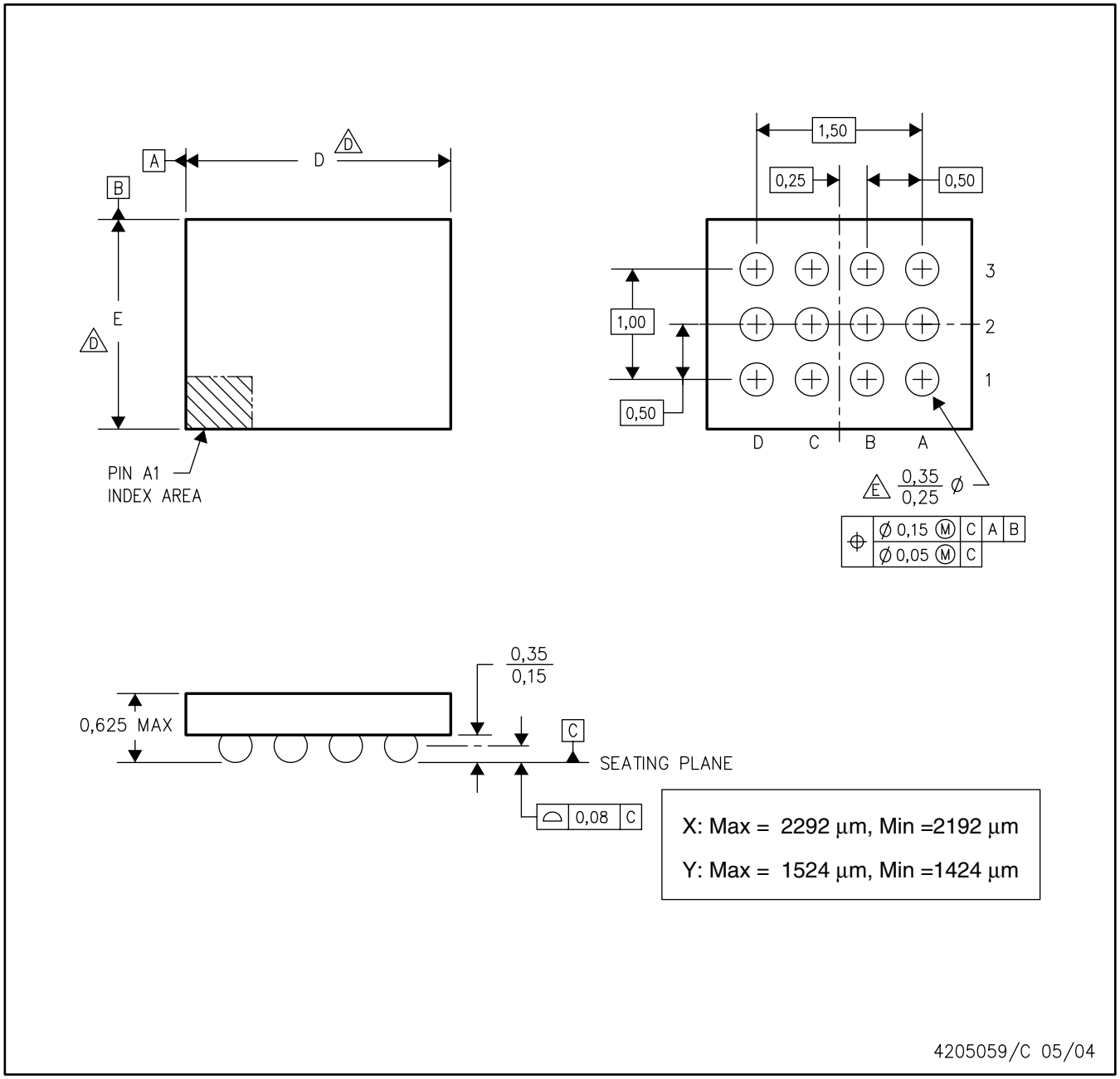
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62350YZGR	DSBGA	YZG	12	3000	220.0	220.0	34.0
TPS62350YZGR	DSBGA	YZG	12	3000	190.5	212.7	31.8
TPS62350YZGT	DSBGA	YZG	12	250	220.0	220.0	34.0
TPS62350YZGT	DSBGA	YZG	12	250	190.5	212.7	31.8
TPS62351DRCR	SON	DRC	10	3000	340.5	338.1	20.6
TPS62352YZGR	DSBGA	YZG	12	3000	220.0	220.0	34.0
TPS62354YZGR	DSBGA	YZG	12	3000	220.0	220.0	34.0
TPS62354YZGT	DSBGA	YZG	12	250	220.0	220.0	34.0
TPS62355DRCR	SON	DRC	10	3000	346.0	346.0	29.0
TPS62356YZGR	DSBGA	YZG	12	3000	220.0	220.0	34.0

DRC (S-PDSO-N10) PLASTIC SMALL OUTLINE



注： A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。
B. 図は予告なく変更することがあります。
C. SON (Small Outline No-Lead) パッケージ構成
D. 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。
露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。
E. 金属化はベンダのオプションで、パッケージには含まれていない場合があります。

YZG (R-XBGA-N12) DIE-SIZE BALL GRID ARRAY

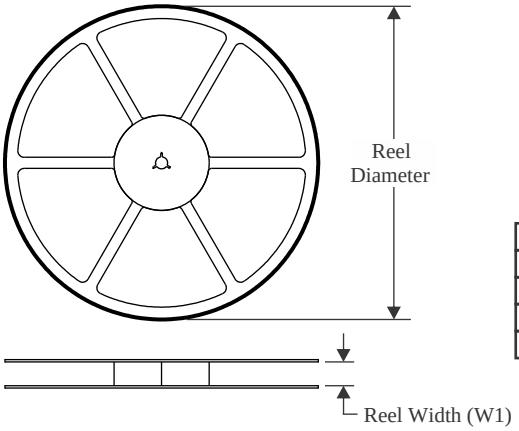


注： A. 直線寸法の単位はすべてミリメートルです。
B. 本図は予告なしに変更することがあります。
C. NanoFree™パッケージ構造
D. YZGパッケージのデバイスでは、寸法Dが2.00から2.11mmの範囲であり、寸法Eが1.50から1.61mmの範囲です。
特定のデバイスの正確なパッケージ・サイズは、デバイスのデータシートを参照するか、地域のTI代理店に問い合わせ願います。
E. アレイの構成については製品データシートを参照。
4×3のマトリクス・パターンのみを図示。
F. 本パッケージは鉛フリーのボールを使用。
Tin — リード(SnPb)ボールについては、YEG(図番4204182)を参照。

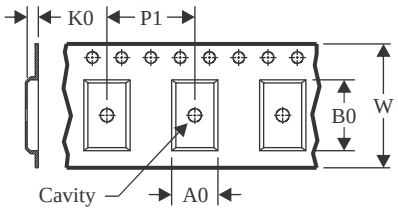
(SLVS540E)

TAPE AND REEL INFORMATION

REEL DIMENSIONS

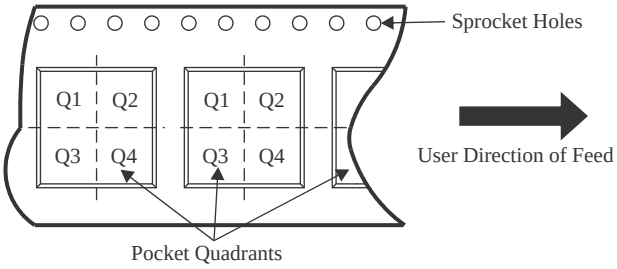


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

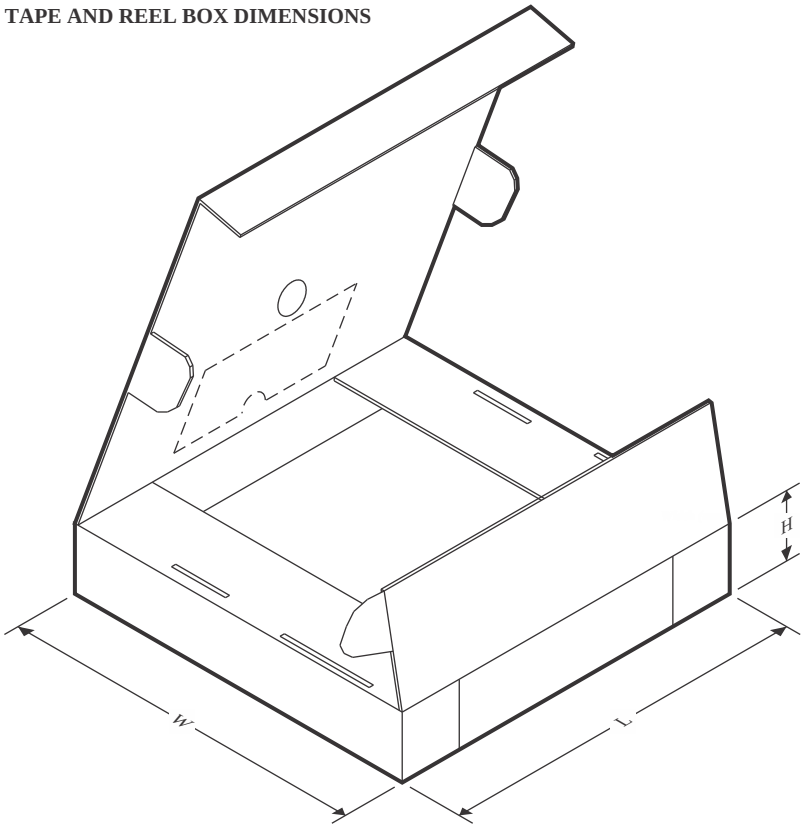
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62350YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62350YZGT	DSBGA	YZG	12	250	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62352YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62353YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62353YZGT	DSBGA	YZG	12	250	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62354YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62355DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS62355DRCRG4	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS62356YZGR	DSBGA	YZG	12	3000	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1
TPS62356YZGT	DSBGA	YZG	12	250	180.0	8.4	1.6	2.37	0.81	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62350YZGR	DSBGA	YZG	12	3000	182.0	182.0	20.0
TPS62350YZGT	DSBGA	YZG	12	250	182.0	182.0	20.0
TPS62352YZGR	DSBGA	YZG	12	3000	182.0	182.0	20.0
TPS62353YZGR	DSBGA	YZG	12	3000	182.0	182.0	20.0
TPS62353YZGT	DSBGA	YZG	12	250	182.0	182.0	20.0
TPS62354YZGR	DSBGA	YZG	12	3000	182.0	182.0	20.0
TPS62355DRCR	VSON	DRC	10	3000	356.0	356.0	35.0
TPS62355DRCRG4	VSON	DRC	10	3000	356.0	356.0	35.0
TPS62356YZGR	DSBGA	YZG	12	3000	182.0	182.0	20.0
TPS62356YZGT	DSBGA	YZG	12	250	182.0	182.0	20.0

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated