

TSD05 SOD-323、5V、単方向、TVS (過度電圧サプレッサ) ダイオード

1 特長

- IEC 61000-4-2 レベル 4 ESD 保護:
 - $\pm 30\text{kV}$ 接触放電
 - $\pm 30\text{kV}$ エア・ギャップ放電
- IEC 61000-4-5 サージ保護:
 - 60A (8/20 μs)
 - 低クランプ電圧: 60A において 9V (8/20 μs)
- IO 容量:
 - 19pF (標準値)
- DC ブレークダウン電圧: 7V (標準値)
- 超低リーク電流: 50nA (最大値)
- 低い ESD クランプ電圧: 7.5V (16A TLP の場合)
- 産業用温度範囲: $-55^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- 業界標準の SOD-523 リード付きパッケージ (2.5mm $\times$ 1.2mm $\times$ 0.3mm)

2 アプリケーション

- 5V 電源レール
- [USB VBUS](#)
- GPIO
- プッシュ・ボタン
- [グリッド・インフラストラクチャ](#)
- EPOS
- [携帯電子機器](#)

3 概要

TSD05 は双方向 TVS 保護ダイオードで、ESD やサージなどの有害な過渡電圧をクランプするよう設計されています。TSD05 は、最大 $\pm 30\text{kV}$ の ESD 衝撃 (接触およびエアギャップ放電) を放散できることが定格で、IEC 61000-4-2 国際規格 (レベル 4) で規定されている最大レベルを満たしています。サージに対しては、IEC 61000-4-5 規格に従い、最大 60A のピーク電流で 8/20 μs のサージをクランプできます。

また、このデバイスには 19pF (標準値) の IO 容量があり、データ・ラインを保護できます。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステム・レベルの保護を実現します。

このデバイスの堅牢なクランプ性能と低容量を組み合わせることで TSD05 は、優れた TVS ダイオードとなり、多くの異なるアプリケーションでデータと電源ラインの両方を保護します。

TSD05 は、業界標準のリード付き SOD-323 パッケージで供給され、半田付けが容易です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
TSD05	DYF (SOD-323、2)	2.65mm $\times$ 1.3mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図



Table of Contents

1 特長	1	7 Application and Implementation	7
2 アプリケーション	1	7.1 Application Information.....	7
3 概要	1	8 Device and Documentation Support	8
4 Revision History	2	8.1 Documentation Support.....	8
5 Pin Configuration and Functions	3	8.2 ドキュメントの更新通知を受け取る方法.....	8
6 Specifications	4	8.3 サポート・リソース.....	8
6.1 Absolute Maximum Ratings.....	4	8.4 Trademarks.....	8
6.2 ESD Ratings—JEDEC Specification.....	4	8.5 静電気放電に関する注意事項.....	8
6.3 ESD Ratings—IEC Specification.....	4	8.6 用語集.....	8
6.4 Recommended Operating Conditions.....	4	9 Mechanical, Packaging, and Orderable Information	8
6.5 Thermal Information.....	4	9.1 Tape and Reel Information.....	9
6.6 Electrical Characteristics.....	5	9.2 Mechanical Data.....	11
6.7 Typical Characteristics.....	6		

4 Revision History

DATE	REVISION	NOTES
July 2023	*	Initial Release

5 Pin Configuration and Functions

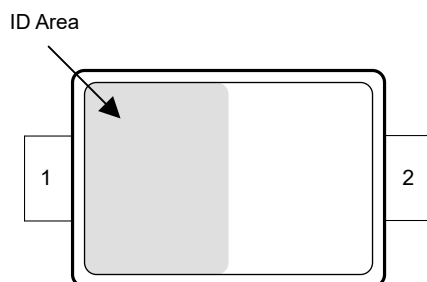


図 5-1. DYF Package, 2-Pin SOD-323 (Top View)

表 5-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NO.	NAME		
1	IO	I/O	Protected Channel
2	GND	GND	Ground. Connect to ground.

(1) I = input, O = output. GND = ground

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

		MIN	MAX	UNIT
Peak Pulse ^{(2) (3)}	IEC 61000-4-5 power (t_p - 8/20 μ s)		530	W
	IEC 61000-4-5 Current (t_p - 8/20 μ s)		60	A
T_A	Ambient Operating Temperature	-55	150	°C
T_{stg}	Storage Temperature	-65	155	°C

- (1) Operation outside the *Absolute Maximum Rating* may cause permanent device damage. *Absolute Maximum Rating* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Condition*. If used outside the *Recommended Operating Condition* but within the *Absolute Maximum Rating*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) Voltages are with respect to GND unless otherwise noted.
- (3) Measured at 25°C

6.2 ESD Ratings—JEDEC Specification

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2500	V
		Charged device model (CDM), per JEDEC specification JS-002 ⁽²⁾	±1000	V

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

6.3 ESD Ratings—IEC Specification

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	IEC 61000-4-2 contact discharge	±30000	V
		IEC 61000-4-2 air-gap discharge	±30000	

6.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V_{IO}	Input pin voltage	IO to GND	0		5.5	V
T_A	Operating free-air temperature		-55		150	°C

6.5 Thermal Information

THERMAL METRIC ⁽¹⁾		TSD05	UNIT
		DYF (SOD-323)	
		2 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	672.0	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	230.5	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	541.4	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	64.4	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	527.5	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	NA	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

6.6 Electrical Characteristics

At TA=25°C (unless otherwise noted) ⁽¹⁾

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V _{RWM}	Reverse stand-off voltage	I _{IO} < 50 nA, across operating temperature range			5.5	V
I _{LEAK}	Reverse leakage current	V _{IO} = 5.5 V, IO to GND		5	50	nA
V _{BR}	Break-down voltage	I _{IO} = 1 mA, IO to GND	6	7	8	V
V _{FWD}	Forward voltage	I _{IO} = 1 mA, GND to IO		0.7		V
V _{CLAMP}	Surge clamping voltage, t _p = 8/20 μs ⁽²⁾	I _{PP} = 24 A, IO to GND		8		V
		I _{PP} = 60 A, IO to GND		9		V
		I _{PP} = 60 A, GND to IO		5.5		V
	TLP clamping voltage, t _p = 100 ns	I _{PP} = 16 A, IO to GND		7.5		V
		I _{PP} = 16 A, GND to IO		1.1		V
C _L	Line capacitance	V _{IO} = 0 V; f = 1 MHz, IO to GND		19		pF

(1) Typical parameters are measured at 25°C

(2) Nonrepetitive current pulse 8 to 20 μs exponentially decaying waveform according to IEC 61000-4-5

6.7 Typical Characteristics

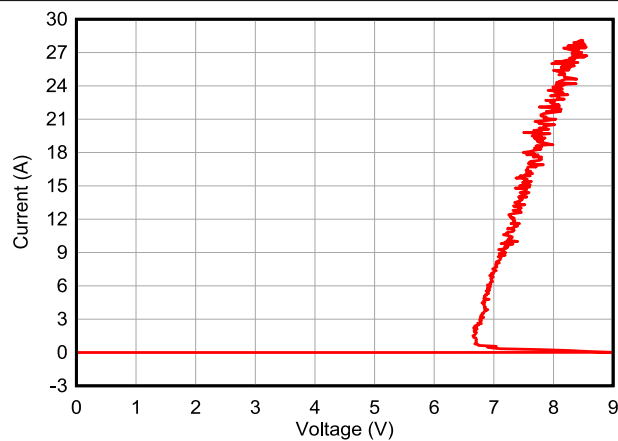


Figure 6-1. Positive TLP Curve

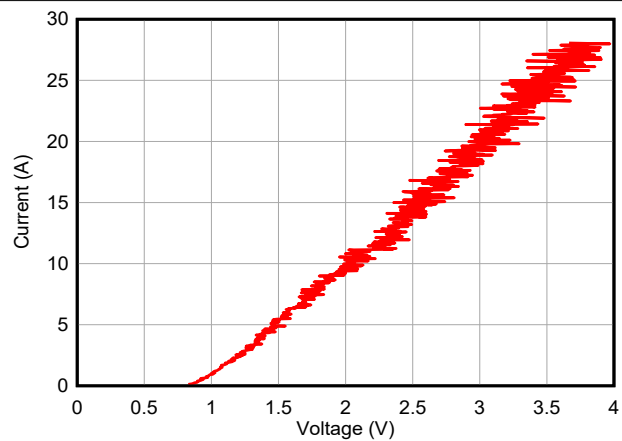


Figure 6-2. Negative TLP Curve

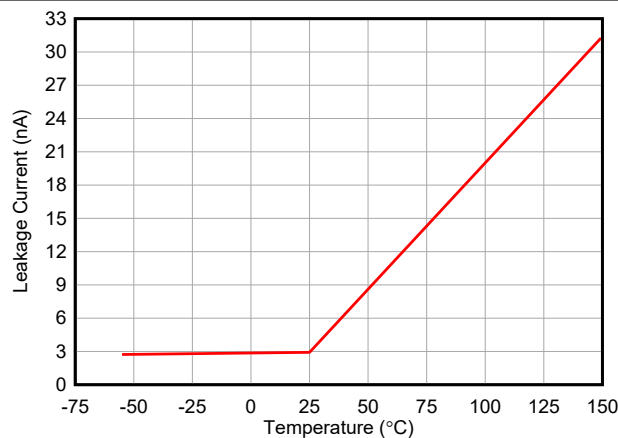


Figure 6-3. Temperature vs Leakage Current

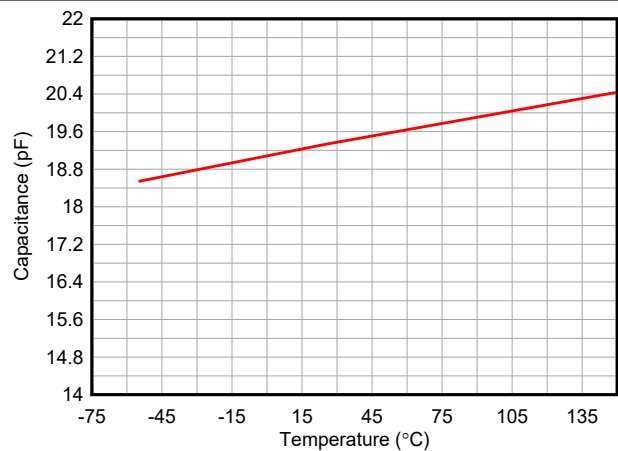


Figure 6-4. Temperature vs Capacitance

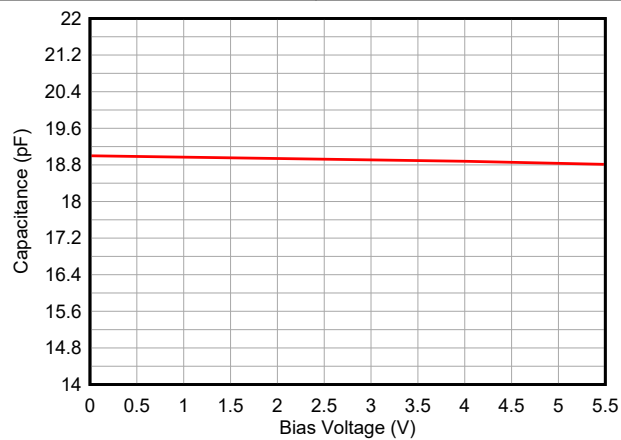


Figure 6-5. Bias Voltage vs Capacitance

7 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

7.1 Application Information

The TSD05 is a diode type TVS which provides a path to ground for dissipating transient voltage spikes, such as ESD or surge, on signal lines and power lines. The device should be connected in parallel to the down stream circuitry it is protecting. As the current from the transient passes through the TVS, only a small voltage drop is present across the diode. This is the voltage presented to the protected IC. The low R_{DYN} of the triggered TVS holds this voltage (V_{CLAMP}) to a safe level for the protected IC. For more information on how to properly use this device, refer to the [ESD Packaging and Layout Guide](#).

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [ESD Layout Guide application reports](#)
- Texas Instruments, [Generic ESD Evaluation Module user's guide](#)
- Texas Instruments, [Picking ESD Diodes for Ultra High-Speed Data Lines application reports](#)
- Texas Instruments, [Reading and Understanding an ESD Protection data sheet](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

8.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

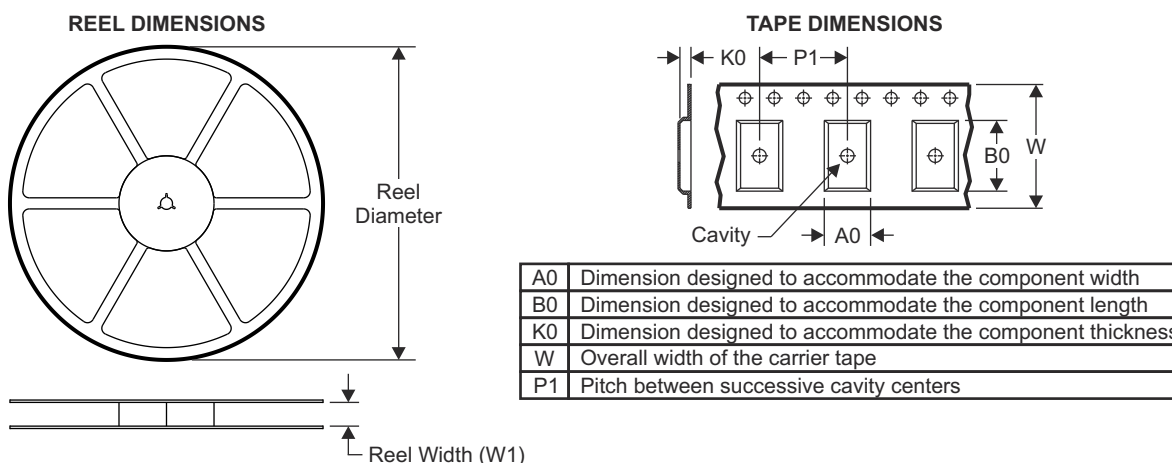
8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

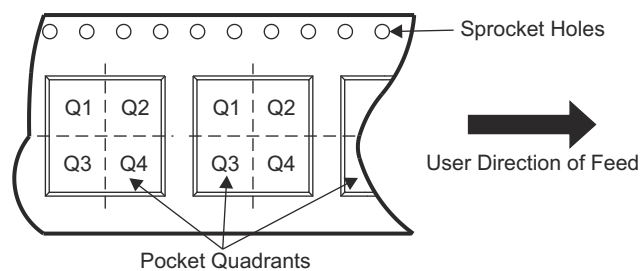
9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

9.1 Tape and Reel Information

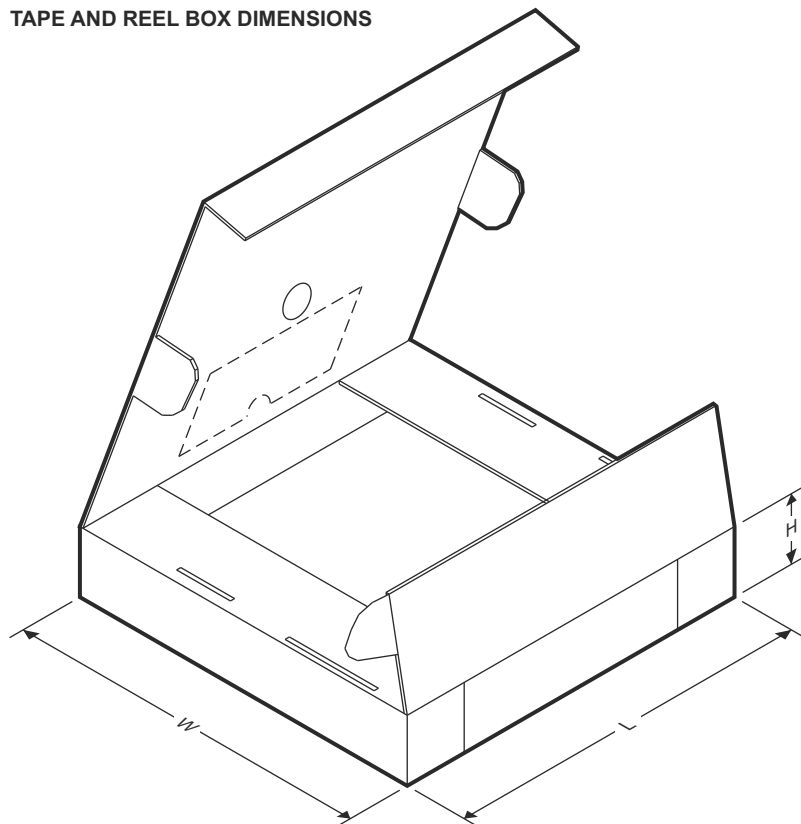


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TSD05DYFR	SOD-323	DYF	2	15000	178	8.4	0.36	0.66	0.33	0.2	8	Q1

TAPE AND REEL BOX DIMENSIONS



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TSD05DYFR	SOD-323	DYF	2	15000	205	200	33

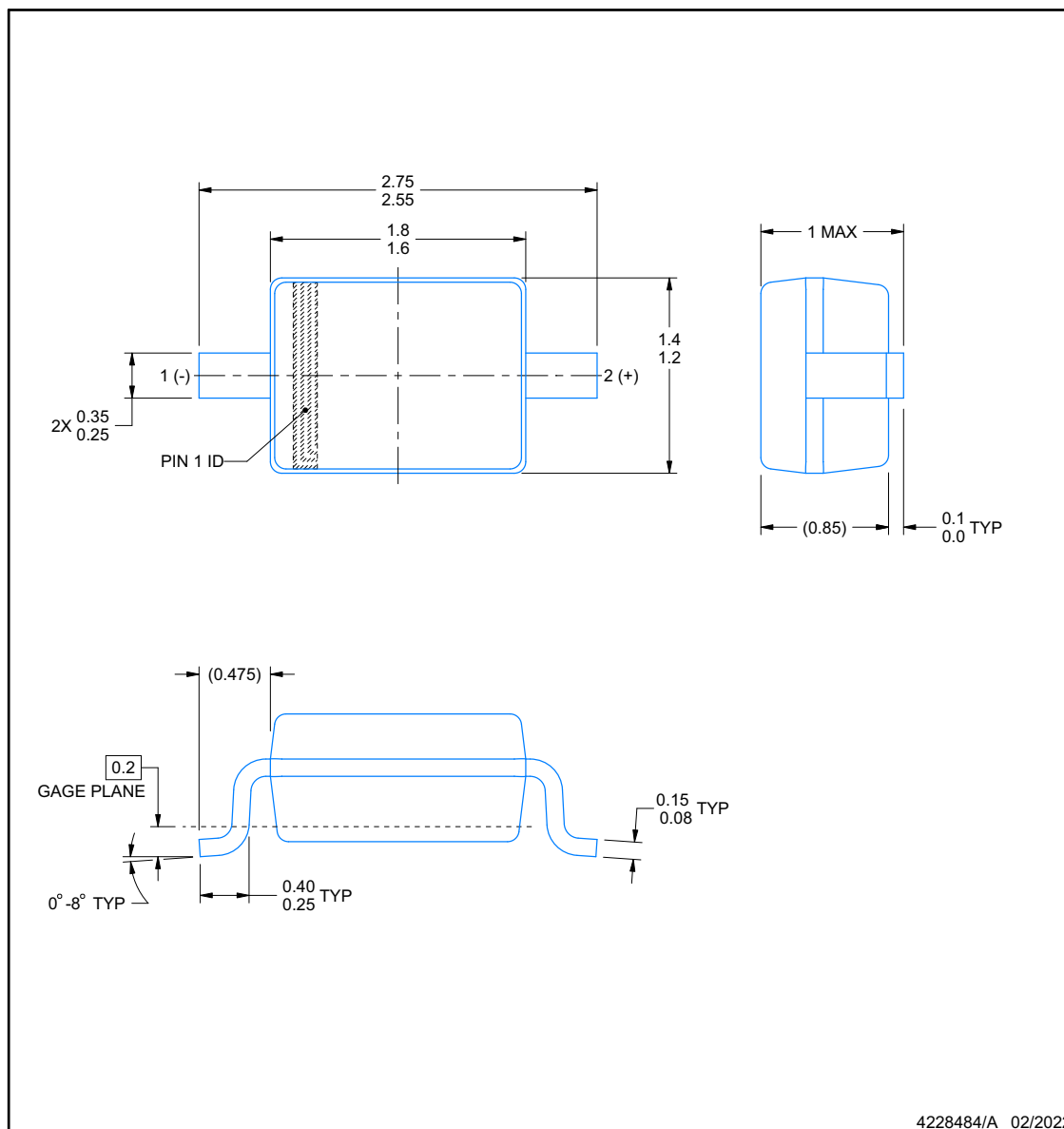
9.2 Mechanical Data



DYF0002A

PACKAGE OUTLINE
SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

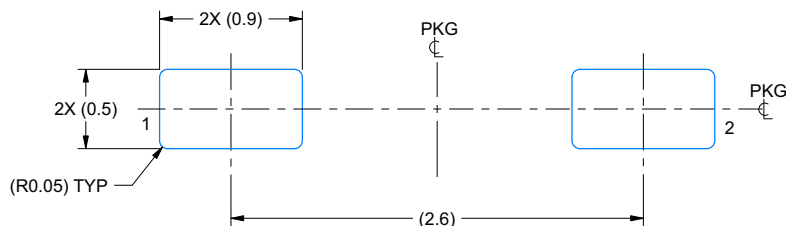
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

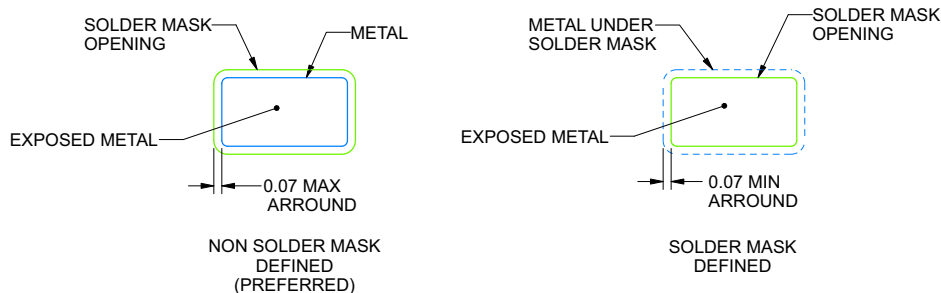
DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4228484/A 02/2022

NOTES: (continued)

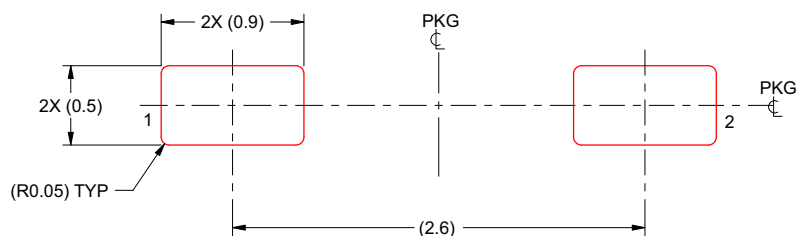
3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:25X

4228484/A 02/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TSD05DYFR	ACTIVE	SOT	DYF	2	3000	RoHS & Green	SN	Level-3-260C-168 HR	-40 to 125	33MF	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

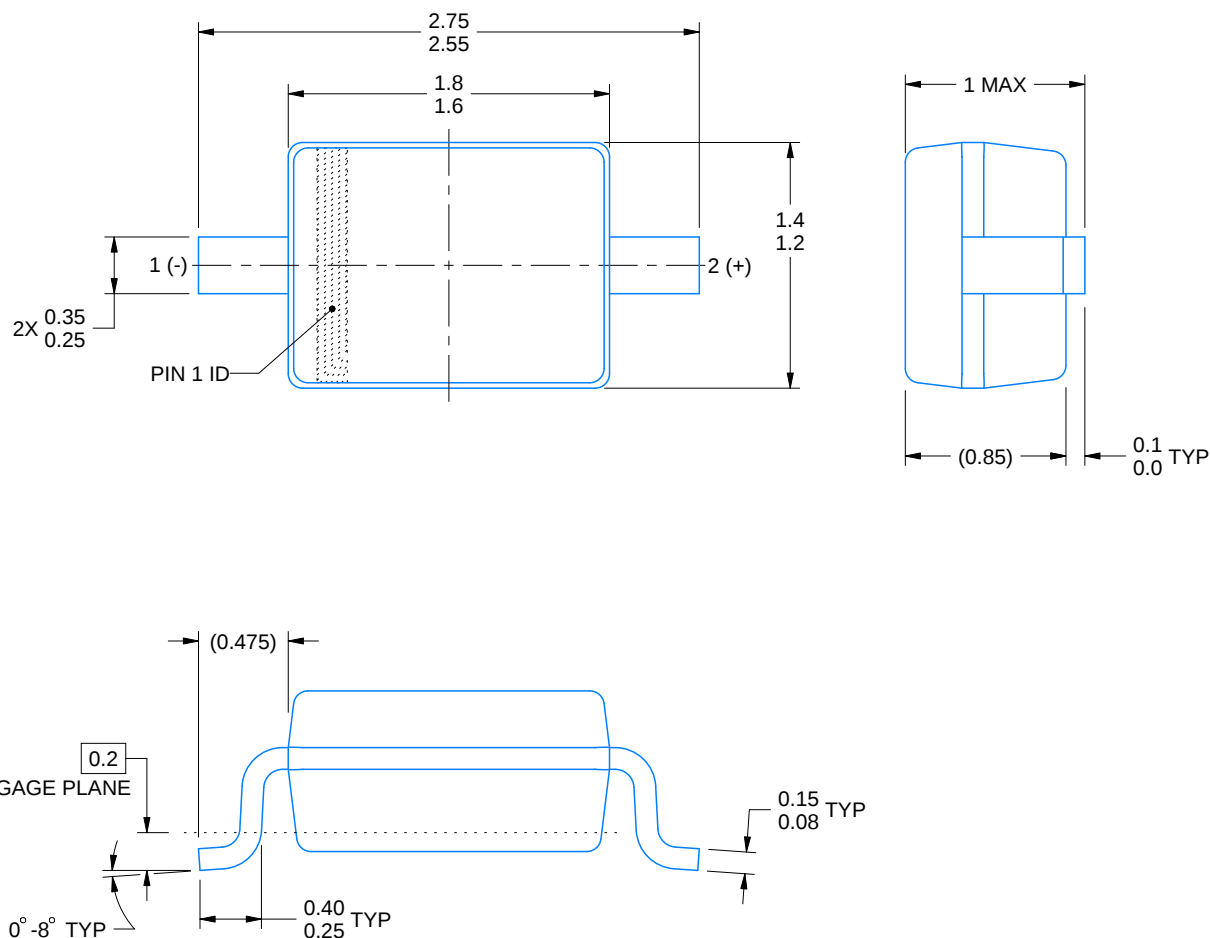
DYF0002A



PACKAGE OUTLINE

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



4228484/A 02/2022

NOTES:

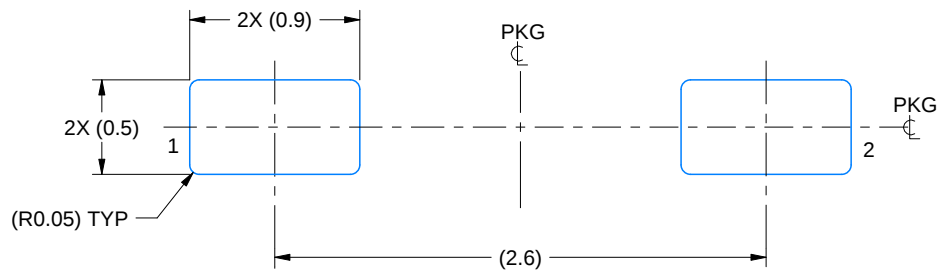
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

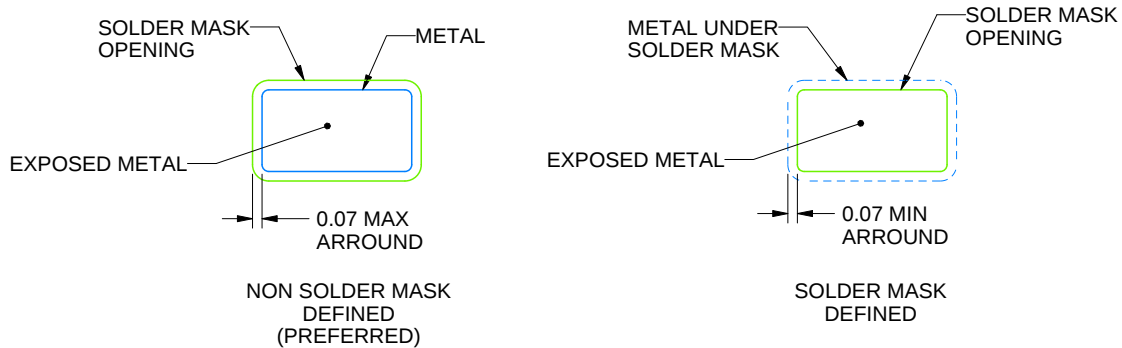
DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4228484/A 02/2022

NOTES: (continued)

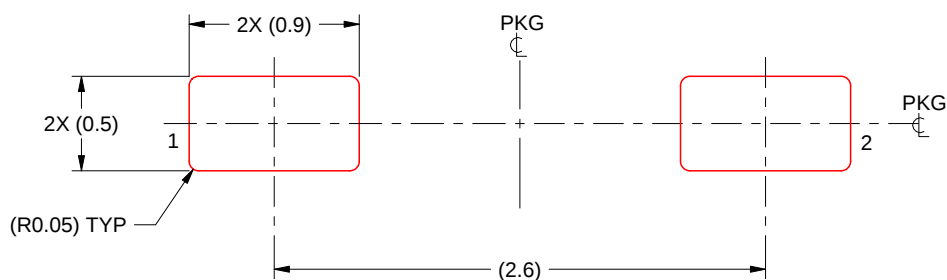
3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:25X

4228484/A 02/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated