

## ヒステリシス回路付き/なしのコンパレータ

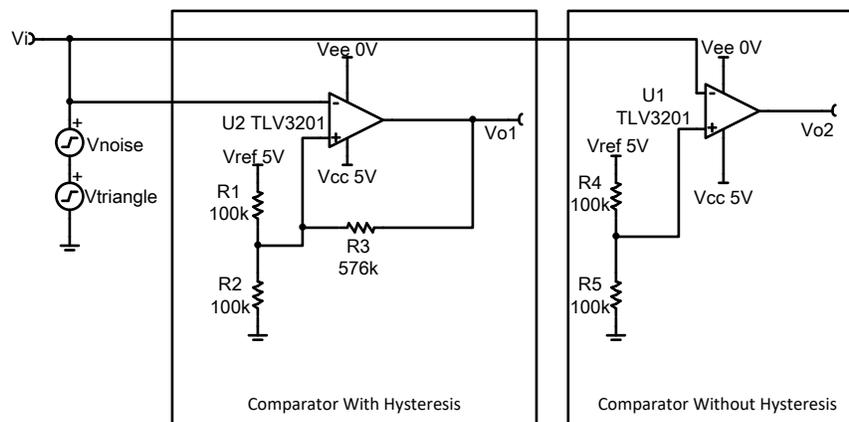
### 設計目標

入力		出力		電源		
$V_{iMin}$	$V_{iMax}$	$V_{oMin}$	$V_{oMax}$	$V_{cc}$	$V_{ee}$	$V_{ref}$
0V	5V	0V	5V	5V	0V	5V

$V_L$ (下限スレッシュヨルド)	$V_H$ (上限スレッシュヨルド)	$V_H - V_L$
2.3V	2.7V	0.4V

### 設計の説明

コンパレータは、2つの異なる信号レベルを比較し、両者の大小に基づいて出力を生成するために使用されます。比較スレッシュヨルドの前後でノイズまたは信号の変動があると、コンパレータの出力が複数回遷移します。ヒステリシスによって上限スレッシュヨルド電圧と下限スレッシュヨルド電圧を設定することで、ノイズによる複数回の遷移が起こらないようにします。



### デザイン・ノート

1. 消費電力を削減するには、静止電流が小さいコンパレータを使用します。
2. ヒステリシス・スレッシュヨルド電圧の精度は、回路に使用する抵抗の公差に関係します。
3. 伝搬遅延時間は、選択したコンパレータの仕様に基づきます。

**設計手順**

1. ヒステリシス付きコンパレータの部品を選択します。

a.  $V_L$ 、 $V_H$ 、 $R_1$ を選択します。

$$V_L = 2.3V$$

$$V_H = 2.7V$$

$$R_1 = 100k\Omega \text{ (Standard Value)}$$

b.  $R_2$ を計算します。

$$R_2 = \frac{V_L}{V_{cc} - V_H} \times R_1 = \frac{2.3V}{5V - 2.7V} \times 100k\Omega = 100k\Omega \text{ (Standard Value)}$$

c.  $R_3$ を計算します。

$$R_3 = \frac{V_L}{V_H - V_L} \times R_1 = \frac{2.3V}{2.7V - 2.3V} \times 100k\Omega = 575k\Omega \approx 576k\Omega \text{ (Standard Value)}$$

d. ヒステリシスの幅を確認します。

$$V_H - V_L = \frac{R_1 \times R_2}{(R_3 \times R_1) + (R_3 \times R_2) + (R_1 \times R_2)} \times V_{cc}$$

$$= \frac{100k\Omega \times 100k\Omega}{(576k\Omega \times 100k\Omega) + (576k\Omega \times 100k\Omega) + (100k\Omega \times 100k\Omega)} \times 5V = 0.399V$$

2. ヒステリシスなしのコンパレータの部品を選択します。

a.  $V_{th}$ と $R_4$ を選択します。

$$V_{th} = 2.5V$$

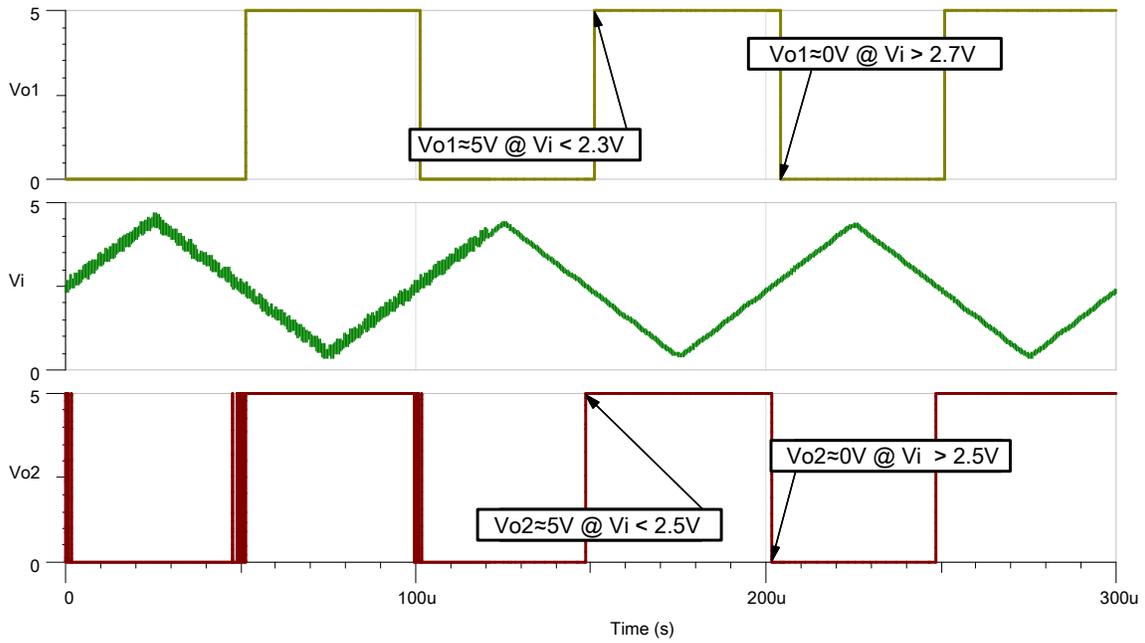
$$R_4 = 100k\Omega \text{ (Standard Value)}$$

b.  $R_5$ を計算します。

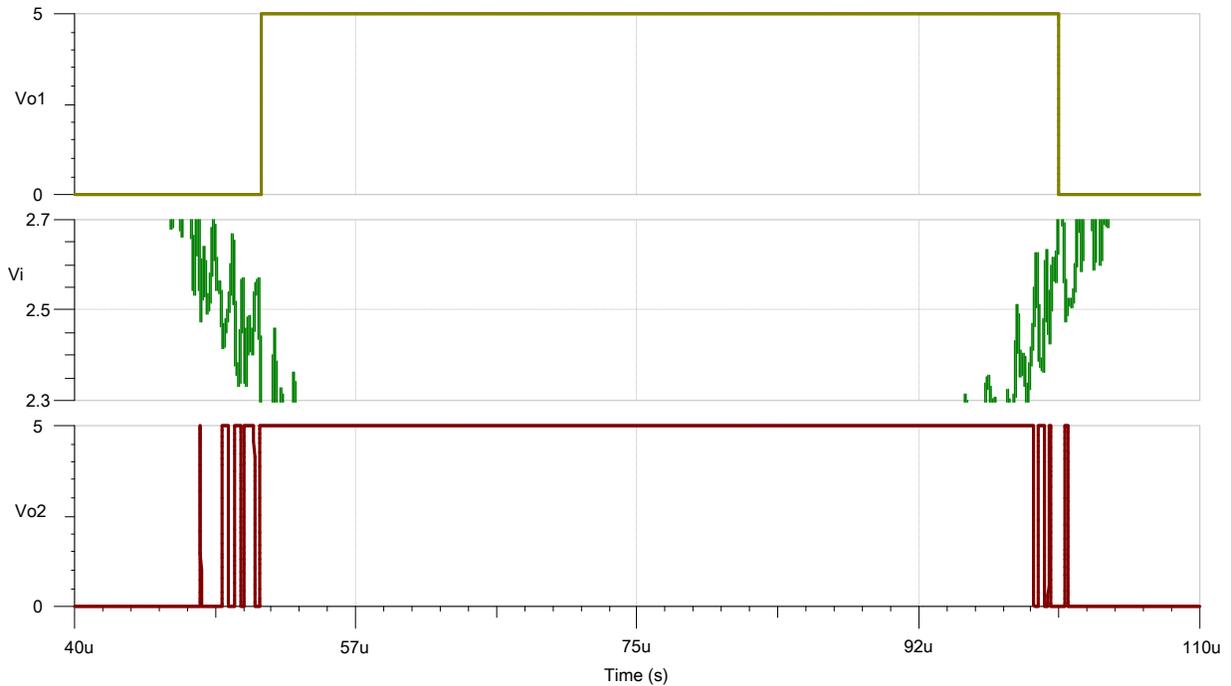
$$R_5 = \frac{V_{th}}{V_{cc} - V_{th}} \times R_4 = \frac{2.5V}{5V - 2.5V} \times 100k\Omega = 100k\Omega \text{ (Standard Value)}$$

設計シミュレーション

過渡シミュレーション結果



ノイズは0sから120μsまでにのみ存在



40μsから110μsまでの拡大図

## 設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

回路 SPICE シミュレーション・ファイル [SBOC515](#) を参照してください。

TIPD144 ([www.tij.co.jp/tool/jp/tipd144](http://www.tij.co.jp/tool/jp/tipd144)) を参照してください。

設計で使用されているコンパレータ

TLV3201	
$V_{cc}$	2.7V~5.5V
$V_{inCM}$	各レールから200mV拡張
$V_{out}$	4mAで( $V_{ee}+230mV$ )~( $V_{cc}-210mV$ )
$V_{os}$	1mV
$I_q$	40 $\mu$ A
$I_b$	1pA
UGBW	-
SR	-
チャンネル数	1, 2
<a href="http://www.ti.com/product/tlv3201">www.ti.com/product/tlv3201</a>	

## 改訂履歴

改訂内容	日付	変更
A	2019年2月	タイトルのサイズを小さくし、タイトルのロールを「アンブ」に変更。 回路クックブックのランディング・ページと SPICE シミュレーション・ファイルへのリンクを追加。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社  
Copyright © 2021, Texas Instruments Incorporated