

Application Note 1084 Parallel Application of High Speed Link



Literature Number: JAJA239

高速リンクにおける並列構成アプリケーション

National Semiconductor
Application Note 1084
Susan Poniatowski
June 1998



高速リンクのチップセットを用いたディスプレイ・システムの設計では、複数のチップセットを並列構成にしたほうが望ましい場合があります。単一のチップセットではバンド幅が不足するような場合に有効です。例えば、ソース・クロックが 110MHz のとき、FPD/ チャネル・リンク・チップセットに対するクロックとデータを分割し並列の経路で転送を行えば、高速リンク間のバンド幅を効率的に 2 倍に高めることが可能になり、最高動作周波数が 65MHz のチップセットを使った場合でも全体の動作周波数が 110MHz にできます。この場合、各 FPD/ チャネル・リンクのトランスミッタ/ レシーバのペア・チップセットの動作周波数は、システム全体の 1/2 である 55MHz となります。

このような並列構成の例として、デュアル・ピクセル方式の SXGA フラット・パネル・ディスプレイ・アプリケーションへの適用があります。グラフィック・コントローラから出力されるクロックとデータを、奇数ピクセルと偶数ピクセルに分割します。分割回路では、2 つのクロック (CK1 と CK2) を生成します。これらのクロックの周波数は、グラフィック・コントローラの動作周波数の 1/2 (55MHz) です。また、分割回路では、RGB データを奇数ピクセルと偶数ピクセルに分割します。この分割機能はグラフィック・コントローラに内蔵されている場合が一般的ですが、外部 ASIC で実現しても構いません。奇数ピクセル・データとクロック CK1 は、片方の FPD リンク・トランスミッタのデータとクロックに入力され、偶数ピクセル・データとクロック CK2 は、第二の FPD リンク・トランスミッタのデータとクロックに入力されます。両方の FPD リンク・トランスミッタからのデータとクロック出力が、並列に構成されたケーブルを介して、2 つの FPD リンク・レシーバに送られます。タイミング信号と制御信号は、どちらか一方のトランスミッタ・レシーバの経路で送られます。FPD リンク・レシーバが受信した奇数ピクセルおよび偶数ピクセルのデータは、並列に構成された 2 組のフリップフロップ回路へ送られます。また、FPD リンク・レシーバ

が受信したクロック (CK1 が CK2 のどちらか) の反転クロックが 2 段目のレジスタ回路に与えられ、すべてのデータのラッチに使用されます。このようにして、110MHz の全体動作周波数において、タイミング・コントローラに対するデータを揃えることができます (Figure 1 を参照)。

並列構成での一番の問題は、並列経路間のデータ・スキューと、スキューによるデータ再構築への影響です。データは、必ず正しいクロック・サイクルでのラッチ・タイミングに合うように、レジスタ回路の入力に対して与えられなければなりません。並列経路間のスキューが大きいと、経路間でのデータ整合ができず、タイミング・コントローラに対して誤ったデータが送られてしまいます。反転クロックがデータをラッチする前にレジスタ入力に両経路からのデータが届いているようにするためには、並列経路間のスキューの総量は隣り合ったクロック・エッジ間 (クロック・デューティ比の仕様からクロック周期の 43%) より必ず小さくしなければなりません。

並列経路間のスキューは、FPD リンク・トランスミッタへのクロック配線スキュー、FPD リンク・トランスミッタおよび FPD リンク・レシーバそれぞれのチップ間スキュー、ケーブル・スキュー、およびレジスタ入力までの配線スキューから構成されます。スキューを打ち消すために、レジスタ回路の前段に FIFO を置くことも考えられます。その場合、レジスタ回路にクロックが届いた時点で、すべての並列データが揃うことになります。

FPD リンク・トランスミッタへのクロック信号は、スキューを低減するように配線することが重要です。グラフィック・コントローラ (または分割回路) の 2 つのクロック出力から、奇数ピクセル用および偶数ピクセル用トランスミッタのクロック入力までは、プリント基板上を等長で配線して下さい。

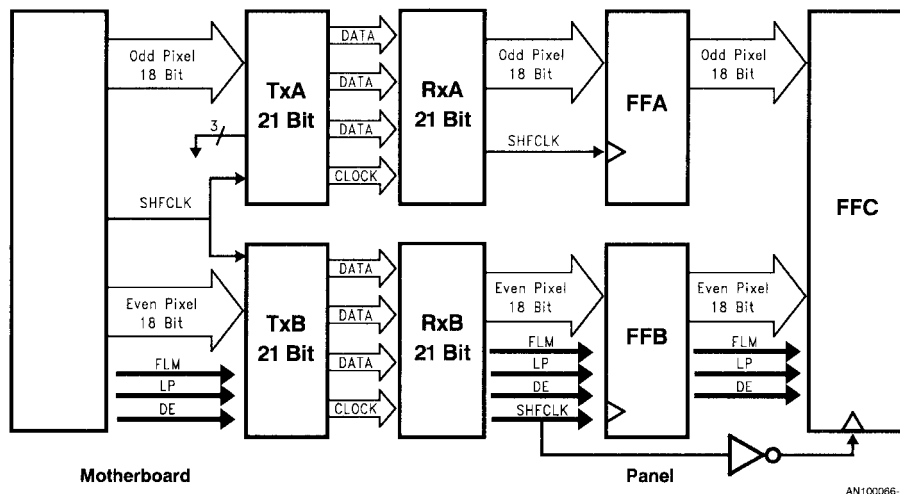


FIGURE 1. Dual Pixel Configuration with Flip-Flops and Register at Receiver Outputs

スキュー要因の定義

1. FPD リンク・トランスミッタ入力における奇数および偶数クロックのスキュー。クロックがデュアルであるかシングルであるか、また両トランスミッタまでの配線で生ずる信号遅延に依存します。
2. FPD リンク・トランスミッタ出力におけるチップ間スキュー。同一の温度環境および V_{CC} 電圧においては、 $V_{CCDmax} - T_{CCDmin}$ で定義されます (FPD リンク・デバイスのデータシートを参照して下さい)。
3. 1本のケーブルを使用した場合 (推奨) のケーブル・スキュー、または2本のケーブルを使用した場合のケーブル・スキュー。単位長さあたりの時間 (ps) で定義されます。
4. FPD リンク・レシーバ出力におけるチップ間クロック・スキュー。同一の温度環境および V_{CC} 電圧においては、 $R_{CCDmax} - R_{CCDmin}$ で定義されます (FPD リンク・デバイスのデータシートを参照して下さい)。

スキューに対するタイミングの配分は、同一クロック・サイクルにおける立ち上がりクロック・エッジから立ち下がりクロック・エッジまでです。データは、フリップフロップ回路において立ち下がりエッジでラッチされ、反転クロックを用いる次段のレジスタ回路において、立ち上がりエッジでラッチされるからです。

例として、SXGA でのスキュー配分を示します。

グラフィック・コントローラ・クロック = 110MHz

シフト・クロック (SHFCLK) 周波数 = 55MHz

T (シフト・クロック周期) = 18.2ns

$T * 0.43 = 7.8ns$ (レシーバ・クロック出力 RxCLKOUT のデューティ比が 4:3 であるため、周期の 0.43 倍となります)

したがって、下記 1 項から 4 項の合計が 7.8ns 以下でなければなりません。

ここで、以下のようなスキュー値を仮定すると、

#1 (クロック配線スキュー) = 50ps

#2 (T_{CCD} ウィンドウ) = 2.5ns (Note 1)

#3 (ケーブル・スキュー) = 50ps

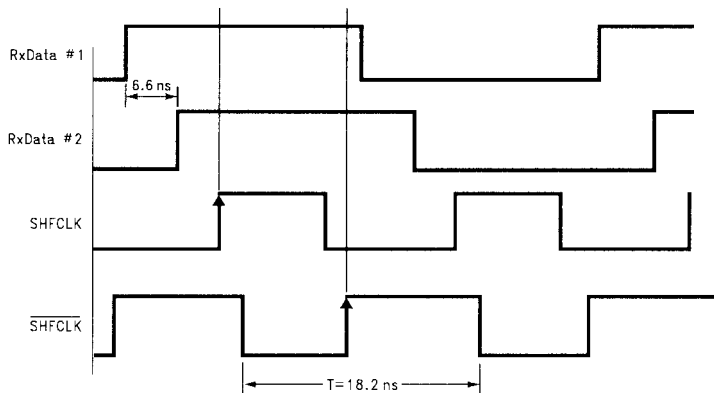
#4 (R_{CCD} ウィンドウ) = 4ns (Note 1)

Note 1: 3.3V 動作の FPD リンク・デバイスの T_{CCD} および R_{CCD} 仕様に基づきます。

Note 2: さらなる遅延とセットアップ・タイミングの制約を緩和するためには、フリップフロップ段をタイミング・コントローラ ASIC に内蔵して下さい。

スキューの合計 = 6.6ns

となります。この値は計算したスキュー配分値 7.8ns よりも小さいため、レジスタ段で正しくデータを再構築できることがわかります。



AN100066-2

FIGURE 2. Data Correctly Reconstructed at 55 MHz

65MHz 動作の FPD リンク・チップセットを並列構成で用いた場合、最大周波数として 130MHz をサポート可能となります。その場合、クロック周期が短いので、データの正しい再構築を保证するために、FIFO (または並列経路からのデータを合わせ込む他の手段) が必要となる場合があります。

例

グラフィック・コントローラ・クロック = 130MHz

シフト・クロック (SHFCLK) 周波数 = 65MHz

T (シフト・クロック周期) = 15.4ns

$T * 0.43 = 6.6ns$

前述のスキュー値の例では、スキューの合計は 6.6ns でした。これは、この例のスキュー・タイミング配分値と等しく、タイミング・マージンの増加のために、FIFO の採用などで並列経路のデータを合わせ込む必要があります。

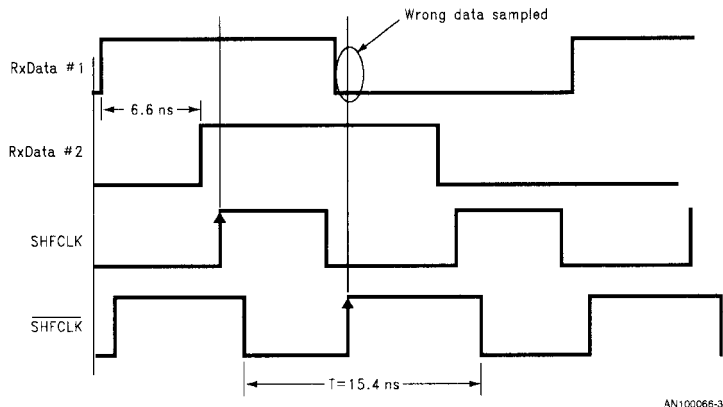


FIGURE 3. Data Incorrectly Reconstructed at 130 MHz

並列経路におけるデータの合わせ込みの 1 つの方法は FIFO を介することです。FIFO は FPD リンク・レシーバ出力とレジスタ入力のために配置します。FIFO の制御回路は、各 FIFO の "出力レジスタが空ではない" (ORE: Output Register not Empty) フラグのモニタを行います。ORE 信号のアサートは、レシーバ出力からの最初の並列データ・ワードが有効であることを示します。両方の FIFO の ORE がアサートされたとき、FIFO のそれぞれの出力をイネーブルにしてレジスタ回路へデータを送ります。この方式では、並列経路間で、最大 1 クロック・サイクルのスキューまで許容可能です。

高速リンクの並列構成の採用にはさまざまな理由が挙げられます。最も基本的な理由はバンド幅の向上であり、2 つのリンクを用いるとバンド幅は 2 倍になります。もう 1 つの理由は、リンクを 2 つにすることで、バンド幅は同じままであるながらインタフェースの動作周波数を 1/2 に低減できるからです。動作周波数が低くなると、長い距離

に対して LVDS 信号の駆動ができるようになります。すなわち、データレート の低減により、最大ケーブル長を長くできます。また、周波数が低ければ放射も少なく、EMC 対策も容易になります。

ナショナル セミコンダクター社の LDI (LVDS ディスプレイ・インタフェース) チップセットを使用することにより、最新の技術動向であるデュアル・ピクセル・インタフェースと高いバンド幅の要求に対して、最適なソリューションが得られます。LDI チップセットには、デバイス間クロック・スキューやデータの合わせ込みが不要なデュアル・ピクセル・インタフェースが用意されています。また、LDI チップセットには、データ転送においてデュアル・ピクセル・モードまたはシングル・ピクセル・モードを選択できる自由度があり、このチップセットは 32.5MHz ~ 112MHz の広範な周波数で動作します。さらに、LDI は、長いケーブルでの高速なデータ転送要求にも対応しています。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本 社 / 〒135-0042 東京都江東区木場 2-17-16 TEL. (03) 5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

<http://www.national.com/JPN>

その他お問い合わせはフリーダイヤルをご利用ください。

0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上