

DS3884A

Application Note 738 Signals in the Futurebus+ Backplane



Literature Number: JAJA252



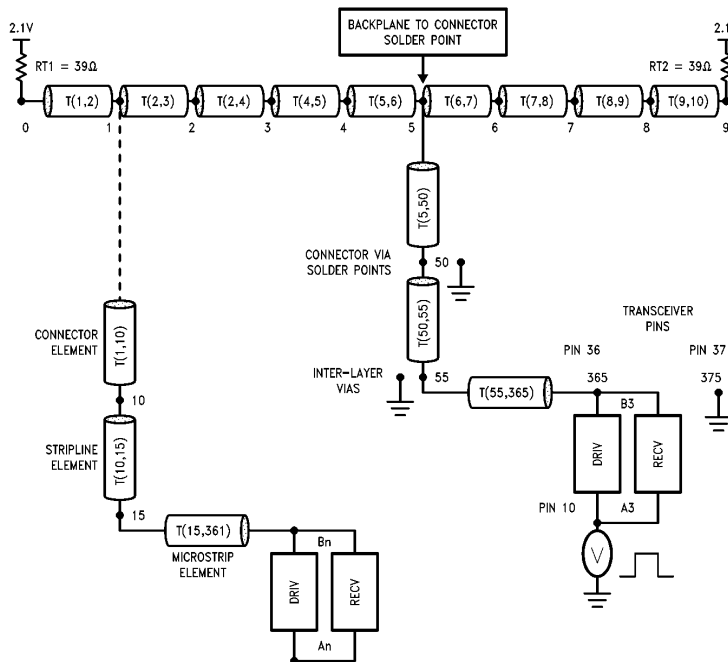
フューチャーバス+バックプレーンは、多くの回路要素からなる複雑な電気的環境です。このような環境をモデル化するには時間とコストがかかります。フューチャーバス+エレクトリカル・タスクグループ専門家チームはSPICEシミュレーションによって回路要素を詳細に分析しました。平均的なフューチャーバス+シミュレーションには、10,880個以上の素子が含まれ、シングルユーザVAX 8650の8CPU時間を消費します。このノートは、回路モデルを単純化して信号路要素の相互作用を直感的に理解できるようにするひとつの試みです。諸要素は、重要と思われるインピーダンスの継ぎ目のひとつひとつにプローブを当てることによって調査します。信号波形は、同じ信号路からのTDR信号と相関関係を持ちます。この環境における信号測定に関係するグランド信号の変化およびクロストーク測定も行います。クロストーク、グランドバウンスおよび信号路インピーダンスの関係を追求し、ノイズマージンに対してそれらが組み合わさって与える影響を究明します。

フューチャーバス+のような高速多層ボード設計においては、内部接続が電気信号に与える影響は決定的な重要性を持つようになります。PCBトレースは、信号の遅延時間が急速になるため、伝送線路として取り扱わなければならない。PCBトレースの分析によって、一見無害に見えるトレースの形状の曲がり、寄生効果やクロスオーバー効果、およびスルーホールが引き起こすインピーダンス不整合を明らかにし

ます。インピーダンス不整合は、また、クロストーク結合や信号反射に影響し、これらはノイズマージンの大きな部分を消費するので重要な関心事になります。これらの回路要素がどのように信号に影響を与えるかを示すために、本稿ではトランシーバからの信号がバックプレーンを伝搬していく状態を追跡します。

フューチャーバス+およびボードのモデル

Fig.1は、あるボード上のトランシーバから、バックプレーンを経由して、もうひとつのボード上のトランシーバに至る信号路をモデル化したものです。両方のボードは10スロットのバックプレーンに取り付けられています。モジュールに向かって引かれている破線は、この分析のために、取り除いたり別の場所に移動したりできることを示しています。これはレシーバで、ドライバ・モジュールからみると負荷になります。最初はドライバモジュールのスタブの影響だけを強調するために、レシーバはバックプレーンに挿入しません。これによって伝送線路要素のみに対するドライバの応答に焦点が絞られます。このモデルはどのバックプレーンに対しても一般化できます。ただし、これは、特定の部品を使用して波形を測定して導きます。バックプレーンはBicc-Vero Electronics社製のNo.819 - 304105Eです。これは39Ωの表面実装された終端抵抗を持ち、スロット間の間隔は1インチです(ソフト・メトリック)。ボードはHybricon社製です。



カード2枚実装時のフューチャーバス+バックプレートモデル: スロット1およびスロット5 (10番ピンに信号入力)

FIGURE 1

TL/F/11107-1

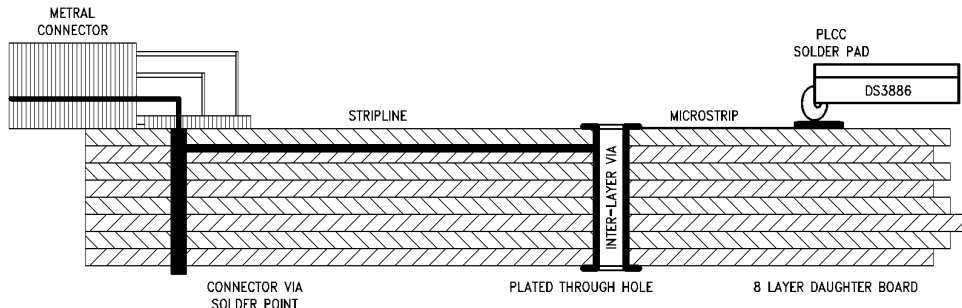


FIGURE 2. Eight Layer Daughter Board, Side View

TL/F/11107-2

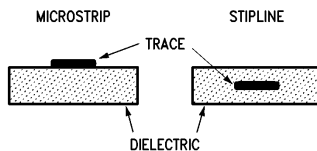


FIGURE 2a. PCB Track Cross Section

TL/F/11107-3

これは Futurebus + Wire - Wrappable Board の 6U × 280mm で品番 031 - 126 - 10 です。このボードは 8 層で、ナショナル セミコンダクター社のフューチャーバス+チップセット・トランシーバ用に設計されたもので、64 データビットに対応することができます。

Fig.2 は、Hybricon 社製ボードの断面図で、DS3886 ラッチド・データ・トランシーバのピン 36 の信号路を示しています。図では伝送路要素の物理的理由によるインピーダンスの差異を強調しています。信号路のタイム・ドメイン・リフレクション応答を調べることは、これらの差異を「電気的に見る」良い方法です。

タイム・ドメイン・リフレクション (TDR)

TDR では、ステップ・ジェネレータを使用して、“+”に立ち上がるパルスを調査する信号路に加えます。このステップは 35ps という非常に速い立ち上がり時間で、大きさは 200mV です。このステップが線路の伝搬速度で信号路を伝わって行きます。信号路上にインピーダンス不整合があると、入射波の一部が反射します。不整合が生じている点で反射波は入射波に代数的に加算されます。合計された電圧波をオシロスコープ上に表示すると、伝搬していくステップ波がインピーダンスの継ぎ目に会った様子がロードマップを描くように示されます。

反射係数 (ρ) の基礎を急いで復習しておくことは、信号路のインピーダンスの継ぎ目の影響を直感的に理解するためには有益です。そのためには、3つの負荷インピーダンス条件を調べるだけで十分です。どの場合にも、TDR は 50Ω のソースからステップを発生し、そのステップ波は特性インピーダンス $Z_0 = 50\Omega$ のケーブルによって被験装置 DUT (device under test) に伝わります。第 1 の場合は、DUT が 50Ω

負荷だとすると、 ρ は 0 になり、オシロスコープ上の波形はステップの後は直線になり、反射波が入射波に加わりません。

$$\rho = (Z_L - Z_0) / (Z_L + Z_0) = 0 \quad \text{for } Z_L = Z_0$$

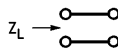
Z_0 = ケーブルの特性インピーダンス

Z_L = 負荷インピーダンス

反射波 E_r を入射波 E_i に加える式は、次のようになります。

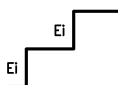
$$E = E_i + E_r \quad \text{ここに } E_r = E_i(\rho)$$

第 2 の場合は、Fig.3a のように負荷インピーダンスが無限大の場合です。この場合には ρ は +1 に等しくなり、反射波は入射波に等しくなります。合計された波は、Fig.3b のように、入射波の 2 倍になります。今度は、入射波が誘導性負荷にぶつかった場合を考えてみましょう。増加したインピーダンスのために負荷は瞬間的にはオープン状態と同じようになり、電流は急には変化することはできません。Fig.3c のように、 $t = 0$ では $\rho = +1$ です。その瞬間においては反射波は概念的には入射波と同じになります。Fig.3c のように、誘導負荷の電流は指数関数的に増加し、インピーダンスはゼロに向かって低下します。 $t = 0$ のずっと後の電圧は、誘導負荷に直列の抵抗によって決まる値になります。 t が無限大に向かうと、反射係数は $\rho = (R - Z_0) / (R + Z_0)$ になります。ここで R は誘導負荷の直列抵抗分。



TL/F/11107-4

FIGURE 3a



TL/F/11107-5

FIGURE 3b

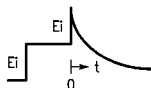


FIGURE 3c

TL/F/11107-6

第3の場合は、Fig.4aに示したような、負荷インピーダンスが0の場合です。 $\rho = -1$ で、入射波から反射波を引くと電圧は0になります。この概念を発展させると、入射波が容量性負荷にぶつかったときになります。コンデンサは急激な電圧変化をさせることができません。瞬間的には短絡状態と同じで、電圧変化は現れず、 $t = 0$ においては $\rho = -1$ です。Fig.4cのように、コンデンサ電圧は指数関数的に増加し、インピーダンスは負荷の並列抵抗分によって決まるレベルまで増加します。 ρ の最終値は、やはり、 $(R - Z_0)/(R + Z_0)$ で、 R は容量性負荷の並列抵抗分です。



FIGURE 4a

TL/F/11107-7



FIGURE 4b

TL/F/11107-8

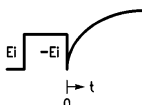


FIGURE 4c

TL/F/11107-9

TDR とパルス・エネルギー

TDRの結果を見るもうひとつの観点は、ステップ状パルスに含まれているエネルギーを考えることです。このエネルギーは非理想的な媒体を通して伝わっていくので、そこには損失がありますが、短い距離の間では、パルスのエネルギーを一定とみなしても非現実的ではありません。今度は、容量性負荷の縫ぎ目を考えてみましょう。容量が増加すると特性インピーダンスは減少します。

$$V/I = Z_0 = \sqrt{(L_0/C_0)} \quad \text{ここに、}$$

L_0 = 単位長さ当たりのインダクタンス

C_0 = 単位長さ当たりのキャパシタンス

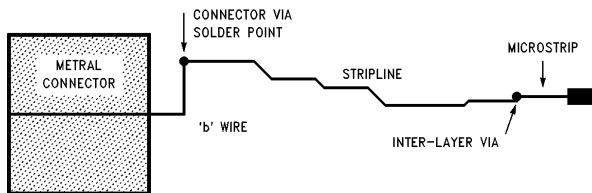


FIGURE 5a. Signal Path B-b-16

TL/F/11107-10

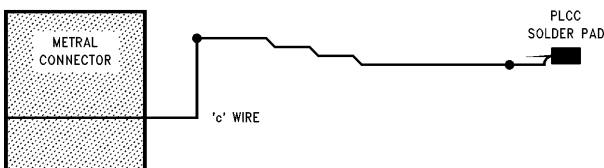


FIGURE 5b. Signal Path B-c-16

TL/F/11107-11

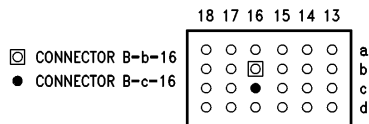
パルスのエネルギーが一定であり、電圧およびインピーダンスは低下するわけですから、電流は電圧の低下に比例して増加しなければなりません。この増加する電流が、 Z_0 とコンデンサの並列抵抗分によって決まる時定数でコンデンサを充電します。コンデンサがエネルギーを蓄えるにしたがって、電流は減少し、定常状態になるとコンデンサはオープン回路状態と同じように見えます。

TDR システム・エラー

ステップ状パルスが極めて速い立ち上がり時間であることはTDR分析にとって重要です。入射ステップ波のリーディングエッジはほとんどすべて高周波数成分で構成されているので、これが信号路のインピーダンスのリアクタンス分の小さな不整合を強調します。ステップパルスが非理想的な伝送路を伝わっていくと、高周波成分は表皮効果や誘電損失によって減衰します。これがステップを歪ませますが、これはケーブル損失と呼ばれるものです。立ち上がり時間の鋭さが劣化すると、多くの不連続点がある信号路の反射測定の精度を低下させます。TDRは、不連続点の測定を経過するたびに、伝わるステップ波の鋭さが劣化し繰り返し反射が発生するので、精度が低下して行きます。ドーター・ボードのスタブは複数の不連続点を持った信号路とみなすことができるので、結果の波形の分析は以上のような観点から行わなければなりません。

TDR とフューチャーパス + 信号スタブ

以上をふまえることによって、信号路のTDR波形の分析を行うことができます。Fig.5aおよび5bに、2つの信号路トレースのアートワークが示されています。実際の路長は64mmです。Fig.5aはこの分析で波形を得るために使用された信号路で、Fig.5bはTDR応答を比較するための信号路です。アートワークの見かけは良く似ており、TDR波形をとった場合の信号路の電気的な違いは分かりません。Fig.6およびFig.7に、これらの良く似た2つの信号路から得た波形が示されていますが、いくつかの特性が違うことを十分示しています。Fig.5cに示すように、DS3886のピン36からの信号は、フューチャーパス + 規格に指定されているようにコネクタB-b-16を通ります。この信号路は両図ともに含まれています。また、両図ともに、SMAコネクタからの反射が示されています。このコネクタは信号路にステップ・インパルスを送り出すために使用されているものです。これは50Ω負荷で終端されています。SMAリードのインダクタンスは、インピーダンスの急激な増加によって知ることができます。次の50Ωレベルへの戻りは、TDRの概略説明の第1の場合の $\rho = 0$ の場合の状態を示しています。



TL/F/11107-14

FIGURE 5c. Signal Connector Block B, Rows 13 to 18

Fig.6はTDRステップがソルダ・パッドに送り出された場合の影響を示しています。最初の誘導性のバンプ(こぶ)はSMAコネクタに起因するエラーです。インピーダンスのディップ(ソルダ・パッドの容量)の後にマイクロストリップのインダクタンスが続いています。Fig.7に示されているように、両方の信号路とも、信号路インピーダンスは75Ωにまで上昇しています。Fig.5aの長いマイクロストリップが、Fig.5bの短いマイクロストリップの波形に比べてどの程度の距離の誘導性のバンプを加えるかに注意してください。次に、スルーホールがインピーダンスの容量を低下させていることに注意して下さい。両方の信号路ともストリップライン・インピーダンスは約60Ωで安定しています。次のディップはコネクタ・パイアのハンダ点のキャパシタンスで、そのあとにコネクタ線のインダクタンスによる増加が続いています。長い“c”線のほうが“b”線よりインピーダンスを多く増加させることに注意してください。最後に、ステップ波はコネクタの開放端にぶつかり、信号電圧が2倍になり $\rho = 1$ の状態であることが示されています。

Fig.6aは、信号路の多数のインピーダンス不整合点を通過することによる入射波の劣化が、どのようにインピーダンス・レベル測定に影響を与えるかを示しています。TDR/パルスは、ソルダ・パッド端ではなく信号路のコネクタ端に加えられます。入射波の高周波成分がその前のインピーダンス不整合によって減衰していない場合に、コネクタのインピーダンスがどのくらい大きくなるかに関して、違いが最も良く分かります。入り口コネクタは90Ωのインピーダンスを示し、ソルダ・パッド入り口端は小さなインピーダンスの増加しか示していません。また、Fig.6aは、ソルダ・パッドに取り付けられたトランシーバの容量を示しており、これは時定数にしたがって開放状態に向かって充電しています。

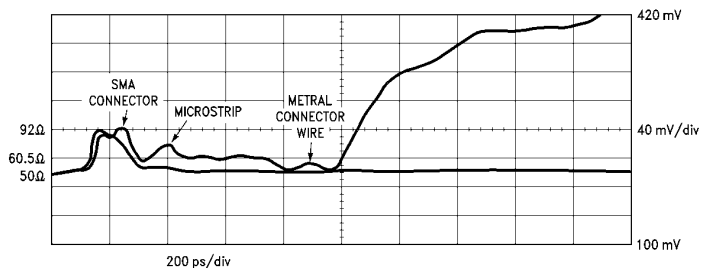


FIGURE 6. Two TDR Waveforms, 50Ω Termination and Path B-b-16

TL/F/11107-12

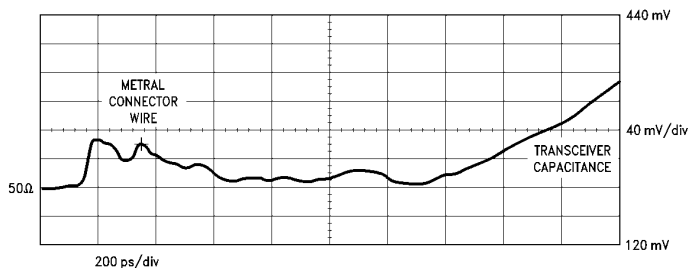


FIGURE 6a. TDR Launch into Connector B-b-16 with DS3886 Mounted On Board

TL/F/11107-15

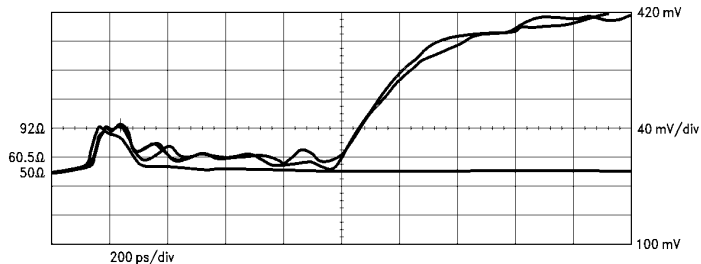
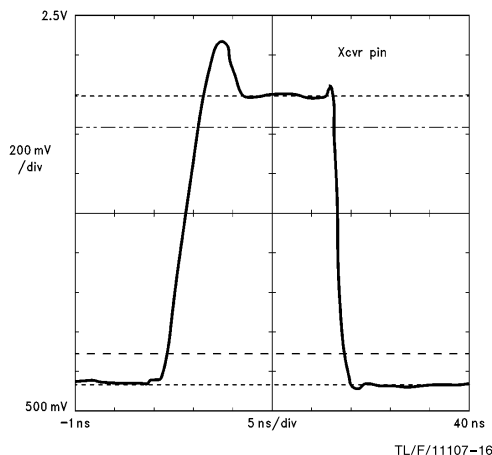


FIGURE 7. Three TDR Waveforms

TL/F/11107-13

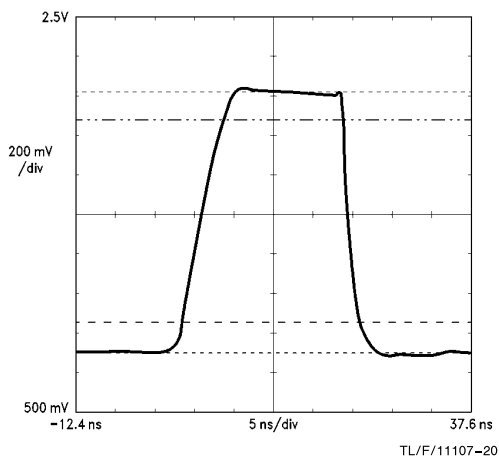
負荷をはずしたバックプレーンにおけるトランシーバ

Fig.1 に示したように、送信側トランシーバはスロット5に取り付けられています。DS3883 9 ビットデータトランシーバおよび DS3886 ラッチド・データ・トランシーバの両方ともピン36はB3という名前になっています。ピン37はB3GNDピンで、B3のBTLグラウンドです(BTL、QGNDおよびロジックGNDについてのセクションを参照)。Fig.8の信号波形は、低インダクタンス・グラウンドチップ回路のこれらの2つのピンにプローブを当てて測定したものです。信号は、急速な立ち下がり時間、大きなオーバーシュート、極めて小さなアンダシュートを示しています。この信号は、Fig.8aの、最小のジグ・インダクタンスおよび容量によるベンチテストから得られたものとは異なっています。この波形は立ち下がり時間がより遅くオーバーシュートがありません。これらのバックプレーン回路応答がこうなるのには2つの理由があります。第1はマイクロストリップ回路要素T(55,365)です。形状的には、この要素はソルダ・パッドとスルーホールとの非常に細いマイクロストリップです。Fig.6aに示されているように、このマイクロストリップの相対的に高いインダクタンスのために、急速な遷移時間になるような急激な電流の変更ができません。これは最初の瞬間には大きなインピーダンスの不整合として現れ、反射係数(ρ)は瞬間的に+1に近くなります。 ρ は立ち上がり時間のスルーレートを加速し立ち上がりエッジのオーバーシュートを大きくします。2つのエッジの応答の違いは、アクティブ・プルダウンとパッシブ・プルアップによるものです。



Rise 3.881 ns	Fall 1.346 ns	Max 2.37800 V	Measure- ments	Horz Mag 1 x Horz Pos Gr Opts	
Min 616.000 mV	Over Shoot 19.4787 %	Under Shoot 1.37174 %	Statistics Comp & Def Sample # 100	Remove Wfm 1 ST06	Pan/ Zoom on

FIGURE 8



Rise 5.410 ns	Fall 2.348 ns	Min 780.000 mV	Measure- ment	Distal 90% Proximal 10%
Max 2.13600 V	Over Shoot 1.52207 %	Under Shoot 1.67428 %	Statistics Comp & Def Continuous	Remove Wfm 1 ST05

FIGURE 8a. Bench Test Jlg Waveform

第2の理由は、バックプレーン、ドーター・ボード、および終端機構のバス・インダクタンスおよびライン遅延です。トランスミッタのプルダウン・トランジスタは80mAのコレクタ電流を供給するために必要な非常に大きなベース電流によってオンになります。このコレクタ電流は、トランジスタからある電気的距離(バックプレーンおよびドーターボード・バス)に位置している終端抵抗によって供給されます。このトランジスタは厳しいターンオンを行う場合、最初はオープン回路であるかのような状態を示します。この瞬間的なオープン回路はオーバーシュートと急速な立ち下がりエッジをもたらします。これは信号路のインダクタンスと遅延がこのトランジスタのコレクタ電流が急に変化するのを妨げるためです。このインダクタンスはトランシーバ・ピンにおけるドライバ・スルーレート制御を制限します。同じ部品のベンチテストでは、ドーター・ボード上での立ち下がり時間より1ns長い立ち下がり時間を示しています。テスト条件による立ち下がり時間の違いは、テスト・ジグ上では負荷が近接しておりほとんど瞬間的な電流が得られることによります。立ち上がり時間はもっとゆっくりしていますが、これはパッシブ・プルアップで、インダクタンスのために指数関数的に変化する電流によって制御されていることによります。

波形をもう一度見ると、HからLへの遷移の前に電圧の上昇があるのが分かります。これも、出力トランジスタのベースの大きな高速の電圧変化のためです。電圧のステップ状の変化は、ベースからコレクタまで、ミラー容量によって結合しています。この小さなスパイクは、既に説明したのと同じ理由から、バックプレーン環境においてのみ現れます。

インピーダンス不整合

次に信号ラインおよびグラウンドラインのスルーホール・ポイントを調べてみましょう。Fig.1 でポイント 55 の番号が付けてある点です。これらのパイアは信号に対して比較的大きな容量性のインピーダンスを示します。メッキされたスルーホール(PTH)パイアの容量は、Hybricon 社によれば約 1.1pF、フューチャーパス + 専門家チームによれば約 0.75pF と見積もられています。また、これはマイクロストリップ・トレースがストリップライン・トレースに替わる点でもあります。PCB トレースの容量は、トレースの長さと同幅に対して比例的に、誘電体の厚さに対して反比例的に変化します。一般的には、8層ボードのアウト層からインナ層までで容量は約 50% 増加します。TDR 調査によれば、Fig.6 に示したように、パス・インピーダンスはこの点で 75Ω から 60Ω に低下します。このようにして、ストリップライン回路要素 T(50, 55) は単位長さ当たりの容量の増加であると特長づけることができます。

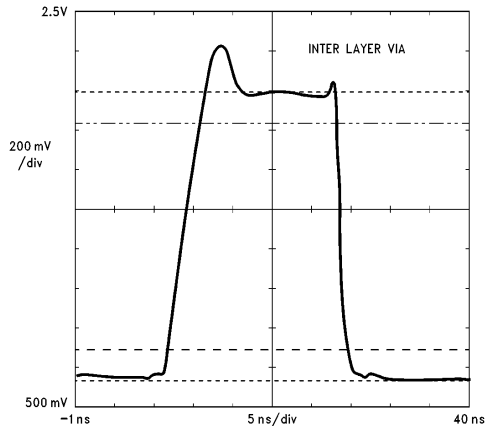
Fig.9は、容量性リアクタンスによって生じるオーバシュートおよびアンダシュートのダンピングを示しています。立ち下がり時間は容量によって増加します。これは Fig.4c の容量性のインピーダンス不連続点を考察すれば直感的に理解できます。これはパス・インダクタンスに対するカウンタバランス効果を持ち、必要な電流を与えます。最初は、容量は電圧を急に变化させることができないので負荷は短絡回路として現れます。このインピーダンス不連続点における ρ は最初は -1 に近い値になります。容量の急速な充電は急降下のスルーレートに足を引っ張りアンダシュートを制限します。立ち上がり時間は少し増加していますが、このオシロスコープの分解能は 150 ピコ秒より短い時間でも動作します。

信号路の3番目に大きなインピーダンス不連続点は、Fig.1 のポイント 50 の、Metral コネクタ・ハンダ点への PTH で生じています。低インダクタンス・チップの基準グラウンドは隣接するコネクタ・グラウンドピンにハンダ点です。コネクタの回路要素は T(5, 50) としてモデル化されています。SPICE モデルが、コネクタ・メーカの DuPont 社によって提供されています。Fig.6 の TDR 波形は、ハンダが詰まった PTH のインピーダンスが 50Ω に下がっていることをはっきり示しています。同じ図で、次に、コネクタ線のあるところで信号に対する誘導性のインピーダンス増加が示されています。Fig.10 ではオーバシュートが相当ダンピングされています。またこの図では立ち上がり時間および立ち下がり時間も増加しています。この点に至るまでの多数の不連続点によって、信号の初期立ち上がり時間が劣化しており、ライン損失の影響が出ています。パッシブ・ブルアップは、インピーダンスのリアクタンス分に影響せず抵抗成分だけを強調しています。

立ち下がりエッジの下側のくっきりした反射に注意して下さい。Fig.8を細かく調べると、減衰した形においても同じ反射が現れています。この反射のピークは信号がアンダシュート状態に達した点から約 2ns のところにあります。負荷を外したバックプレーンの単位長さ当たりの遅延 t_{pd} は、比透磁率 μ_r 、比誘電率 ϵ_r 、および光速 c に依存し、次のように表されます。

$$t_{pd} = \frac{\sqrt{\mu_r \epsilon_r}}{c}$$

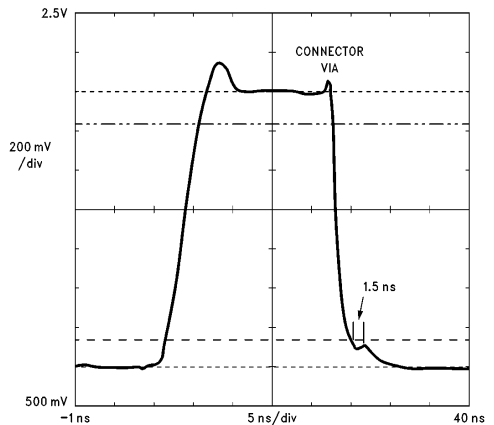
$\epsilon_r = 4.7$ 、 $\mu_r = 0.99$ とすると、 $t_{pd} = 0.18\text{ns/in}$ です。10 インチのラウンドトリップのスロット s からスロット 0 への往復の遅延は約 1.8ns になります。これは Fig.10 のコネクタ・ハンダ点における反射パルスの遅れのほとんど正確な値です。このパルスの周期は約 1.5ns で、周波数 667MHz です。



TL/F/11107-17

Rise 4.000 ns	Fall 1.689 ns	Max 2.34200 V	Measure- ments	Horz Mag 1 x Horz Pos Gr Opts	
Min 652.000 mV	Over Shoot 16.8056 %	Under Shoot 555.556 mV	Statistics Comp & Def Sample # 100	Remove Wfm 1 ST05	Pan/ Zoom on

FIGURE 9



TL/F/11107-18

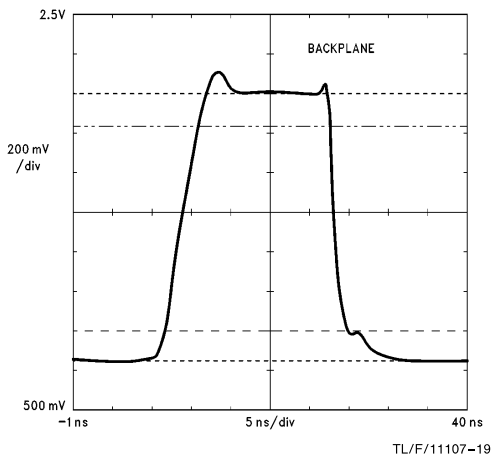
Rise 4.457 ns	Fall 2.410 ns	Max 2.26200 V	Measure- ments	Horz Mag 1 x Horz Pos Gr Opts	
Min 696.000 mV	Over Shoot 11.1270 %	Under Shoot 570.613 mV	Statistics Comp & Def Sample # 100	Remove Wfm 1 ST07	Pan/ Zoom on

FIGURE 10

バックプレーンへの入り口

コネクタ部に続いて、信号はバックプレーン環境に入ります。信号はドーター・ボードの信号路に伝わり、インピーダンス要素のほか、表皮効果損失がエッジの上下の部分を含みます。

プローブ点は、バックプレーン PTH への Metral コネクタのハンダ点です。Fig.11 の波形は、その前の図のコネクタの、ボードが挿入されているバックプレーン側のスロットにおいて測定したものです。コネクタは立ち下がり時間を 500ps 増加させ、オーバシュートをダンピング増大の結果として現れます。入射波がバックプレーンをさらに伝わっていくと、さらに同じようなオーバシュートのダンピングと遅移時間の増加が起こります。バックプレーンの特性は、挿入されているトランシーバ・ボードの形で存在する負荷に依存します。



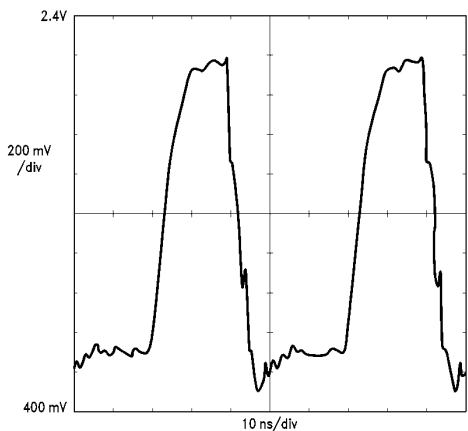
Rise 4.688 ns	Fall 2.898 ns	Max 2.21600 V	Measure- ments	Distal 90% Proximal 10%
Min 742.000 mV	Over Shoot 8.43195 %	Under Shoot 591.716 mV	Statistics Comp & Def Sample # 100	Remove Wfm 1 ST010

FIGURE 11

負荷のあるバックプレーン

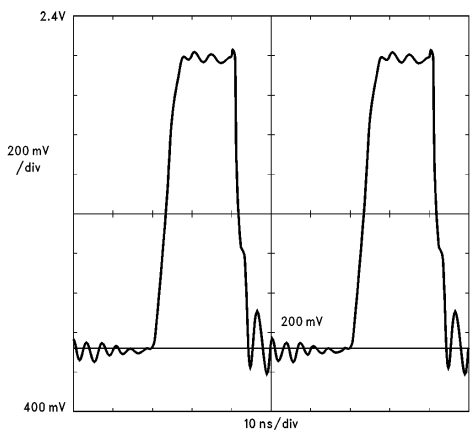
分布容量負荷を持ったバックプレーンは、信号に大きな影響を与えます。駆動側ボードと負荷の位置関係で、反射が加わることで、どの程度信号が劣化するかが決まります。ワーストケースでは、反射はノイズマージンを減少させます。すなわち、L 出力を正に向かって超え、H 出力を負に向かって超える反射が生じます。調査結果によると、H 状態における反射は、2.1V レベルを 50mV より下回りません。H 側の端における問題は、バスが完全負荷状態にある場合に起こります。完全負荷で 20MHz では、Fig.12 のように、立ち上がりエッジが丸くなります。

ノイズマージンへの最悪のくい込みは、バックプレーンの特定のスロットにそれぞれ 12pF の 2 つの負荷を挿入した場合に起こりました。ドライバをスロット 5 に、負荷をスロット 6 とスロット 0 に置くと、L 側のノイズマージンにピーク振幅 200mV の持続的なリングングを生じました。この場合の結果を Fig.13 に示します。Fig.13 のリングングの周期が約 2 ns であることに注意してください。これは周波数 500MHz に相当します。これは、これらの高周波信号を検出できる試験装置が必要であることを示しています。



TL/F/11107-21

FIGURE 12. Backplane Probed at Driver = Slot 5, 10 pF to 12 pF Loads in Every Slot



TL/F/11107-22

Rise 4.938 ns	Fall 3.603 ns	Max 2.21200 V	Measure- ments	Horz Mag 1 x Horz Pos Gr Opts
Min 598.000 mV	Over Shoot 1.64384 %	Under Shoot 8.90411 %	Statistics Comp & Def Continuous	Remove Wfm 3 ST013

FIGURE 13. Backplane Probed at Driver = Slot 5, 12 pF Loads in Slots 0 and 6

ギガヘルツ帯域幅

400MHz プローブとスコープでは、リングングのすべての周波数成分を検出することはできません。この信号には高周波成分が含まれているため、ナショナル セミコンダクター社が行うフューチャーパス + チップセットのすべての測定は、Tektronix 社の P6204FET プローブと 11A72 増幅器を装備した 11403 デジタイジング・オシロスコープを使用して行われています。この組み合わせの帯域幅は 1GHz です。

Fig.14 は、12pF の負荷ひとつを、送信側のトランシーバとの関係でどこに挿入するかによって、どのように異なった反射を生じるかを示すものです。隣接した負荷ボードからの反射が離れた端にある負荷ボードからの反射の前に現れており、ライン遅延が明確に示されています。負荷位置の違いによって、波形とノイズマージンが侵害される度合いが異なります。

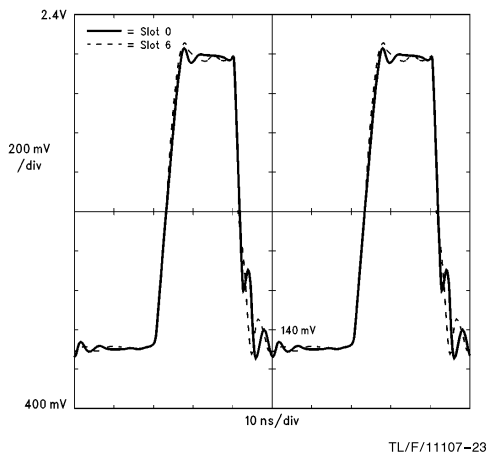


FIGURE 14. Backplane Probed at Driver = Slot 5

種々のグラウンドはなぜあるか？

弊社のフューチャーパス+チップセットには3つの異なったタイプのグラウンドピンがあります。ロジック・グラウンド(GND)、BTLグラウンド(B0GND - B8GND)、およびレシーバスレシールド用バンドギャップ基準グラウンド(QGND)です。これらのグラウンド基準ピンは、高電流スイッチング過渡現象からの干渉を制限するために、チップ内部で絶縁されています。チップの外部では、バンドギャップ基準グラウンドはバックプレーン・グラウンドに安定した経路によって接続しなければなりません。絶縁の目的は、レシーバ入力スレシールドが、バックプレーンから来る信号と同じ基準になるようにすることです。他のグラウンドは、チップ内部でグラウンドループ電流が生じるのを避けるために、ボードのグラウンドプレーンに接続しなければなりません。

フューチャーパス+トランシーバのグラウンドバウンス
ひとつのトランシーバで9つまでのBTLチャネルを同時にスイッチングすることができます。各チャネルが80mAをシンクすると、相当な電流のスイッチングが起こります。グラウンドリードのインダクタンスと電流のリターン・パスの有限抵抗の組合わせによって、このパスにそって電流変化に比例する電圧の低下と上昇が生じます。

$$V = L \cdot (di/dt)$$

V = グラウンドバウンスの振幅

L = 信号およびグラウンドトレースの固有インダクタンス

Hybricon 社試作ボードに実装したDS3886 ラッチト・データ・トランシーバを使用して、フューチャーパス+環境に現れるグラウンド変化の大きさを調査しました。

8つのチャネルが同じ入力に接続されており、それらは同時にスイッチングされます。9番目のチャネルB(他の8つのチャネルの間に位置している)は、アサート状態に駆動され、基準チャネルとして使用されます。また、6個の他のデータ・トランシーバがそのボード上にあり、ランダムにスイッチされるようになっています(オープン・ドライバ入力)。フューチャーパス+コネクタのピン・レイアウトでは、3ピンごとに1つのグラウンドピンを使用しています。Hybricon 社製ボードでは、Metral コネクタから入ってきた場所でこれらのピンをすべてボードのグラウンドプレーンに接続しています。トランシーバのBTLグラウンドピンはソルダ・パッドに取り付けられ、マイクロストリップ・トラックをPTHパイアまで引き、PTHパイアがグラウンドプレーンに接しています。マイクロストリップはグラウンド・バスにインダクタンスを与えますが、チップ・パッケージを温度的に絶縁されているパッドにハンダ付けするために、均等に加熱することが必要です。

グラウンドにプローブを当てる

バックプレーンのグラウンドプレーンは、回路のあらゆるグラウンドの差異を調査するための基準として使用されます。これはMetral パワーコネクタ・モジュールのグラウンド・タブ・コネクタにアクセスします。Fig.15には、一番上にアイドル・バックプレーン・ノイズが示されています。空いているスロットの2つのグラウンド・タブを測定するために、短い、低インダクタンスのワニ口クリップ・グラウンドの付いたGHzプローブを使用します。この状態では、トランシーバは何も動いていません。図の上から2番目の波形は、プローブの位置は同じで、今度は、8つのトランシーバ・チャネルだけがスイッチングしています。8つのチャネルがすべてHからLに変化するとき、すなわち実質的な能動的な電流変化が起こったときに、信号に大きな妨害が生じます。RからHへの遷移が同種の電圧スパイクをグラウンド信号に生じさせないことに注意してください。これは消滅する電流は大きなdi/dtを持たないためです。

Fig.15のすべての測定に、同じバックプレーン・グラウンド基準が使用されました。3番目の波形は、ドーター・ボードのグラウンドプレーンを、スイッチング中のトランシーバとバックプレーンの間のMetral コネクタの近くで測定したものです。この場合は、妨害はボードのバイパス・コンデンサによって弱められています。このボードは4個の180μFおよび14個の0.1μFコンデンサによってデカップルされています。次の波形は、同じグラウンドプレーンのものですが、トランシーバのBTLグラウンドピンからのマイクロストリップをボードのグラウンドプレーンへ接続するパイアにプローブを当てたものです。この波形は、スイッチングしていないグラウンドピンを測定した波形の少し減衰したような形になっています。これは、B3GNDピンにおける波形がボードのグラウンドプレーンから来ているためです。マイクロストリップおよびパッケージ内部のリードフレームのインダクタンスは、グラウンドバウンスのオーバershootおよびアンダershootを増加させます。グラウンド妨害の最悪の場合は、スイッチング中のチャネルのBTLグラウンドピンの中のひとつを測定した場合です。これは、非常に高速に電流の立ち上げと消滅を行っている出力トランジスタの急激なターンオンによって引き起こされる内部トランジスタ・ノイズから予想されたことです。

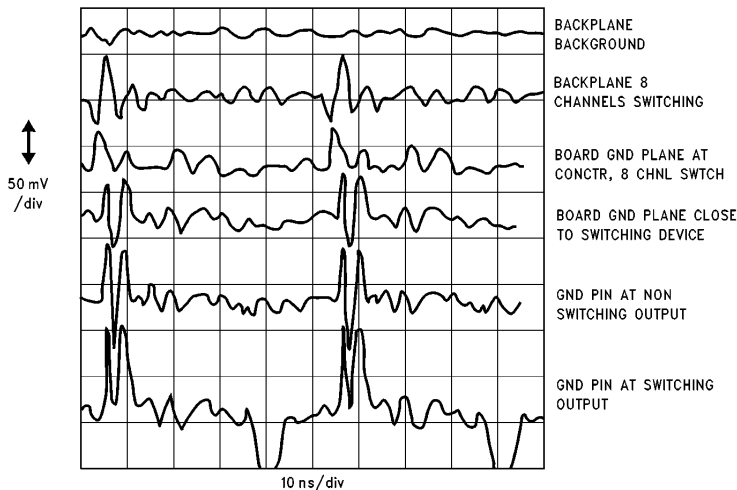


FIGURE 15

TL/F/11107-24

フューチャーバス + 環境におけるクロストーク

クロストーク問題は多くの注目を集めています。高速信号、複数伝送路メディア、および信号路の高密度のために、重大な前方および後方のクロストークが生じる可能性があります。関係要因に関する簡易式を次に示します。

$$V_{bkwd} = (V_a/t_r) \left(\frac{1}{2t} \right) (C_C Z + L_C/Z)$$

= 被害回線への後方結合電圧

$$V_{frwd} = (V_a/t_r) \left(\frac{1}{2} \right) (C_C Z - L_C/Z)$$

= 被害回線へ前方結合電圧

V_a = 妨害信号振幅

t_r = 妨害信号遷移時間

t = ライン長

t = ライン遅延

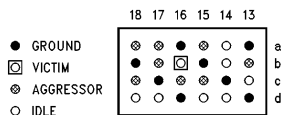
Z = ラインインピーダンス

C_C = 電場による容量性結合

L_C = 磁場による誘導性結合

両方のタイプのクロストークとも、妨害信号の振幅に正比例し、妨害信号の遷移時間に反比例します。容量性および誘導性結合は、両方のタイプのクロストークに影響を与えます。後方クロストークにおいては、それらを加え合わせて妨害信号の振幅を掛けると、被害回線と同じ極性のパルスが与えられます。前方クロストークにおいては、 $(C_C Z - L_C/Z)$ に妨害信号の振幅を掛けると、結合リアクタンスの大きさの関係によってどちらかの極性のパルスが得られます。コネクタは、裸線構成のために、特殊な問題を提示します。裸線の固有インダク

タンスとMetral コネクタで近接していることは、クロストークにとって都合のいい状態です。上記の式でモデル化はできませんが、ひとつの要素は信号波速度差です。前方クロストークは、誘電率の異なる物質に接触する導電媒体による妨害信号の速度差の結果生じます。マイクロストリップのラインはそのような媒体であって、空気とエポキシガラスに接触しています。これは被害回線に静電的に結合したエネルギー・パルスを発生させます。これらの理由から、クロストークは2つの異なった方法で調査されました。



TL/F/11107-25

FIGURE 16. Module B, Section 3, Used in Crosstalk Measurements. The Victim Line is Labeled B-b-16

フューチャーバス + 規格委員会は、Metral コネクタのピン指定を、信号伝送ピン2個ごとに1個のグランドピンがあるように設定しました。従って、ワーストケースでは次のような状態ができます。Fig.16に示すように、1個の信号ピンが5個の信号ピンと3個のグランドピンによって囲まれることが有り得ます。専門家チームは、被害回線にスイッチング回線を使用してクロストークを試験し、妨害回線が0本と5本の間での差を受信モジュールにおいて測定しました。Fig.17はDS3886に関してこれと同じテストを行った結果を示しています。

ドライバモジュールはスロット7に位置しており、2つのレシーバモジュールがスロット0および9にあります。反射についてのセクションで述べたように、これはノイズマージンに割り込むワーストケースの構成です。

これは、また、バックプレーン・トラックが長い距離にわたって結合的に並びます。信号回線のST2を被害回線として使用し、ST0 - ST7を妨害回線として使用しました。Fig.17は、2つの状態におけるドライバおよびレシーバピンで測定した立ち下がりエッジを示しています。ひとつの状態は、被害回線だけがスイッチングしており、もうひとつの状態ではすべての妨害回線と被害回線がスイッチングしています。被害回線に誘起された電圧の最大値は50mVです。これは専門家チームによる結果と同じです。

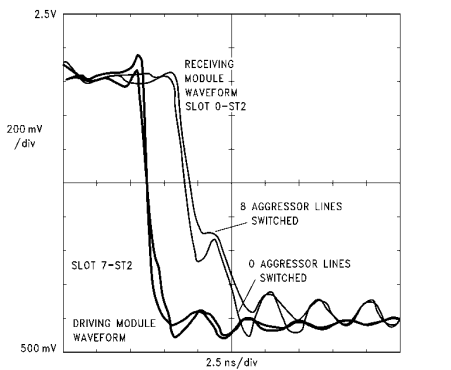


FIGURE 17

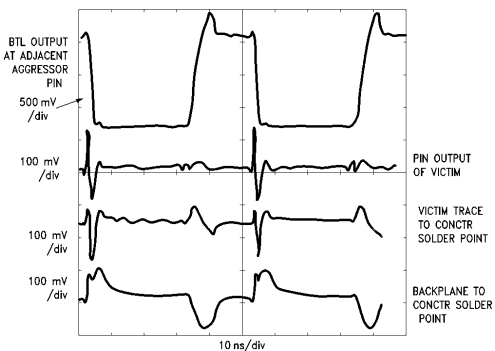


FIGURE 18. Victim Is Only Asserted, 8 Aggressor Channels Switching

Fig.18 は、フューチャーパス+専門家チーム方式とは別のクロストーク調査方法による結果を示しています。8本の妨害回線がスイッチングしている間、被害回線をアサート状態に保持しました。一番上の波形は妨害信号です。下の3つの波形は、ドーター・ボードのインピーダンス点で測定した被害回線信号です。図は、すべての妨害回線がHからLに遷移するとき、被害回線はノイズマージンにぐい込む100mVのパルスを受けることを示しています。この場合は、ドライバと同じスロットのバックプレーンで測定しています。コネクタによる誘導信号の反転は、Metral コネクタの高インダクタンスを示すものです。このコネクタのインダクタンスは、この点において前方クロストークに反転パルスを与えるほど大きなものです。実際のデータ送信においては、クロストークが関係するのは受信トランシーバの入力においてです。別のボードのレシーバに到達するまでにエッジレートが遅くなることにより、クロストークの大きさはずっと減少します。Fig.19は、妨害回線が0の場合と8本の場合の同じレシーバ入力ピンの信号を示しています。ノイズマージンに侵入する結合電圧は85mVです。

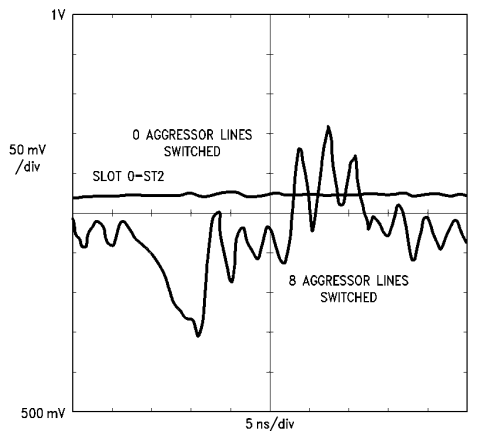


FIGURE 19. Crosstalk Voltage at Receiver with 8 Aggressor Lines Compared to 0 Aggressors

Rise	Fall	Min	Measurements	Horz Mag
466.7 ps	435.0 ps	590.000 mV		1 x
				Horz Pos Gr
				Opts
Max	Frequency		Statistics	Remove
862.000 mV	274.3 MHz		Comp & Def Continuous	Wfm 2
				ST014
				Pan/Zoom
				On

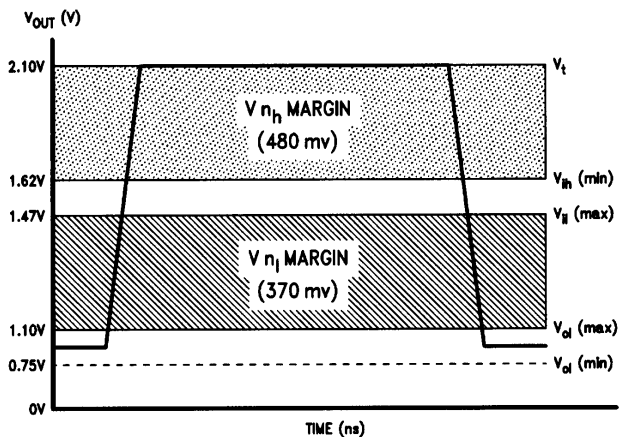
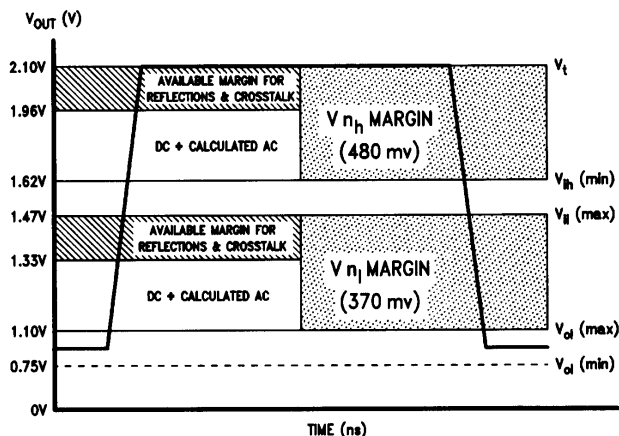


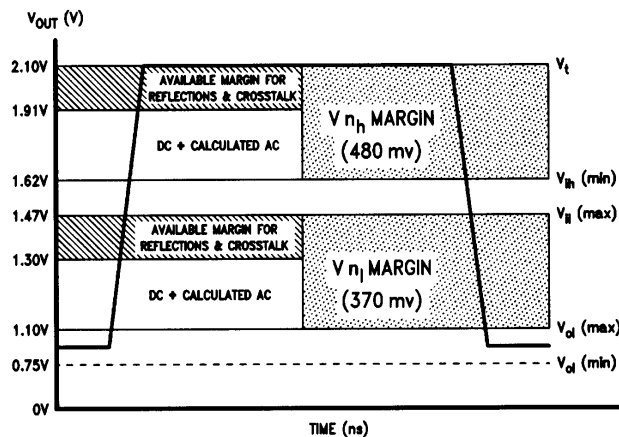
FIGURE 20a.

TL/F/11107-29



(all slots loaded)
FIGURE 20b.

TL/F/11107-30



slots 0 to 6 loaded
FIGURE 20c.

TL/F/11107-31

結論

フューチャーバス+環境は高速データ信号に対してインピーダンス不整合を示します。これらの条件から、信号の測定結果は、高速エッジレートの信号には高周波成分が含まれ、これは波形の大きな部分を構成しており無視することはできません。これらの理由から、弊社は、すべてのデータシート仕様のために、1000MHz帯域幅のテスト機器と特別設計の低インピーダンス試験ジグを使用しています。

モジュールを部分負荷のバックプレーンに置くことは、リンギングの大きさに関して重要です。バックプレーンに均等にモジュールを配置することが、リンギングの振幅を最小にする最良の条件です。

Fig.20aはBTLのノイズマージンを示しています。Fig.20bは全負荷のバックプレーンの場合、Fig.20cは部分負荷のバックプレーンの場合、フューチャーバス+専門家チームによるノイズマージンの割当を示しています。この専門家チームは広範なシミュレーションを行い、1990年9月14日に提出された中間報告でその結果を報告しました。反射とクロストークに関する本調査は、彼らの調査結果と比べるべきものです。

Fig.17は、本調査で明らかになったワーストケースのクロストークと反射が組み合わされた場合を示しています。反射にクロストークが加わると、ノイズマージン・Lは100mVまで低下します。100mVの低下は、入射エッジが1.2Vレベルの明確なエッジを持っていることから結論づけたものです。これは、Fig.20cの、専門家チームの部分負荷のバックプレーンに関する分析の、170mVの許容範囲内にあります。また、本調査は、全負荷のバックプレーンが、部分負荷のバックプレーンより反射の大きさが小さいことを示しました。ここに集められた測定結果は、Fig.20bの全負荷のバックプレーンの場合に示された専門家チームの反射およびクロストークに対する許容範囲がわずかに140mVであることを支持するものです。

弊社のDS3886 ラッチト・データ・トランシーバは、フューチャーバス+バックプレーン環境において厳しい動作条件の下で信号の完全性を維持しました。DS3886を現実のバックプレーン動作条件で試験するために、クロストーク、スタブ長、およびグランドバウンスのワーストケースにおいて、伝送速度40メガボーが使用されました。BTL信号の入射エッジは、問題なく確実にレシーバのスレシールドを超えました。

参考文献

1. The Multilayer Printed Circuit Board Handbook, J.A. Scariett, Electromechanical Publications, Ayer, Scotland, 1985.
2. TDR Fundamentals, Application Note 62, Hewlett Packard, April, 1988.
3. FAST Applications Handbook, National Semiconductor Corporation, 1987.
4. Handbook of Printed Circuit Design, Manufacture, Components and Assembly, Giovanni Leonida, Electromechanical Publications, Ayer, Scotland, 1981.
5. Interim Report of the Electrical Task Group Expert Team... Futurebus+ Modeling and Noise Margin Results. Raytheon and DEC, Sept. 14, 1990.

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒135-0042 東京都江東区木場2-17-16 TEL: (03) 5639-7300 <http://www.nsjk.co.jp/>

製品に関するお問い合わせはカスタマ・レスポンス・センタのフリーダイヤルまでご連絡ください。



0120-666-116



この紙は再生紙を使用しています

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上