

DS3884A

Application Note 744 Futurebus+ Wired-OR Glitch Effects and Filter



Literature Number: JAJA253

ワイヤード・オア・グリッチの影響とフィルタ

National Semiconductor
Application Note 744
Joel Martinez/Stephen Kempainen
January 1991

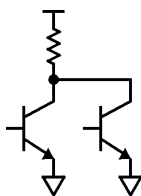


要約

フューチャーパス+は、従来のパスよりも高性能なパスを必要とする、エンド・ユーザのニーズに向けたものです。パスの性能を最適化するため、バックプレーン・ライン遅延が、転送周期と同様の重要性を持つスピードまで、バックプレーン帯域を増大させました。

この段階では、バックプレーンはもはや集中負荷としては扱えなくなり、伝送ラインの領域である分散型負荷のモデルになります。設計者たちは、今やワイヤード・オア・グリッチといった不慣れた伝送ラインの影響を処理する必要があります。名前が示す通り、ワイヤード・オア・グリッチは、ワイヤード・オア・ロジックを行うライン上で発生します。ワイヤード・オア・ロジックは、並列状態にあるオープン・コレクタ・ドライバをつなげることや、コレクタをレジスタ・プルアップに接続することでインプリメントされます (Fig.1)。

ナショナルセミコンダクター社のフューチャーパス+ハンドシェーク・トランシーバでは、プログラム可能なローパス・フィルタをレシーバに組み込んで、このワイヤード・オア・グリッチを除去します。フューチャーパス+ハンドシェーク・トランシーバは、最適なノイズ除去比を提供し、同時に高速のバス・スループットを維持します。



TL/F/11133-1

FIGURE 1

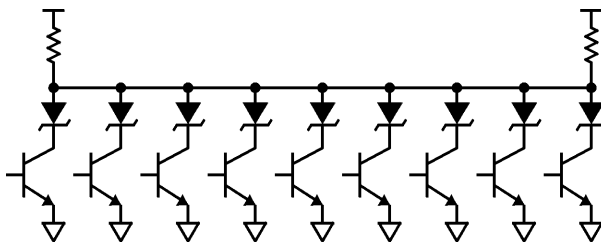
BTL (バックプレーン・トランシーバ・ロジック)は、フューチャーパス+物理層の裏で使用される駆動テクノロジです。直列のショットキー・ダイオードを使用したオープンコレクタを備えており、オープン・コレクタと同様の機能があります。BTLドライバのダイオードは、通

常大きな出力トランジスタの容量をバスから分離しバスの負荷を軽減します。BTLは、フューチャーパス+バックプレーンにおける全てのバス・ライン上で使用されており、両端は、終端構造になっています (Fig.2)。全てのフューチャーパス+ラインは、ワイヤード・オアで接続されていますが、実際には、これらのラインの内のサブセットのみが、ワイヤード・オア・ロジックを実行します。これらのラインにあてはまるのが、ハンドシェーク・ライン、ステータス・ライン、キャパビリティ・ライン、アービトラレーション・ラインです。ハンドシェークに使用されるタイミングが重要なラインに、信号の完全性を保つ目的でワイヤード・オア・グリッチ・フィルタを備える必要があります。グリッチ・フィルタが必要なラインは、AK*、AI*、DK*、DI*、AP*、AQ*、AR*、RE*です。

ワイヤード・オア構成では、グリッチは、他のドライバがアサートされた状態で1つ以上のドライバがリリースされると起こります。結果として現れた正電圧パルスがグリッチの特長で、レシーバのスレッシュホールドを超えて信号の完全性を低下させることにもなりかねません。グリッチは、バックプレーン上での高速の遷移時間と伝送ラインの伝播遅延によって生じる伝送ラインの影響で、反射波がデータ信号にどのような影響を与えることになるのかを示します。もし立ち上がり及び立ち下がり時間がライン遅延よりも長かったならば、反射は信号の遷移部分に含まれ(シャドウされ)伝送ラインの影響はバス上に現れません。しかしながら、バックプレーン上のフューチャーパス+の遷移時間は、ライン遅延の4分の1から5分の1になる可能性があります。バックプレーンの1つの端における遷移は、もう1つの端に届くまでにある程度の時間がかかり、電圧のレベルは平衡状態に至るまでに反射によって著しく変化することになります。

オープン・コレクタ・バスドライバのLからHへの遷移

最初に、バスをリリースするLからHへのシングル・ドライバの遷移について調べてみましょう。同じような特長をもつワイヤード・オア・グリッチについては、後で調べることにします (Fig.3を参照)。Q1をリリースすると、何が起きるのでしょうか？



TL/F/11133-2

FIGURE 2

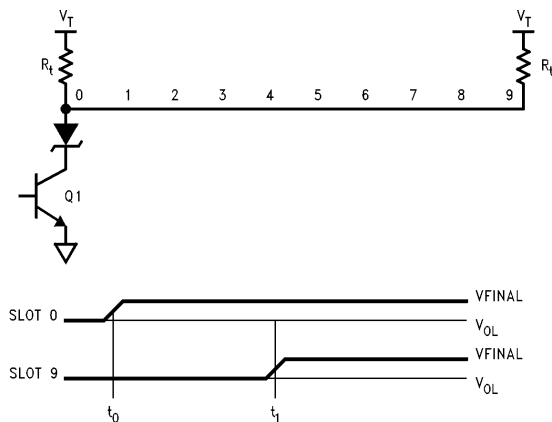


FIGURE 3

TL/F/11133-3

$t < t_0$; Q1 がオンの状態で(アサートされている)バス上の V_{OL} レベルを維持しています。

ドライバがスロット1～8間に位置していた場合は、式は次のようになります:

$$V_{OL} = V_T \cdot \frac{Z_{driver}}{Z_{driver} + (R_t/2)}$$

$$V_{FINAL} = V_{OL} + \frac{V_T - V_{OL}}{R_t/2} \cdot (Z_0' // Z_0') \quad (1.b)$$

$t = t_0$; Z ドライバ=ドライバ出力インピーダンス
Q1 はリリースされて、L から H への波頭が、スロット0 からスロット1 に向かって伝搬しています。Q1 によってあらかじめ引き込まれていた電流が、ラインに再度流れます。ドライバはライン・インピーダンスとともに並列状態で終端抵抗のインピーダンスを認識しています。ラインに沿った信号伝搬の振幅は、次に示す式で表わされます。

$t = t_1$; 信号はスロット9 に至ります。 $R_t = Z_0'$ ならば、全てのエネルギーが終端によってスロット9の位置で吸収され、バスは平衡状態になります。 $R_t \neq Z_0'$ ならば、反射が静まるまでは2 次反射が発生することになります。

$$\begin{aligned} V_{FINAL} &= V_{OL} + [I_{OL} \cdot (R_t // Z_0')] \\ &= V_{OL} + \frac{V_T - V_{OL}}{R_t/2} \cdot (R_t // Z_0') \quad (1.a) \end{aligned}$$

$R_t = Z_0'$ の場合、 Z_0' = 無負荷のライン・インピーダンスとなり、

$$\begin{aligned} V_{FINAL} &= V_{OL} + V_T - V_{OL} \\ &= V_T \end{aligned}$$

Fig.4 では、lin. ピッチ 39Ω の終端抵抗での10 スロット・バックプレーンからの実際の波形を示しています。3つの波形がボード・コネクタのハンダ付けがしてある箇所、バックプレーンを測定することによって得られました。この場合バックプレーンに挿入されたのは、スロット0 とスロット9 の2つのボードでした。スロット0 のドライバは、もう片方のスロット9 がオフの間はスイッチしています。ラインの伝搬遅延である t_{pd} は、この場合には $t_1 - t_0$ で定義されます。この遅延は、スロット0 とスロット9 で測定した波形の遅延によって明確に示されています。この配置においては、 $t_{pd} = 3\text{ns}$ になります。

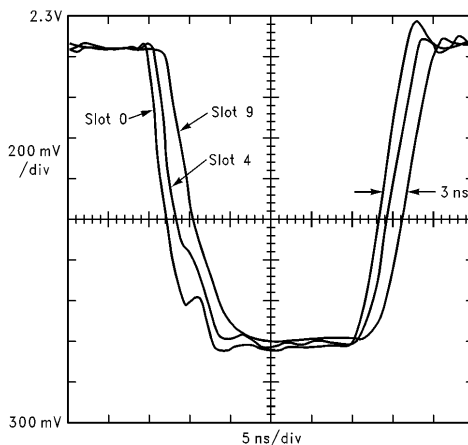


FIGURE 4

TL/F/11133-5

ワイヤード・オア・グリッチ

それでは、ワイヤード・オア・グリッチの影響を分析してみましょう (Fig.5 参照)。もう片方のドライバをバスの反対側の端に追加することで、状況は更に複雑になります。初めは両方のドライバがアサートされています。両方のドライバが、終端からの電流を均等に分け合っているとする、 V_0 は、 V_{OL} よりも小さくなります。また、 V_0 はドライバがトランジスタを介した電流を減少させ、インピーダンスを増加している事実にも影響を受けているのです。 Q_1 をリリースすると、グリッチはドライバ・バス・スロットにおいてライン遅延の2倍のパルス幅で発生します。グリッチの振幅は、ラインをリリースするドライバによって引き込まれていた電流の量に左右されます。ですから、ラインを同時にリリースするドライバの数が多ければグリッチの振幅は大きくなるのです。

$t < t_0$ Q_1 と Q_9 の両方がバス電圧を低く保っています。 V_0 が、並列ドライバ出力インピーダンスと、並列終端抵抗による抵抗分圧の結果であることに注意して下さい。1つのドライバのみがオンになっており、その結果バス電圧が、単一のドライバ出力インピーダンスと、並列状態にある2つの終端抵抗によるただの抵抗分圧になっているという理由から、 V_2 は僅かに高くなっています。

$t = t_0$ Q_1 はオフになり、高インピーダンス状態になると、 L から H の波頭が、バスに沿ってスロット9の方向に伝搬します。

$$V_1 = V_0 + \frac{1}{2} \cdot \frac{(V_T - V_0)}{R_t/2} \cdot R_t/Z_0' \quad (2.1)$$

$R_t = Z_0'$ の場合

$$V_1 = V_0 + \frac{1}{2} (V_T - V_0)$$

$$= \frac{1}{2} (V_T + V_0) \quad (2.2)$$

$t = t_1$ 終端抵抗やバックプレーン・インピーダンスと比較すると、ドライバの出力インピーダンスが小さいため、グリッチはスロット9に至り反射は負になります。

$$V_2 = V_1 + \frac{1}{2} \cdot \frac{(V_T - V_0)}{R_t/2} \cdot R_t/Z_0' \cdot \rho$$

$$\text{ここでは、} \rho = \frac{R_t/Z_{\text{driver}} - Z_0'}{R_t/Z_{\text{driver}} + Z_0'} \text{ (negative number)}$$

Z ドライバここでは、 Z ドライバ

$t = t_2$ 反射波がスロット0に至ります。ここで重要なのは、 Q_1 の出力はオフにした時高インピーダンス状態になることです。したがって、スロット0での不整合は、バックプレーン・インピーダンスと終端によってのみ生じます。 $R_t = Z_0'$ ならば、全てのエネルギーがスロット0の位置で終端によって吸収されバスは平衡状態になります。 $R_t \neq Z_0'$ ならば、2次の反射が発生し、反射が終端電圧に安定するまで続きます。

ドライバが依然としてアサートされているバックプレーンの端でのパルス幅は、バスの伝搬遅延幅と同じになります。反射はリリースしたドライバ側に戻るため、この位置のパルス幅は $2t_{pd}$ になります。

$$t_{pd} = (t_1 - t_0) = (t_2 - t_1)$$

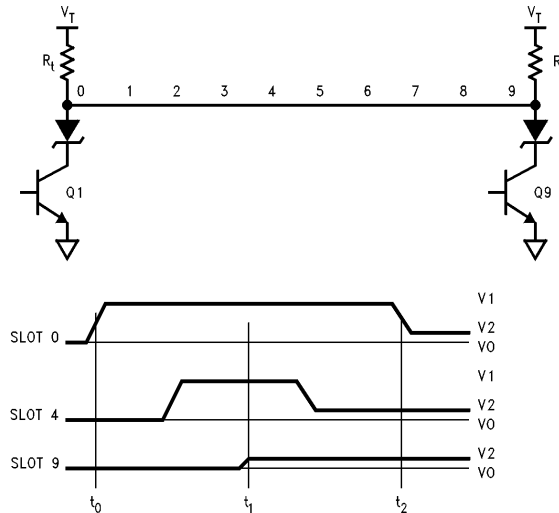


FIGURE 5

TL/F/11133-4

フューチャーバス + のワイヤード・オア・グリッチの算出

フューチャーバス + バックプレーンのワイヤード・オア・グリッチの計算を簡素化するために、以下の想定数値を使用します。

Z_0'	60Ω	Unloaded Backplane with Connector and Vias
Z_0''	31Ω	Fully Loaded Backplane
R_t	39Ω	Termination Resistor
R_t/Z_0'	21Ω	
R_t/Z_0''	16.0Ω	
R_t/Z_{driver}	4.3Ω	
Z_{driver}	5Ω	Driver Series Resistance
V_{driver}	0.7V	Driver on Voltage in Series with the Resistance
V_T	2.1V	Termination Voltage
V_{TH}	1.47V to 1.62V	Receiver Input Threshold
tpd	1.8 ns	Unloaded, 10 Slot by 1 in. Pitch Backplane
	4.4 ns	Same Backplane Fully Loaded

ドライバがそれぞれの端にあり (Fig.5) 無負荷である場合を想定すると、次のような式になります。

$$V_0 = V_{driver} - (V_T - V_{driver}) \cdot \frac{\frac{1}{2} Z_{driver}}{\frac{1}{2} Z_{driver} + \frac{1}{2} R_t}$$

$$V_0 = 0.52V$$

式 (2.1) より

$$V_1 = V_0 + \frac{1}{2} \cdot \frac{(V_T - V_0)}{R_t/2} \cdot R_t/Z_0$$

$$V_1 = 1.3V$$

反射したウェーブがスロット9で不整合に行き当たると、負の反射が V_1 に対して加えられます。

$$V_2 = V_1 + \rho^1 \cdot V_{x1} \quad \rho^1 = \frac{R_t/Z_{driver} - Z_0'}{R_t/Z_{driver} + Z_0'}$$

$$= 0.62V$$

$$V_{x1} = \frac{1}{2} \cdot \frac{(V_T - V_0)}{R_t/2} \cdot R_t/Z_0'$$

この波頭が A 点に至ると、もう1つの負の反射が V_2 に付け加えられます。

$$V_3 = V_2 + \rho^2 \cdot V_{x2}$$

$$= 0.78V$$

$$\rho^2 = \frac{R_t - Z_0'}{R_t + Z_0'}$$

$$V_{x2} = V_{x1} \cdot \rho^2$$

後に続く反射は、ライン上で平衡状態になるまで徐々に小さくなっていきます。

グリッチの最大振幅は1.3Vで、レシーバのスレシヨルドの1.47V以下です。この値は、レシーバの擬トリガが生じる程の十分な振幅の値ではないので、データの破壊は起きません。また、グリッチは2tpdまたは3.6nsに等しい最大パルス幅を備えています。この例では、2つのドライバは同一の出力特性を備え、バス電流を等しく分け合っていると想定しています。Q1が電流のほとんどをシンクしている場合には、その結果現れるグリッチの振幅は算出した値よりも大きくなりますが、パルス幅は変わりません。グリッチの振幅が大きいと、レシーバのスレシヨルドを超えて擬トリガを生じることがあります。DS3884のグリッチ・フィルタの目的は、レシーバのスレシヨルドを超えるグリッチをフィルタして、擬トリガを防ぐことにあります。グリッチのパルス幅は振幅とは独立しているため、フィルタの設定により一定時間持続するグリッチを除去することができます。

Fig.6では、10スロット・バックプレーンからの実際の波形を示しています。ドライバはエンド・スロット内に取付けられ、 $R_t = 39\Omega$ になります。Vドライバ(1つのドライバがオン)レベルは685mVで、VO(2つのドライバがオン)は545mVです。Fig.6の波形Aに他のドライバをアサートさせずに1ドライバをスイッチングさせた波形を示します。次に波形B、Cは、1つのドライバがスイッチング状態にあり、もう1つがアサート・レベルを維持しているエンド・スロットの位置のワイヤード・オア・グリッチを示しています。モデルで予想した通り、グリッチの振幅とパルス幅は、ラインをリリースしているドライバ・スロットの位置では最大となります。グリッチの最大振幅は、1.25Vです。2つのボードが挿入された状態でのバックプレーンの伝搬遅延は、Fig.4で示した3nsになります。モデルでは、パルス幅はこの遅延の2倍になると予想していましたが、振幅の50%地点では遅延の2.33倍になることが示されています。この違いは、高周波コンポーネントをフィルタし、信号の角をとるバックプレーンのウェーブ分散効果を計算に入れていなかったために起こったのです。

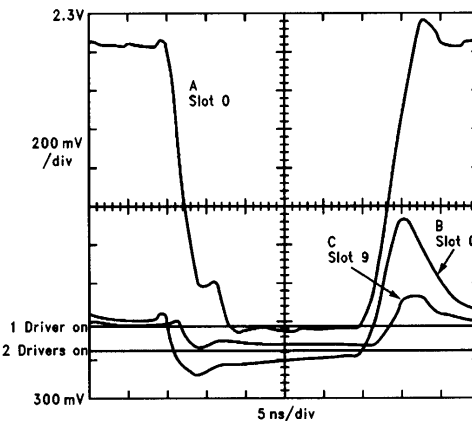


FIGURE 6

TL/F/11133-8

グリッチの振幅は、必ずしも式(2.1)に示すように V_T に等しくならないので、レシーバのスレシールドでのグリッチのパルス幅は、常に振幅の50%パルス幅より小さくなります。グリッチのパルス幅が測定したバックプレーンの伝搬遅延の2倍だと、レシーバのスレシールドにおいては最悪値になります。

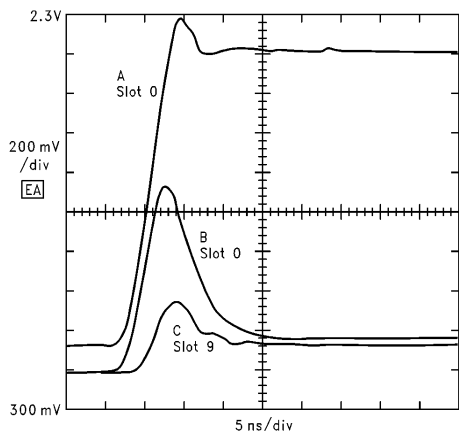
論理上では、グリッチ幅はバスの伝搬遅延のみに左右されることになっています。Fig.7とFig.8は、バックプレーン・アプリケーションでこの論理を説明するため載せています。Fig.7は、1MHz信号に対するグリッチを示しています。パルスの幅はFig.6で示す幅と同じで、その信号は20MHzです。Fig.8は、0と9の間のバックプレーン・スロットがそれぞれ10pFから12pFで負荷が加えられていることを除いて同じ状況になっています。これにより、バックプレーンの伝搬遅延が増大しています。パルス幅は10.7nsです。tpdが4.4nsの十分に負荷を加えたバックプレーンを使用すると、このパルス幅は伝搬遅延の2.43倍になります。この数値は、先の部分的な負荷を加えたグリッチ幅と相関関係にあります。バックプレーンに十分な負荷を加えるとドライバがインピーダンスの減少を認識するため、振幅は著しく少なくなります。

1度に1つ以上のドライバによりバス・ラインを同時にリリースすると、グリッチの振幅は増大しますが、その幅は依然としてバスの伝搬遅延に左右されます。1つ以上のドライバの電流がラインに直接流れると、パルスの振幅に影響があります。Fig.9では、2つのドライバがラインを同時にリリースして、1つのドライバがラインをアサートしている場合のグリッチを示しています。ラインをリリースしているドライバはスロット0とスロット3にあり、ラインをアサートしているドライバはスロット9にあります。1.81Vのグリッチの振幅はライン上にあるレシーバの擬トリガの原因になります。レシーバのスレシールドがLでのグリッチのパルス幅は、6nsで約2tpdになります。振幅の50%のパルス幅はバス上にある2つのドライバの場合よりも僅かに大きいのですが、この違いは、ライン遅延を増加する3番目のドライバの追加の負荷容量によって説明されます。

ワイヤード・オア・フィルタ

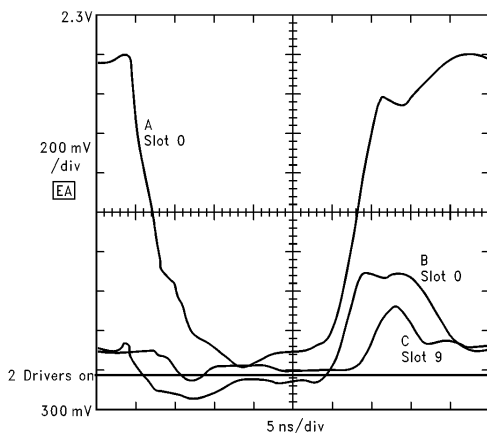
バス上で発生する可能性がある最悪の場合のグリッチは、バックプレーンのラウンドトリップ遅延と同じパルス幅になります。フィルタは、最悪の場合のラウンドトリップ遅延である2tpd以下のグリッチ・パルスを除去する必要があります。ライン遅延tpdはバックプレーンの長さや負荷に左右されるため、最悪の場合の遅延を判断する最も簡単な方法は、十分にボビュレートされたバックプレーンのライン遅延を測定するやり方です。最悪の場合の遅延を一度確認すると、グリッチを除去するフィルタを備えたレシーバによって、遅延を最小にして信号を送ることができます。

ナショナル セミコンダクター社のBTL トランシーバファミリの一部であるDS3884A ハンドシェーク・トランシーバは、グリッチ・フィルタを内蔵しています。このフィルタは、特定のバックプレーン遅延に合わせて、タイミング遅延を最小にすることが可能です。4つの異なるセッティングを、パルス選択ピンであるPS1とPS2を介して設定できます。これらのセッティングは、REXTピンとグランド間の抵抗を変換することで最適な状態に設定できます。例えば、バックプレーンのラウンドトリップ遅延が8nsならば、フィルタの設定は10nsより高い設定にできるようにして下さい。



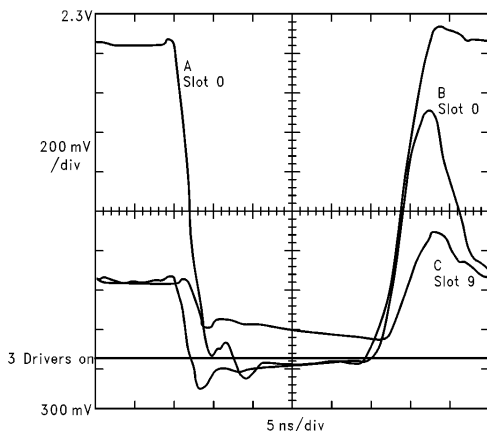
TL/F/11133-7

FIGURE 7



TL/F/11133-8

FIGURE 8



TL/F/11133-9

FIGURE 9

このセッティングでは、10ns 以下のパルス幅を持ったグリッチを除去します。トランシーバのバス入力 (Bn) とレシーバが H から L へ遷移する際のフィルタされたレシーバの出力 (FRn) 間の最大伝搬遅延は、このセッティングでは 22.5ns になります。Fig.10 では、Fig.9 と同じバックプレーン構成のスロット 0 で動作している DS3884 の 3 つの波形を示しています。波形 B1 は、Fig.9 の波形 B のスロット 0 と同様に、ラインを同時にリリースする 2 つのドライバによって生じたものです。信号振幅の低下は、レシーバの入力ピンにプローブを直接当てたために生じたもので、Fig.9 のようにバックプレーンのハンダ点にプローブを当てたものではありません。

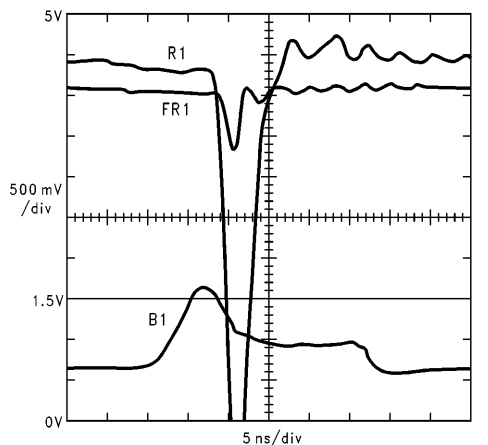


FIGURE 10

TL/F/11133-10

R1 と FR1 は DS3884A のチャネル 1 からの波形で、それぞれレシーバ出力とフィルタされたレシーバ出力を示しています。5ns 以下のグリッチを除去するために、PS1 と PS2 は共に 0V にセットされています。FR1 の波形はグリッチの擬トリガの除去を明確に示しており、グリッチのパルス幅は 1.5V のレシーバのスレショルドで約 3ns あります。Fig.11 では、5ns のグリッチ除去のセッティングでの H から L、および L から H への遷移の両方における B1 と R1/FR1 間の伝搬遅延を示しています。 t_{PHL} は、フィルタされた出力用に 5ns から 10ns に遅延されています。レシーバ出力信号のリングングは、ワイヤラップ・ボードの周波数応答の制限によって発生します。

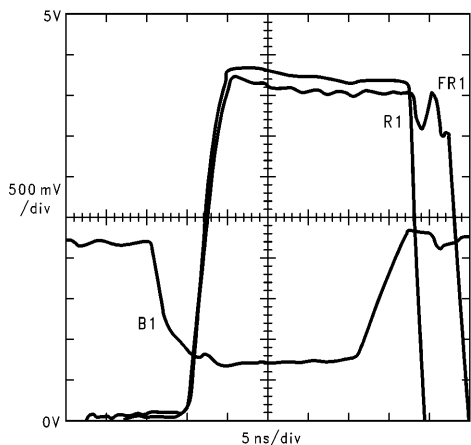


FIGURE 11

TL/F/11133-11

ワイヤード・オア・グリッチは、ワイヤード・オア・バスに固有のもので、高速の伝送ラインの環境内で発生することがあります。しかしながら、諸現象を十分に理解して、フィルタの使用により信号の完全性を維持する多くの方法を知ることは、一助となります。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本 社 / 〒135-0042 東京都江東区木場 2-17-16 TEL. (03) 5639-7300 <http://www.nsjk.co.jp/>

製品に関するお問い合わせはカスタマ・レスポンス・センタのフリーダイヤルまでご連絡ください。



0120-666-116



この紙は再生紙を使用しています

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上