

Application Note 1194 Failsafe Biasing of LVDS Interfaces



Literature Number: JAJA274

終端フェイルセーフ：入力両端に 100 Ω を備えるレシーバに対するフェイルセーフです。フェイルセーフは、終端内蔵レシーバがバスから切り離された場合、あるいはドライバがハイ・インピーダンスか電源オフ、あるいは接続を切り離された場合に必要になります。ドライバが切り離される後者の事例では、レシーバと接続するケーブルがそのまま残されていることが考えられます。その場合、ケーブルが「差動」結合ノイズを拾いレシーバが応答してしまう可能性が考えられます。レシーバはきわめて小さな振幅かつ狭いパルスを検出して標準のロジック・レベルに復元するように設計されていることを忘れてはなりません。ツイストペア・ケーブルが望ましいとされる理由は、ノイズが両方のケーブルに共通モードとして乗ればレシーバで排除できるからです（差動ノイズとして結合しないため）。結合ノイズが大きなアプリケーションではシールドも望まれます。ただし、ほとんどの終端型フェイルセーフは、共通モード電圧の全範囲にわたって動作するようには設計されていません。このような要件が求められる場合は、ラインが駆動されていないときに、外部バイアス抵抗によって小バイアスを印加し差動入力電圧を設定する方法を推奨しています。外部抵抗によって、レシーバから見たドライバのオフセット代表値 (V_{OS}) に相当する共通モード点も設定されます。公称状態ではラインの共通モード電圧は一定に保たれ、アクティブ・ステートと非駆動ステートとの間で共通モード電圧の変調は生じません。共通モード電圧の変調はラインに「偶」モード電流を発生させるため、ノイズや好ましくない EMI の原因になります。Figure 2 を参照してください。

他のベンダーはフェイルセーフ回路を違う方式で実装しています。繰り返しになりますが、それぞれの方式には利点と欠点があります。ひとつは内蔵プルアップ抵抗で両方のラインを V_{CC} にプルアップする方法です。この方法はアクティブ・ステートと非駆動ステートの間で大きな共通モード変調が発生するため、ナショナル セミコンダクターでは採用していません。ドライバが駆動しているときのラ

インは + 1.25V 公称にバイアスされますが、ラインが非駆動のときは 3.3V の共通モード電圧にプルアップされます。+ 1.25V が + 3.3V に変わるという 2V もの大きな遷移は、共通モード変調となり望ましいものではありません。また、ライン上のレシーバ数や使用するドライバによっては、ドライバがアクティブなデータ・ビットを最初に出しようとしたときに共通モード電圧が同時に引き下げられるため、データ・ビットに歪みが発生する恐れもあります。このほか、他のレシーバや外部 ESD 保護ダイオードによる順方向バイアスとの互換性が、別々の電源から電源を与えられたときに得られないといった問題も指摘されています。最近になってこのベンダーは、このような問題を解決しフェイルセーフ機能を高める新しい方式を開発しました。しかし、新方式によって一部の問題は解決されますが、新たな問題も生じます。このベンダーが開発した方式は、ラインが駆動されていないことを検出するウィンドウ・ディテクタによるものです。ラインが 600ns にわたって駆動されない場合（データシートでは最大値 1 μs）、出力をフェイルセーフの High ステートに切り替えます。ただし問題は、この「フェイルセーフ」中は差動ノイズ・マージンがきわめて小さくなる点です。この方式を採用したデータライン・レシーバのヒステリシスは代表値で 50mV（最小値は規定なし）に設定されているため、ラインに 50mV 以上の差動ノイズが重畳すると、データライン・レシーバが動作して信号を復元し、フェイルセーフ回路をリセットしてしまいます。この点は参照資料 2（6 ページ）にも明記されています。ウィンドウ・ディテクタは新たな発想による方式ですが、「フェイルセーフ」中の差動ノイズ・マージンがわずか 50mV（代表値）に制限されるという問題を抱えています。また、ラインを High に駆動したあと Low にスイッチングした場合（たとえば - 60mV の V_{ID} を与えて）、レシーバ出力は Low に遷移したあと 600ns 遅れてフェイルセーフの High ステートにスイッチします。最大 1 μs にも達するこのような遅い動作はすべてのアプリケーションで許容されるわけではありません。

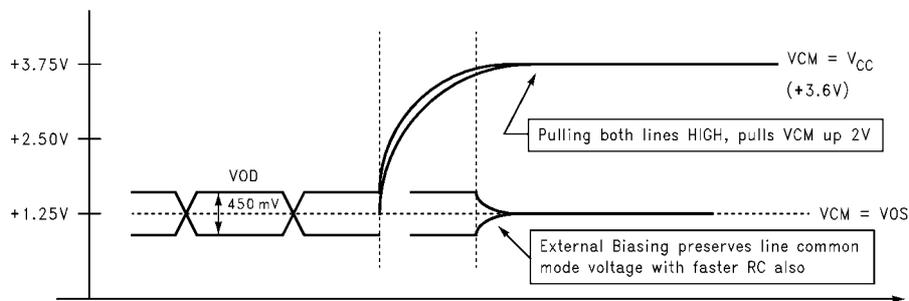


FIGURE 2. Single-Ended Waveforms Showing Common Mode Voltage between Driven and Un-Driven States vs Failsafe Implementation

ナショナル セミコンダクターは、第 1 世代と第 2 世代の LVDS レシーバに対して、システム・レベルや信号品質などの複数の観点から、外部フェイルセーフ・バイアスを推奨しています。外部方式には、ひとつはフェイルセーフ・バイアスが必要なアプリケーション以外は実装しなくてもよいという利点があります。もうひとつは、フェイルセーフ・バイアス量をアプリケーションの設計パラメータにできるため、各アプリケーションに応じて最適な設定ができるという利点です。ノイズが少ない環境で動作するアプリケーションでは、必要な場合でもきわめて小さなバイアスを選択できます。インターコネクットの平衡度が良好ではない場合、あるいはノイズの多い環境で動作するアプリケーションの場合は、フェイルセーフ電圧を高く設定することもできます。フェイルセーフ・バイアス抵抗の選択方法はナショナル セミコンダクターの「LVDS オーナーズ・マニ

アル」（参照資料 1）で説明しています。3 番目の利点として、外部抵抗によって非駆動ステートのときにバイアスされる共通モード電圧を設定できる点が挙げられます。この電圧はドライバの公称オフセット電圧 (V_{OS}) に近い値に設定することができます。そのため、駆動ステートと非駆動ステートとの間で、バス上の共通モード変調は最小限に抑えられます。外付けの低抵抗（通常数 k Ω）の $R1$ と $R3$ が、ラインから電源 / グラウンドへ低インピーダンス・バスを構成します。この抵抗には、共通モードのリターン・バスを与えると同時に、ESD と EOS（過電圧）事象時にシャント・バスを与えて堅牢なデバイスをさらに堅牢にし、しかも、結合ノイズの振幅を抑えるといった複数の利点があります。たとえば、25mV のフェイルセーフ・バイアス電圧が必要な場合 (V_{fsh}) は、まず最初にバイアス電流の大きさを決定します。25mV/100 Ω から 250 μA と求められます。

なおバイアス電流は、3mA のループ電流よりも 1 桁以上小さくなければなりません。次に、バイアス電源からグラウンドへの合成抵抗値を決定します。3.3V/250 μ A から 13k と求まります。RT は 100 Ω ですから無視してかまいません。次に R3 と R1 の比を $1.25V/3.3V=0.378$ として算出します。これから 13k の 0.378 倍として R3 を計算し、標準値

に丸めます (4.99k)。R1 は 13k - R3 から 8k です。このネットワークによってレシーバには +25mV のバイアスが与えられます。なお、RT (R2) 抵抗は、スタブ長を短くするために、レシーバのできるだけ近くに配置してください。R1 と R3 の実装位置はそれほど重要ではありません。

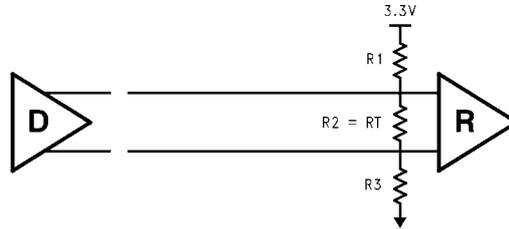


FIGURE 3. External Failsafe Biasing of an LVDS Link

ノイズ・マージン：駆動 (アクティブ) ステートと非駆動ステート

バスがアクティブのとき、LVDS ドライバの出力電圧範囲は 250mV から 450mV です。LVDS スタンドで規定されるレシーバのワーストケース・スレッショルドは 100mV です。そのため、 V_{OD} (250mV) が小さくスレッショルドが最大 100mV のとき、差動ノイズ・マージン (DNM) は 150mV になります。この値は小さいように感じられますが、バスが差動の性質を有するため問題にはなりません。ほとんどのノイズはライン上にコモンモードとして重畳するためレシーバによって除去されます。平衡度に優れた媒体 (密結合のトレースやツイストペア線) を使用すれば、確実なコモンモード結合が得られます。信号の分離にはノイズの原因となるシングルエンド信号を離れた配置やシールドの使用も適当です。LVDS ラインが非駆動のステートにあって、システムの残りの部分が依然としてアクティブのときや外部ノイズが存在するときにも、差動ノイズ・マージンに対して配慮が必要です。ラインが非駆動ステートのときは、外部フェイルセーフ・バイアスを適用したとしても、差動ノイズ・マージンは駆動ステートのときに比べて小さくなります。外部フェイルセーフ・バイアス方式に対しては、一般に差動ノイズ・マージンの「減少」や波形歪みに関する指摘がなされます。選択する抵抗にもよりますが、外部フェイルセーフ・バイアスは V_{OD} に $\pm 25mV$ の影響を与える場

合があります。一方のアクティブ・ステートの V_{OD} を 25mV 上昇させ、もう一方のアクティブ・ステートの V_{OD} を 25mV 減じます。これがマイナスに働いたときに差動ノイズ・マージンが減少します。Figure 5 に示すように 150mV のマージンは 125mV に減っています。ただしこの値は十分に許容可能であり、Figure 6 に示すように、非駆動ステートに比べて約 3 倍の差動ノイズ・マージンが確保されます。ラインの AC 歪みは最小限に抑えられるため、30mV から 40mV (代表値) のきわめて小さなスレッショルドを有するほとんどの LVDS レシーバから見ても、225mV の V_{OD} と 275mV の V_{OD} は大きな違いにはなりません。先ほど、競合他社が採用するウィンドウ・ディテクタ方式では、50mV の差動ノイズが重畳するとデータライン・レシーバがスイッチングする可能性があるとして指摘しました。フェイルセーフ回路はリセットされ出力は遷移し、600ns 後にフェイルセーフ High に戻るものの、誤った波形スイッチングが生じたあとでしかありません (参考資料 2)。ここで 50mV は、レシーバの現在のデータシートでは最小値が規定されていないスレッショルド・ヒステリシスの代表値に対応します。つまり代表値でもこの方式ではわずか 50mV の差動ノイズ・マージンしか得られません。外部フェイルセーフ・バイアスであれば、具体的なアプリケーションの要件に応じて、他社方式と同じかより大きなバイアス量を得ることができます。

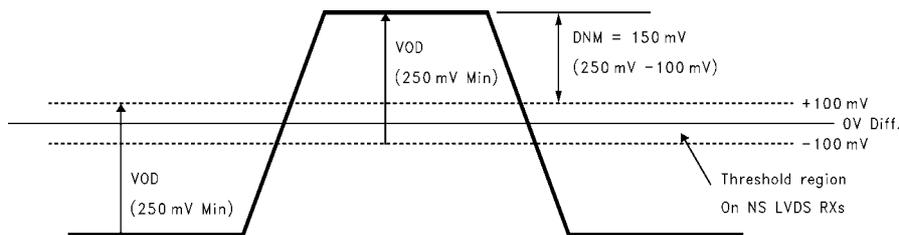


FIGURE 4. Differential Noise Margin Calculations

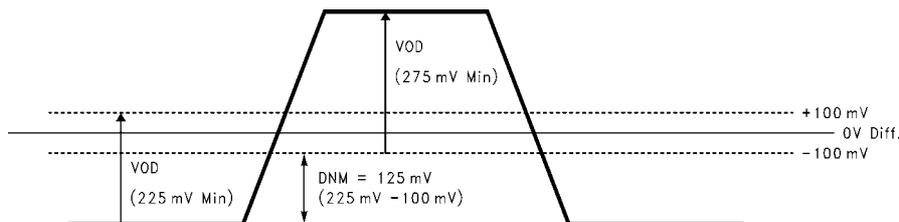


FIGURE 5. Differential Noise Margin Calculations with External Failsafe Biasing

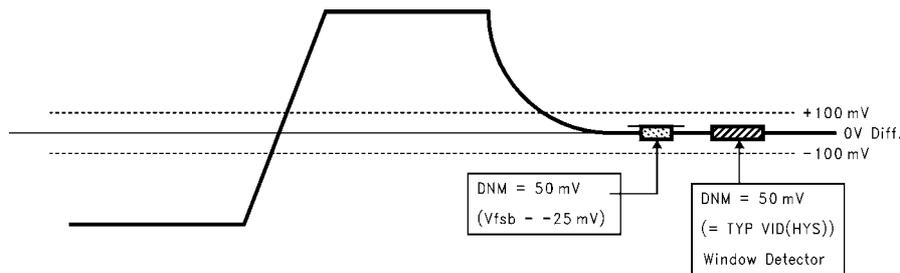


FIGURE 6. Differential Noise Margin for the Un-Driven Bus State vs Failsafe Implementation

ナショナル セミコンダクターの LVDS レシーバは、短絡フェイルセーフ状態をサポートするために、負側のオフセット・スレッショルドを有するように設計されています。 $V_{ID}=0V$ のとき、このような特性を備えているデバイスなら出力は High になります。スイッチング点は Figure 1 に示すようにおよそ $-25mV$ です。図中の $\pm 100mV$ のリミットは LVDS スタンダードで規定されるスレッショルド・リミットに対応するものであって、実際のデバイスの特性や回路とは関係ありません。現在のデータシートに記載のリミット値は、使用している ATE テスタの制限によって、緩やかな値として記載されています。最近開発された ATE 機器はより細かなステップ・サイズと分解能を備えていますので、第 3 世代のレシーバではより厳格なスレッショルドとして規定されています (例えば DS92CK16 のスレッショルドは $70mV$)。+ $25mV$ の外部バイアスを与えた場合、コモンモード・バイアスが設定される点と低インピーダンス・シャント・パスが得られるという利点と合わせて、およそ $50mV$ のノイズ・マージンが得られます。

まとめ

外部バイアス方式によるフェイルセーフは個々のアプリケーション・ニーズに添った最適なフェイルセーフを実現します。同時に、コモンモード・バイアス点を設定できる利点のほか、結合ノイズの抑制に効果があります。非駆動ステートにおいても他の方式と同等の差動ノイズ・マージン性能が得られます。外部バイアス方式には外付け抵抗が必要となりますが、差動ノイズ・マージンはユーザーが設定できます。LVDS レシーバはスイッチング性能に優れるとともにスレッショルドが厳格に決められているため、外部バイアスで生じる波形歪みはわずかです。

参考資料

1. LVDS オーナーズ・マニュアル、第 3 版、2004 年春、文書番号 550062-003、ナショナル セミコンダクター社
2. The active Fail-safe Feature of the SN65LVDS32B、アプリケーション・ノート、SLLA082A、2000 年 11 月、テキサス・インスツルメンツ社

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上