

LM27212,LM27213

Application Note 1487 Current Mode Hysteretic Buck Regulators



Literature Number: JAJA299

電流モード・ヒステリシス 降圧レギュレータ

National Semiconductor
Application Note 1487
Dongbing Zhang
2006 年 8 月



ナショナル セミコンダクターは、ピーク電流モードのヒステリシス降圧型レギュレータ・コントローラを開発しています (LM27212、LM27213、LM27292 など)。このアーキテクチャは、同じクラスの PWM 方式のデバイスとは異なる特長を備えています。本アプリケーション・ノートでは、ヒステリシス方式のユニークなアーキテクチャを紹介するとともに、設計上のトレードオフを取り上げます。

基本アーキテクチャ

ヒステリシスと PWM はおおまかに言うとタイミングだけが異なります。つまり、コントロール信号 (電流コマンド) によって制御されるトップ・スイッチのオンとオフが違います。言い換えるとインダクタのリプル電流の生成方法が異なっていることです。

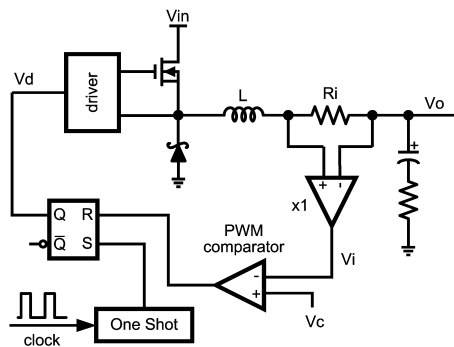


FIGURE 1.

Figure 1 に示す立ち下がりエッジ型の PWM アーキテクチャでは、立ち上がりエッジのタイミング (Figure 2 での t_1 、 t_2 、 t_3 など) は一定のまま、制御電圧 V_c (「電流コマンド」とも呼ばれる) によって立ち下がりエッジのタイミングが設定されています。安定状態で動作しているとき、 V_i のバレー (谷) のレベルはすべて同じ V_2 になります。 V_i のリプル振幅は、 V_{in} 、 V_{out} 、インダクタンスの組み合わせによって決まります。

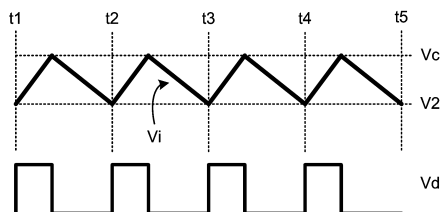


FIGURE 2.

Figure 3 に示すヒステリシス・アーキテクチャでは、エッジのタイミングは両エッジとも変化しますが、インダクタ電流のピークとバレー (Figure 2 での V_c と V_2) は両方とも明示的に制御されています。 t_1 、 t_2 、 t_3 などの間隔が時間的に等しくなっている理由は安定状態で動作しているためです。これは、本質的に可変周波数型のアーキテクチャです。

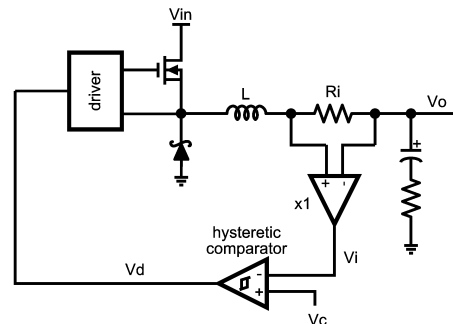


FIGURE 3.

つまり簡潔に述べると、2 つの方式は、必要なインダクタ電流 (例えば V_c) が与えられたときに、スイッチング動作の生成方法が基本的に異なっています。PWM 方式はスイッチング周波数を制御し、ヒステリシス方式は電流リップルの大きさを制御します。なお、ヒステリシス・アーキテクチャには別の名前があって、「リップル・レギュレータ」とも呼ばれます。

両方式ともに制御電圧の変化に対して瞬間に近い応答が実現されています。そのため小信号解析では、ほとんどの場合、インダクタを電圧制御電流源に置き換えられ、Figure 4 に示す単純な制御 - 出力モデルが得られます。

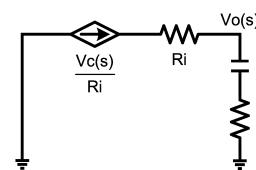


FIGURE 4.

電圧レギュレータ回路の構成上、インダクタ電流を連続的に調整して出力電圧のレギュレーションが維持されるように、制御電圧 V_c は何らかの手段で誤差電圧 (出力電圧を適切な比率で分圧した電圧とリファレンス電圧との差) に応答させる必要があります。Figure 5 にそうした例を示します。

基本アーキテクチャ (つづき)

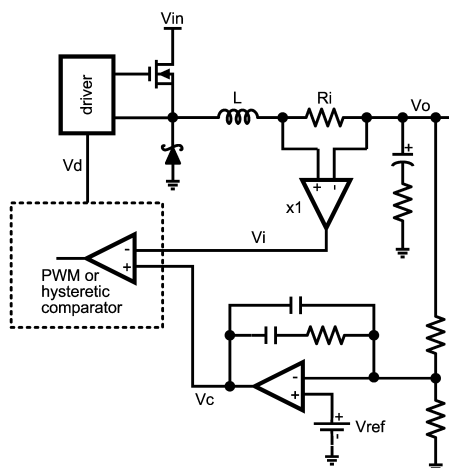


FIGURE 5.

細かく見ていくと、PWM アーキテクチャはスイッチング周波数の半分の周波数に、制御 - インダクタ電流の周波数応答にピークを有します。Figure 6 を参照してください。つまり対象となる周波数がスイッチング周波数に近い場合、インダクタは 1 対 1 の電圧制御電流源ではなく、大きなゲインを有します。

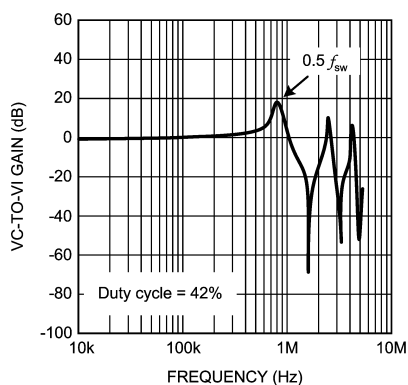


FIGURE 6.

その理由は、 V_c 周波数がスイッチング周波数の半分に近づくと、インダクタ電流のバレー (「自由端」) は、Figure 7 に示すようにサイクルごとに大きく変化するからです。デューティ・サイクルが 50% を超えるとピークは無限の大きさになります。ただしデューティ・サイクルが 50% 未満でも、電圧ループの設計が適切でないと最終ループ・ゲインに 0dB を横切るピークが形成され (Figure 8)、結果としてサブハーモニクス発振が起こります (Figure 9)。

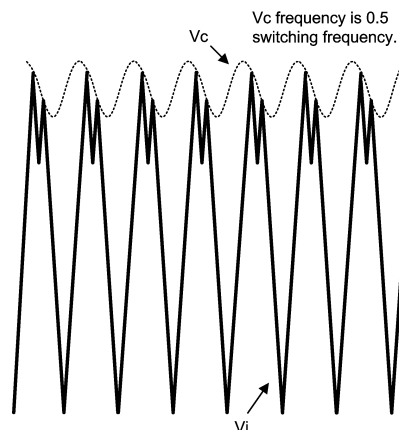


FIGURE 7.

ヒステリシス・アーキテクチャではこのような挙動は起こりません。ピークとバレーは両方とも V_c とそのヒステリシスによって束縛されているので、スイッチング周波数より低い周波数でのゲインは必ず 1 に近くなるからです。小信号の観点からは、制御 - インダクタ電流の特性は本質的には非線形です。そのため、電圧ループ帯域とスイッチング周波数とを接近させた設計が可能であり、PWM レギュレータで必要となるスロープ補償がなくても、50% を超えるデューティ・サイクルで安定して動作します。

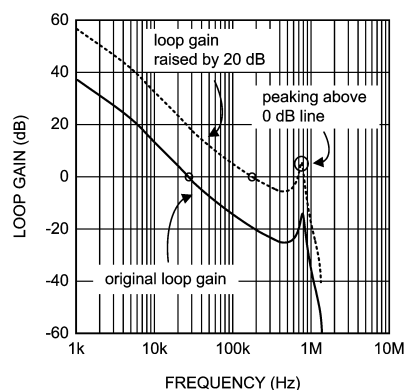


FIGURE 8.

基本アーキテクチャ (つづき)

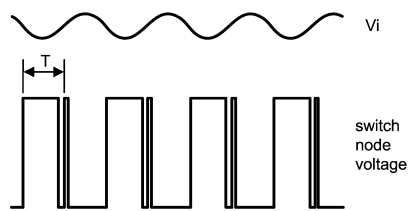


FIGURE 9.

スイッチング周波数

連続モード (CCM) で動作するヒステリシス降圧レギュレータのスイッチング周波数を推測することは難しくありません。ヒステリシス・ウィンドウ、入力電圧と出力電圧、インダクタンス値がわかれば (Figure 10)、スイッチング周波数は理論的に次のように求められます。

$$f = \frac{1}{\frac{2i_h}{S_1} + \frac{2i_h}{S_2}} = \frac{1}{2i_h \cdot L \left(\frac{1}{V_{IN} - V_{OUT}} + \frac{1}{V_{OUT}} \right)}$$

例えば、 $V_{in} = 12V$ 、 $V_{out} = 1.2V$ 、 $L = 1 \mu H$ 、総ヒステリシス・ウィンドウ $2i_h = 6A$ の場合、理論的なスイッチング周波数は次のとおりです。

$$f = \frac{1}{6A \cdot 1 \mu H \left(\frac{1}{12V - 1.2V} + \frac{1}{1.2V} \right)} = 180 \text{ kHz}$$

許容されるリップル電圧の大きさはアプリケーションによらずほぼ同じです (例えば $\pm 10mV$)。ヒステリシス方式には、スイッチング周波数は一定の大きさのリップルが維持される程度に高めればよいというメリットがあります。上記の例で V_{in} が $5V$ であれば、スイッチング周波数は $152kHz$ でよく、スイッチング損失を抑えられます。このような特性は、スイッチング周波数が一定で、 V_{in} 、 V_{out} 、 L の値によってインダクタ電流リップルの大きさが変化する PWM アーキテクチャとは対照的です。

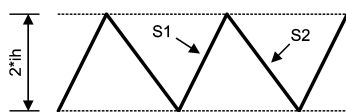


FIGURE 10.

アプリケーションによっては、一部の敏感な周波数帯を避ける目的で、スイッチング周波数を比較的狭い範囲に設定しなければなりません。こうした制約がある場合は、特に V_{in} の変動幅が大きい時に、PWM が 1 つの選択肢となります。

出力にセラミック・コンデンサのみを使って電源回路を設計すると、スイッチング周波数によって出力リップルの大きさが変わります。その理由は、コンデンサのインピーダンスが周波数に連動して $20dB/dec$ の割合で変化するためです。対象となるスイッチング周波数範囲で、出力コンデンサのインピーダンスが ESR 以外によって支配的となっている場合は十分な注意が必要です。

ヒステリシス方式ではスイッチング周波数は制御されず、他の要因も実際の周波数に影響を与えます。その 1 つがシステム遅延です。Figure 11 に示すような遅延 t_d が存在するとスイッチング周波数は下がります。スイッチング周波数を低下させる程度は、 V_{in} 範囲と V_{out} 範囲全域にわたって一定ではありません。ただし元々の周波数が低ければ影響の度合いは小さくなります。遅延自体も一定ではない可能性があります。少なくともコンパレータに起因する遅延は、コンパレータの 2 つの入力がいかに速く互いに近づくかによって決まります。

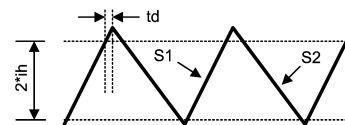


FIGURE 11.

電流センス抵抗の自己インダクタンスも別の要因の 1 つです。メインのインダクタまたはセンス抵抗が十分に大きければ自己インダクタンスの影響は無視できます。この様子は Figure 12 から明らかです。 V_o と V_{sw} の間の電圧は 1 つのパルス列です。メイン・インダクタ L と電流センス抵抗の自己インダクタンス L_r によって、スイッチング周波数以上の周波数帯に分圧回路が形成されます。電流センス抵抗に 2512 サイズの素子を使用した場合、PCB に実装された状態での L_r 値はおよそ $1nH$ です。したがって、 $L = 1 \mu H$ で $V_{in} = 12V$ とすると、 L_r 両端にピーク・ツー・ピークで $12mV$ のパルスが発生します。その結果、抵抗両端の電圧は大きく「跳躍」し、スイッチング周波数を高めてしまいます。バッテリー動作回路のように V_{in} が大きく変化する場合、 V_{in} レベルによってスイッチング周波数に及ぶ「歪み」が変わるため、自己インダクタンスの影響を排除するように努めなければなりません。

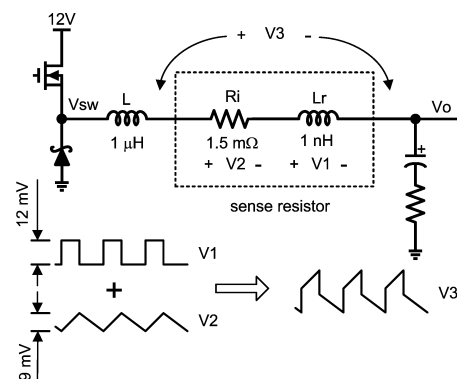


FIGURE 12.

自己インダクタンスの影響を排除するには、Figure 13 に示すような RC ネットワークを追加します。RC ネットワークの時定数が LR ネットワークの時定数と等しければ、コンデンサ両端の電圧は R_i 両端の電圧と正確に等しくなる原理を利用しています。自己インダクタンスの影響はメイン・インダクタが $1 \mu H$ 以下となる大電流低電圧アプリケーションで顕著になります。したがって、温度範囲全域にわたって Figure 13 の式がほぼ成立するように、C0G 特性のコンデンサを推奨します。

スイッチング周波数 (つづき)

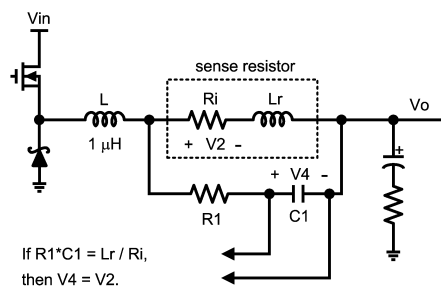


FIGURE 13.

軽負荷動作

非同期降圧レギュレータやダイオード・エミュレーション付きの同期降圧レギュレータなど、負のインダクタ電流が許容されない回路では、負荷電流がクリティカルな導通境界以下に下がるとスイッチング周波数は自動的に低下します。負荷が軽いほどスイッチング周波数は低くなります。負荷電流が 8A から 0.3A に低下したときの例を Figure 14 に示します。このような制御方式では、スイッチング損失が抑えられるため、軽負荷時に高い効率が得られる点が特長です。

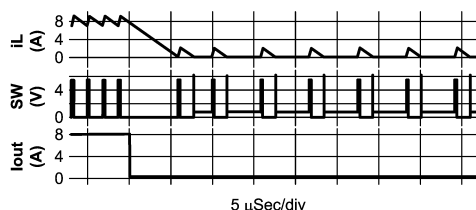


FIGURE 14.

DCM (不連続モード) でのスイッチング周波数は次の式から推定されます。

$$f = \frac{2I_o \cdot (V_{IN} - V_o) \cdot V_o}{(2ih)^2 \cdot L \cdot V_{IN}}$$

PWM アーキテクチャもある程度の追加回路を設ければ、同様のモードが実現されます。PWM の用語では、このようなモードは「パルス・スキップ」モードと呼ばれます。パルス・スキップ回路がない場合は、スイッチング周波数は DCM であっても同一に保たれます。

負荷遷移応答

ヒステリシス・アーキテクチャと PWM アーキテクチャの違いを負荷遷移応答の観点から見ると、最新 CPU で生じる負荷変動のような大規模かつ高速な負荷変動のときのみ差が現れてきます。立ち下がりエッジ変調の PWM の場合、トップ・スイッチがターンオフしたあとは次のサイクルが始まるまでターンオンしません。そのため、いかなる変動事象にも PWM が応答しないデッドタイムが存在します。ヒステリシス方式にはそのようなデッドタイムはありません。同じ負荷ステップ変動に対するそれぞれの応答のわずかな違いを Figure 15 に示します。

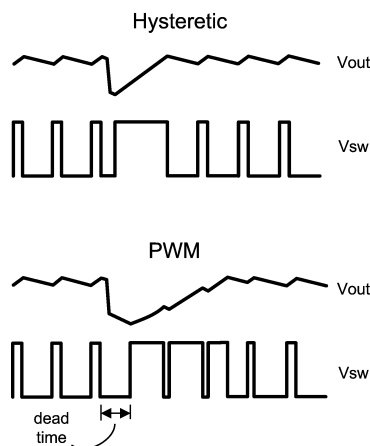


FIGURE 15.

マルチフェーズ動作

ヒステリシス・アーキテクチャはクロックを持たないため、マルチフェーズ動作の実現にはあまり適当ではありません。1つの方法は、2 フェーズ・コントローラである LM27212 と LM27292 で使われているローテーション方式です。Figure 16 に原理を示します。チャネル電流がヒステリシス・ウィンドウの下側スレッショルドに達したら、そのチャネルのトップ・スイッチをターンオンするのではなく、もう一方のチャネルのトップ・スイッチをターンオンする方法です。トップ・スイッチは交互にオンになるとともに、特定のチャネルに対する「差別」が存在しないため、チャネルは時間において均等に割り振られます。

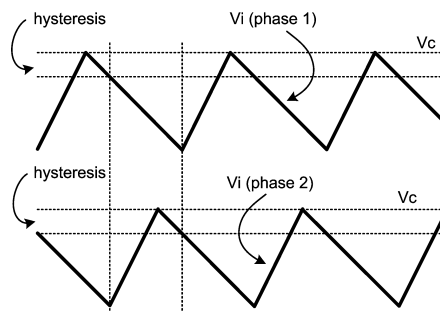


FIGURE 16.

ヒステリシス・コントローラ LM27292 の優れた特長の 1 つが、フェーズ間引きとフェーズ復元機能です。動作を続けた状態で 2 フェーズのうちの 1 つを無効にし、あるいは有効に戻し、負荷レベルが異なる場合でも高い効率を達成します。この機能を実現するにあたって、遷移時に出力電圧が影響を受けないようにしなければなりません。ピーク電流モードのヒステリシス方式は遷移をスムーズにする働きがあります。当社が行なったテストでは、リップルのキャンセル効果またはリップル不足を原因としてリップル電圧がわずかに変化した以外は、フェーズ間引きやフェーズ復元の遷移時に出力電圧が動くことはありませんでした。以上述べたフェーズ・ローテーション方式には、達成できるデューティ・サイクルに制限が存在します。つまり、各フェーズの最大デューティ・サイクルは理論的に $1/n$ となり、ここで n は動作を構成する位相数です。

マルチフェーズ動作 (つづき)

こうした制約からアプリケーションの電圧変換比 (V_{in}/V_{out}) を n 未満にはできません。ナショナル セミコンダクターの LM27213 などのシングル・フェーズ・ヒステリシス・コントローラにはこの制約はありません。2 フェーズ・コントローラの場合は、最大許容デューティ・サイクルは 50% です。このほかに負荷変動応答も検討しなければなりません。大きくて高速なステップ負荷変動が生じた場合に、インダクタ電流は 2 つのフェーズで同時に上昇しないため、パワートレインが生成される応答よりも優れた応答が得られないことがその理由です。ただし多くの場合、特に最新の CPU アプリケーションで、この点は問題になりません。それよりも負荷のステップ変動は両方の方向に対して同じ大きさで発生するため、インダクタ電流を下げるだけの十分な電圧が存在しないステップダウン側の負荷変動の方が課題となります。おおまかに言うと、フェーズ数が変換比の半分未満の場合、ステップダウン側の負荷変動が生じると出力電圧には大きな誤差が生じます (詳細は「付録」参照)。ナショナル セミコンダクターの 2 フェーズ・ヒステリシス・コントローラを使用した電圧変換比が 4 を超えているアプリケーションでは、ステップダウン側の負荷変動がステップアップ側の変動に比べて出力電圧の誤差は大きくなります。負荷変動が最新 CPU ほど強くないアプリケーションではこの問題の影響はわずかであり、課題として考慮する必要はありません。

付録

出力電圧の誤差の観点から、ステップアップ側の負荷変動とステップダウン側の負荷変動のいずれがワーストケースになるかをおおまかに求めるには、以下のガイドラインを使って導出します。

なお、任意の瞬間では、1 フェーズだけがインダクタ電流をランプアップし、残りのフェーズがインダクタ電流をランプダウンする動作を前提にしています。

ステップアップ負荷変動の場合、全インダクタによって供給される総電流は、

$$V_{in}/L - V_o/L \times n$$

または

$$V_{in}/L \times (1-D \times n)$$

n は位相数、 D は安定状態動作時のデューティ・サイクルです。

ステップダウン負荷変動の場合、全インダクタによって吸収される総電流は、

$$V_o/L \times n$$

または

$$V_{in}/L \times D \times n$$

したがって、ステップダウン側の負荷変動がワーストケースになるには、次の式が成立する必要があります。

$$V_{in}/L \times (1-D \times n) > V_{in}/L \times D \times n$$

または

$$n < 0.5/D$$

または

$$n < 0.5 \times r$$

r は $1/D$ に等しい変換比です。

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上