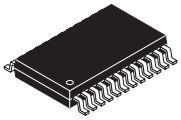
参 考 資 料

TEXAS INSTRUMENTS



TPA3001D1PWP

JAJS105 WAS SLOS446

20Wモノラル D級オーディオ・パワーアンプ

特　長

- 20Wモノラル出力(18V電源、8Ω負荷、10% THD+N)
- 短絡保護回路(V_{CC}との短絡、GNDとの短絡、出力間短絡)
- 第3世代の変調技術：
  - — ほとんどのアプリケーションで、大型LCフィルタを小型かつ低価格のフェライトビーズ・フィルタへ置換
  - — 改善された効率
  - — 改善されたSN比
- 低電源電流 ..... 8mA(12V時の代表値)
- シャットダウン制御 ..... < 1μA(代表値)
- 省スペース、熱的に強化されたパワーパッド(PowerPAD™)パッケージ

アプリケーション

- LCDモニター/テレビ
- ハンズフリーのカーキット
- パワー・スピーカー

解　説

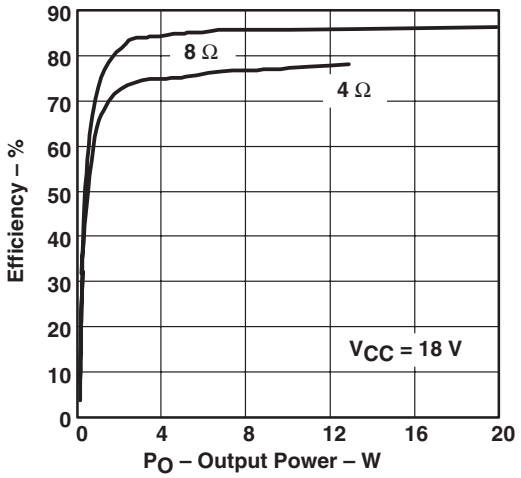
TPA3001D1は、ブリッジ結合型負荷(BTL)用の高効率な20WモノラルD級オーディオ・アンプであり、ヒートシンクが不要です。TPA3001D1は4Ω以上のスピーカーを駆動でき、EMI低減のためのフェライトビーズのみが必要です。

アンプのゲインはGAIN1およびGAIN0の2端子で制御されます。これによって、アンプのゲインを12, 18, 23.6, および36dBに設定できます。差動入力段により、高同相モード除去比および電源除去比の改善を実現します。

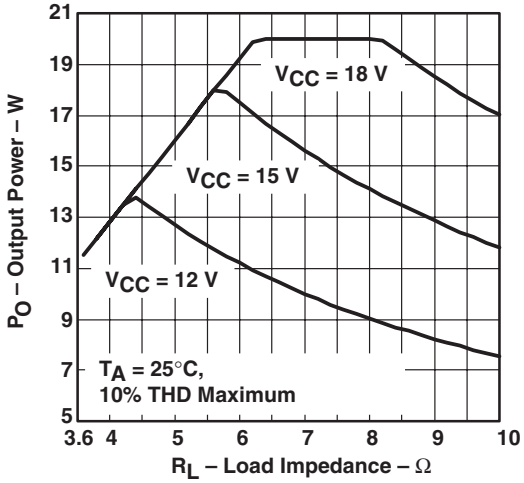
また本アンプにはボツ音除去回路があり、電源投入時や$\overline{\text{SHUTDOWN}}$信号の再入力時のボツ音量を低減します。

TPA3001D1は熱的に強化された24ピンTSSOPパッケージ(PWP)で入手できるため、外付けのヒートシンクが不要になります。

効率 対 出力電力



最大出力電力 対 負荷インピーダンス



SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TEXAS INSTRUMENTS

SLOS398 翻訳版

AVAILABLE OPTIONS

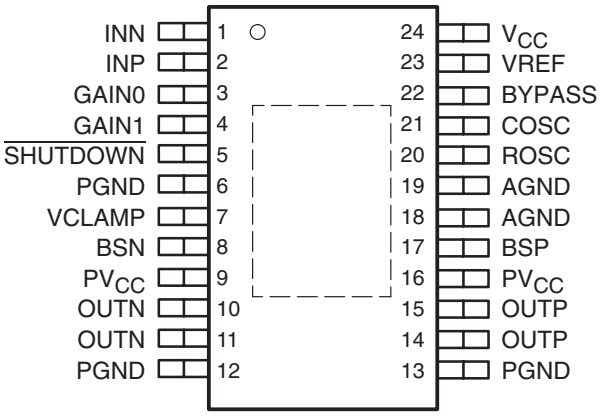
T_A	PACKAGED DEVICES
	TSSOP (PWP)†
–40°C to 85°C	TPA3001D1PWP

† The PWP package is available taped and reeled. To order a taped and reeled part, add the suffix R to the part number (e.g., TPA3001D1PWPR).

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

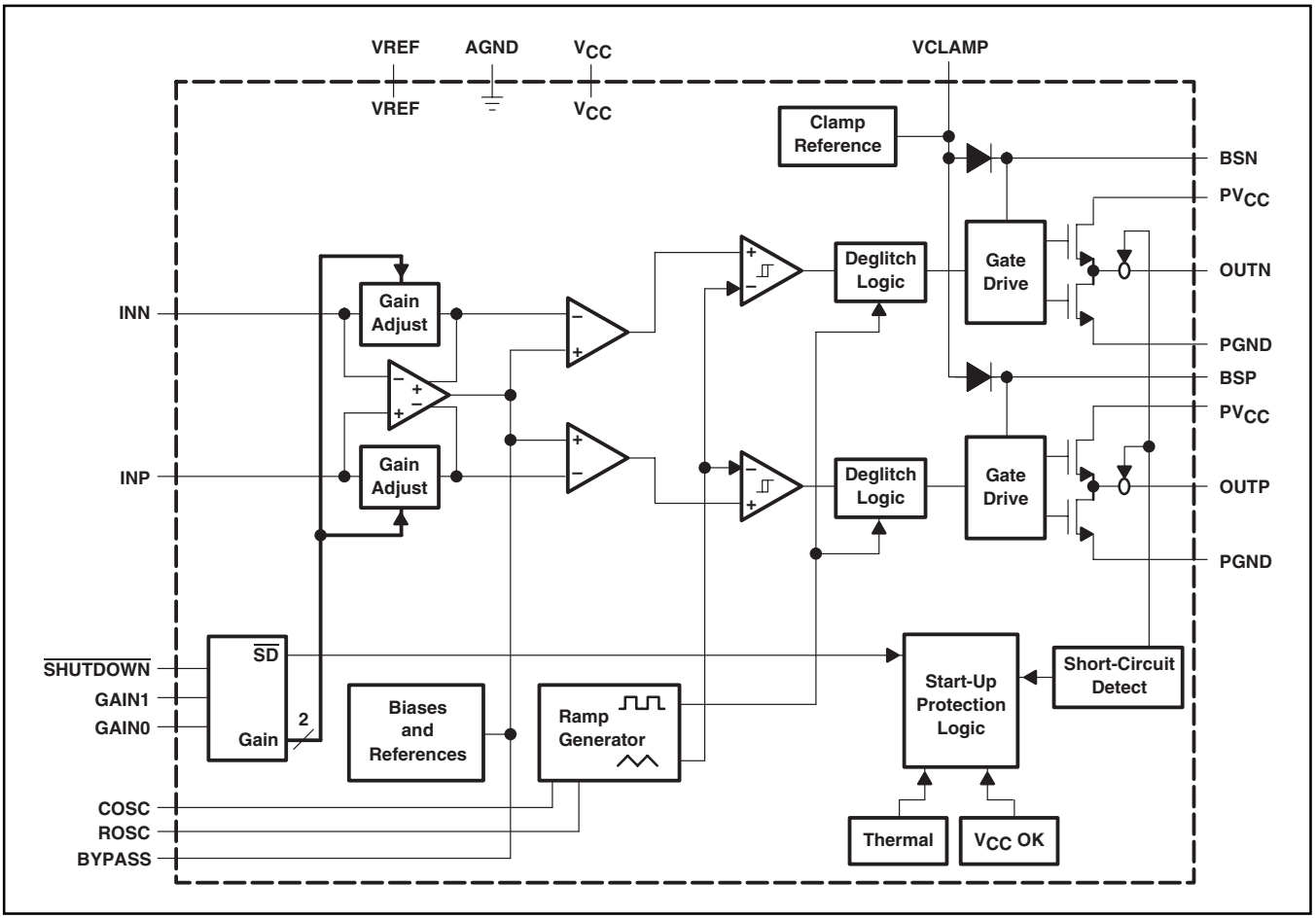
PWP PACKAGE
(TOP VIEW)



端子機能表

端子名	番号	I/O	機能
AGND	18,19	―	アナログ・グランドのピン
BSN	8	I	負BTL出力のハイサイド・ゲートをドライブするブート・ストラップのピン(0.22µFのコンデンサと51Ωの抵抗を、OUTNからBSN間に直列接続する)
BSP	17	I	正BTL出力のハイサイド・ゲートをドライブするブート・ストラップのピン(0.22µFのコンデンサと51Ωの抵抗を、OUTPからBSP間に直列接続する)
BYPASS	22	I	1µFのコンデンサを本ピンとグランド間に接続し、BYPASS電圧をフィルタする。
COSC	21	I	220pFのコンデンサを本ピンとグランド間に接続し、発振周波数(250kHz)を設定する。
GAIN0	3	I	ゲイン制御のビット0(ゲイン設定は表1参照)
GAIN1	4	I	ゲイン制御のビット1(ゲイン設定は表1参照)
INN	1	I	負差動入力
INP	2	I	正差動入力
OUTN	10,11	O	負BTL出力(ショットキー・ダイオードをPGNDからOUTNへ接続して、短絡保護をする)
OUTP	14,15	O	正BTL出力(ショットキー・ダイオードをPGNDからOUTPへ接続して、短絡保護をする)
PGND	6,12,13	―	パワー・グランド
PV_{CC}	9,16	I	高電圧電源(出力段用)
ROSC	20	I	120kΩの抵抗を接続し、発振周波数(250kHz)を設定する。
$\overline{\text{SHUTDOWN}}$	5	I	シャットダウン用のピン(負論理)。TTL互換入力。21V耐圧
V_{CC}	24	I	アナログ高電圧電源
VCLAMP	7	O	1µFのコンデンサを本ピンとグランド間に接続し、Hブリッジ・ゲート用の基準電圧を供給する。
VREF	23	O	制御回路用の5V内部レギュレータ(0.1µFから1µFのコンデンサを本ピンとグランド間に接続する)

ファンクション・ブロック図



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage: V_{CC}, PV_{CC} ..... –0.3V to 21V
Load impedance, R_L ..... ≥3.6Ω
Input voltage: $\overline{\text{SHUTDOWN}}$ ..... –0.3V to V_{CC} + 0.3V
GAIN0, GAIN1 ..... –0.3V to 5.5V
INN, INP ..... –0.3V to 7V
Continuous total power dissipation ..... (see Dissipation Rating Table)
Operating free-air temperature range, T_A ..... –40°C to 85°C
Operating junction temperature range, T_J ..... –40°C to 150°C
Storage temperature range, T_{stg} ..... –65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds ..... 260°C

† Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$	DERATING FACTOR	$T_A = 70°C$	$T_A = 85°C$
PWP	4.16W	33.33 mW/°C‡	2.67W	2.16W

‡ The PowerPAD must be soldered to a thermal land on the printed circuit board. Please refer to the PowerPAD Thermally Enhanced Package application note (SLMA002).

recommended operating conditions

		MIN	MAX	UNIT
Supply voltage, V_{CC}, PV_{CC}	$R_L \geq 3.6\ \Omega$†	8	18	V
Load impedance, R_L		3.6		Ω
High-level input voltage, V_{IH}	GAIN0, GAIN1, $\overline{\text{SHUTDOWN}}$	2		V
Low-level input voltage, V_{IL}	GAIN0, GAIN1, $\overline{\text{SHUTDOWN}}$		0.8	V
Operating free-air temperature, T_A		–40	85	°C

† The TPA3001D1 must not be used with any speaker or load (including speaker with output filter) that could vary below 3.6 Ω over the audio frequency band.

electrical characteristics at T_A = 25°C, PV_{CC} = V_{CC} = 12V(unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$\lvert V_{OS} \rvert$	Output offset voltage (measured differentially)	V_I = 0V,	A_V = 12dB, 18, 23.6dB			50	mV
		V_I = 0V,	A_V = 36dB			100	
PSRR	Power supply rejection ratio	PV_{CC} = 11.5V to 12.5V		–73		dB	
$\lvert I_{IH} \rvert$	High-level input current	PV_{CC} = 12V,	$V_I = PV_{CC}$			1	µA
$\lvert I_{IL} \rvert$	Low-level input current	PV_{CC} = 12V,	V_I = 0V			1	µA
I_{CC}	Supply current	$\overline{\text{SHUTDOWN}}$ = 2.0V,	No load		8	15	mA
		$\overline{\text{SHUTDOWN}}$ = V_{CC}, P_O = 20W,	V_{CC} = 18V, R_L = 8Ω		1.3		A
$I_{CC(SD)}$	Supply current, shutdown mode	$\overline{\text{SHUTDOWN}}$ = 0.8V			1	2	µA
f_S	Switching frequency	R_{OSC} = 120kΩ,	C_{OSC} = 220 pF		250		kHz
$r_{ds(on)}$	Output transistor on resistance (total)	I_O = 1A,	T_J = 25°C	0.2	0.3	0.7	Ω
G	Gain	GAIN1 = 0.8V,	GAIN0 = 0.8V	10.9	12	12.8	dB
		GAIN1 = 0.8V,	GAIN0 = 2V	17.1	18	18.5	dB
		GAIN1 = 2V,	GAIN0 = 0.8V	23	23.6	24.3	dB
		GAIN1 = 2V,	GAIN0 = 2V	33.9	36	36.5	dB

operating characteristics, PV_{CC} = V_{CC} = 12V, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
P_O	Continuous output power at 10% THD+N	f = 1kHz,	R_L = 4Ω		12.8		W
		f = 1kHz,	R_L = 8Ω		9		
	Continuous output power at 1% THD+N	f = 1kHz,	R_L = 4Ω		10.3		
		f = 1kHz,	R_L = 8Ω		7.2		
THD+N	Total harmonic distortion plus noise	P_O = 10W, R_L = 4 Ω,	f = 20Hz to 20kHz		0.2%		
B_{OM}	Maximum output power bandwidth	THD = 1%			20		kHz
k_{SVR}	Supply ripple rejection ratio	f = 1kHz,	$C_{(BYPASS)}$ = 1µF		–70		dB
SNR	Signal-to-noise ratio	P_O = 10W,	R_L = 4Ω		95		dB
V_n	Noise output voltage	$C_{(BYPASS)}$ = 1µF, No weighting filter used,	f = 20Hz to 22kHz, Gain = 12dB		86		µV(rms)
					–81		dBV
		$C_{(BYPASS)}$ = 1µF, A-weighted filter,	f = 20Hz to 22kHz, Gain = 12dB		66		µV(rms)
					–84		dBV
Z_i	Input impedance	See Table 1, page 21			>23		kΩ

TEXAS INSTRUMENTS

operating characteristics, $PV_{CC} = V_{CC} = 18V$, $T_A = 25°C$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
P_O	Output power at 10% THD+N	f = 1kHz,	$R_L = 4\Omega$		12.8		W
		f = 1kHz,	$R_L = 8\Omega$		20		
	Output power at 1% THD+N	f = 1kHz,	$R_L = 4\Omega$		10.3		
		f = 1kHz,	$R_L = 8\Omega$		16		
THD +N	Total harmonic distortion plus noise	$P_O = 15W$, $R_L = 8\Omega$	f = 20Hz to 20kHz		1%		
		$P_O = 2W$, $R_L = 8\Omega$	f = 20Hz to 20kHz		0.3%		
B_{OM}	Maximum output power bandwidth	THD = 1%			20		kHz
k_{SVR}	Supply ripple rejection ratio	f = 1kHz,	$C_{BYPASS} = 1\mu F$		–70		dB
SNR	Signal-to-noise ratio	$P_O = 15W$, $R_L = 8\Omega$			102		dB
V_n	Noise output voltage	$C_{(BYPASS)} = 1\mu F$, No weighting filter used,	f = 20Hz to 20kHz, Gain = 12dB		86		μV(rms)
					–81		dBV
		$C_{(BYPASS)} = 1\mu F$, A-weighted filter,	f = 20Hz to 22kHz, Gain = 12dB		66		μV(rms)
					–84		dBV
Z_i	Input impedance	See Table 1, page 21			>23		kΩ

TYPICAL CHARACTERISTICS

Table of Graphs

			FIGURE
	Efficiency	vs Output power	1
P_O	Output power	vs Load Impedance	2, 3, 4
I_{CC}	Supply current	vs Supply voltage	5
$I_{CC(SD)}$	Shutdown current		6
THD+N	Total harmonic distortion + noise	vs Output power	7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18
		vs Frequency	19, 20, 21, 22, 23, 24, 25
k_{SVR}	Supply voltage rejection ratio	vs Frequency	26
	Gain and phase		27
CMRR	Common-mode rejection ratio		28
V_{IO}	Input offset voltage	vs Common-mode input voltage	29

標準的な特性

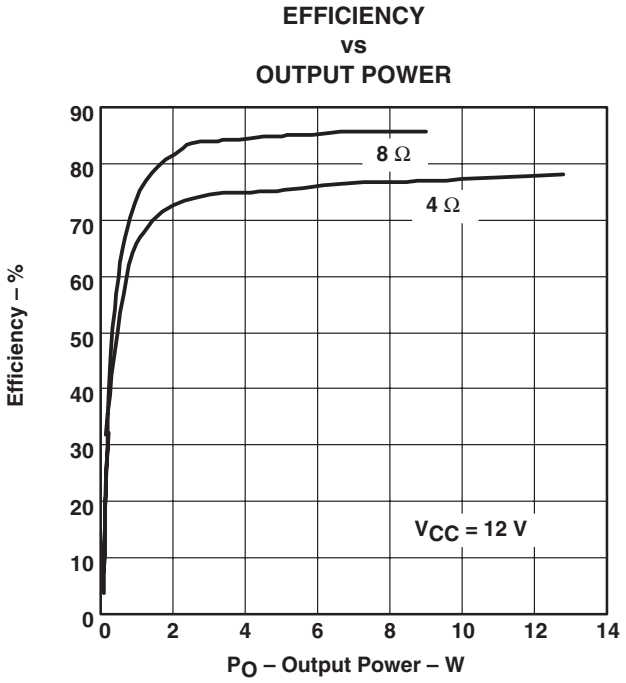


図1

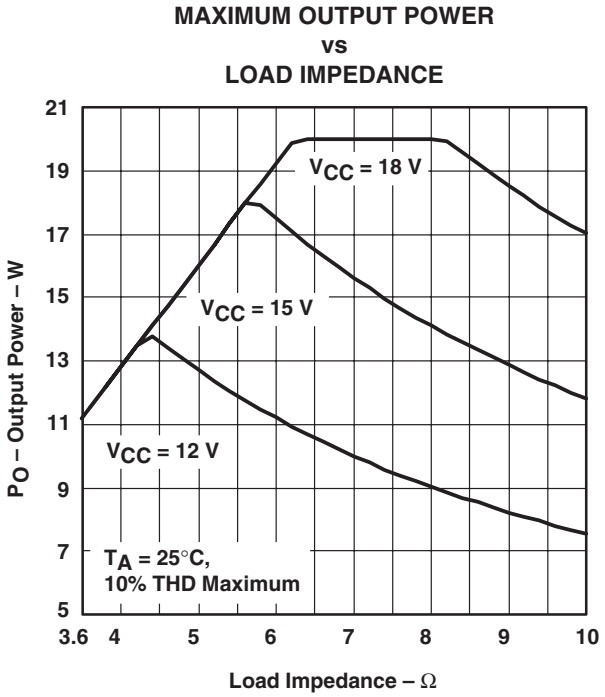


図2

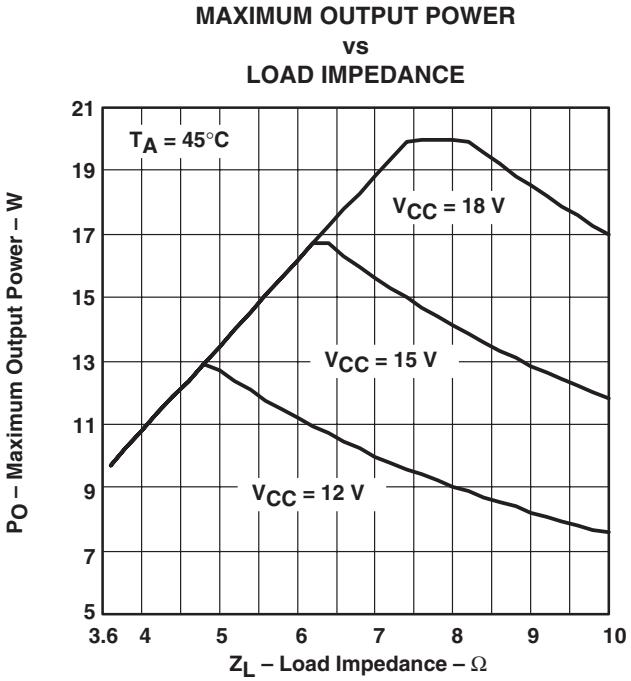


図3

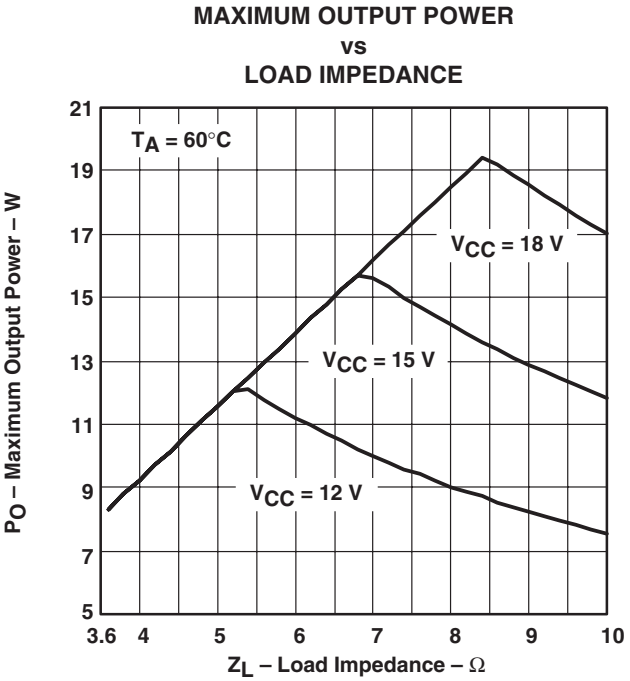


図4

標準的な特性

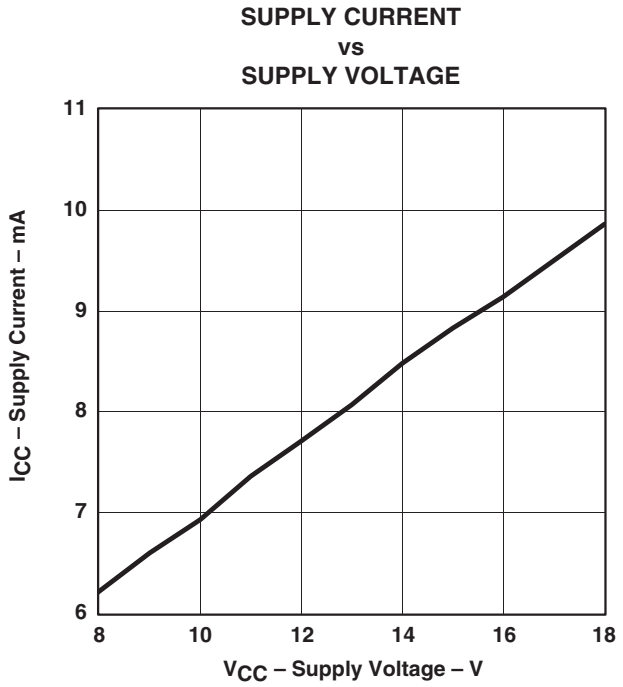


図5

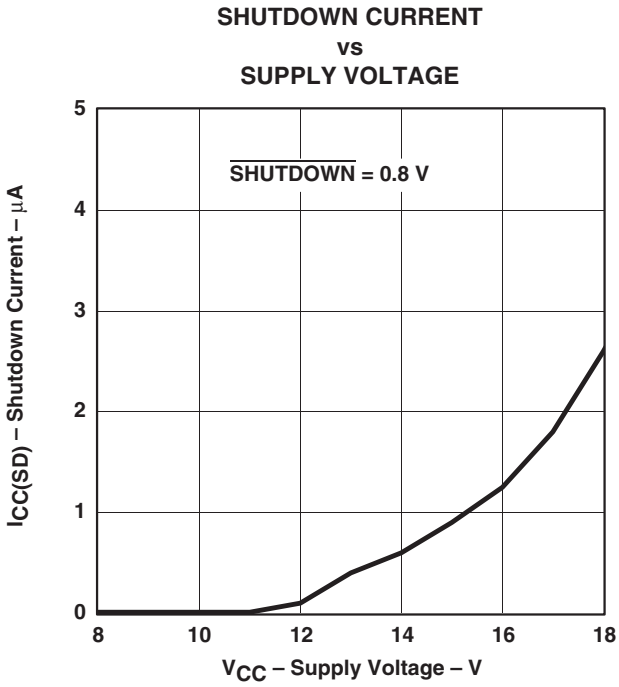


図6

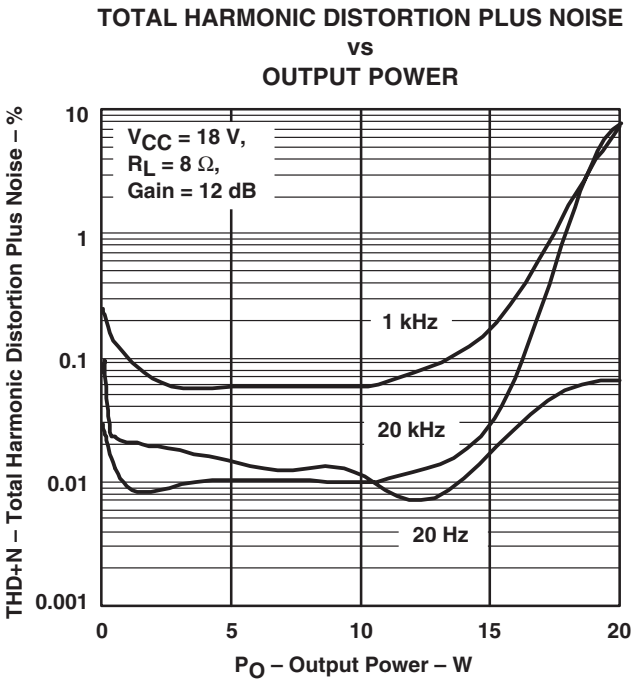


図7

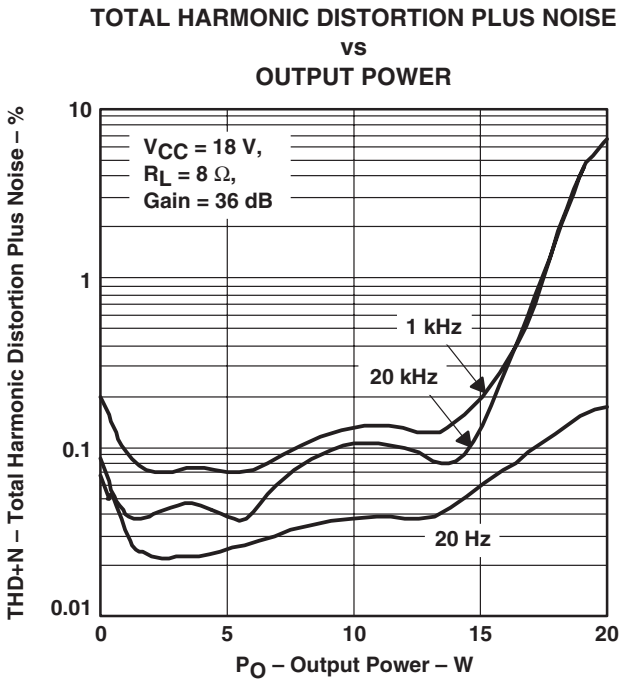


図8

標準的な特性

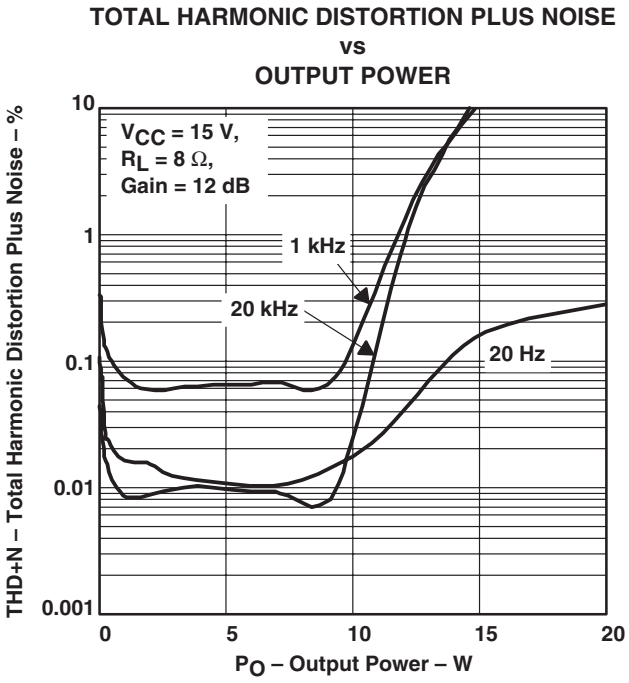


図9

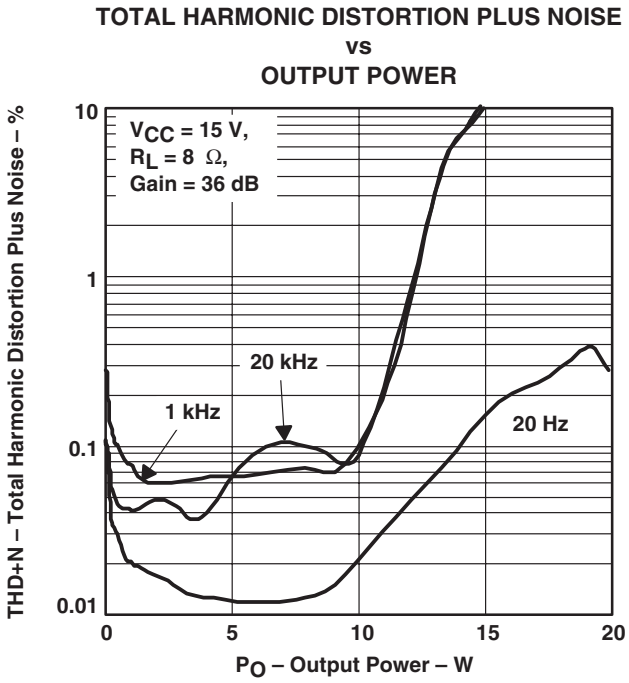


図10

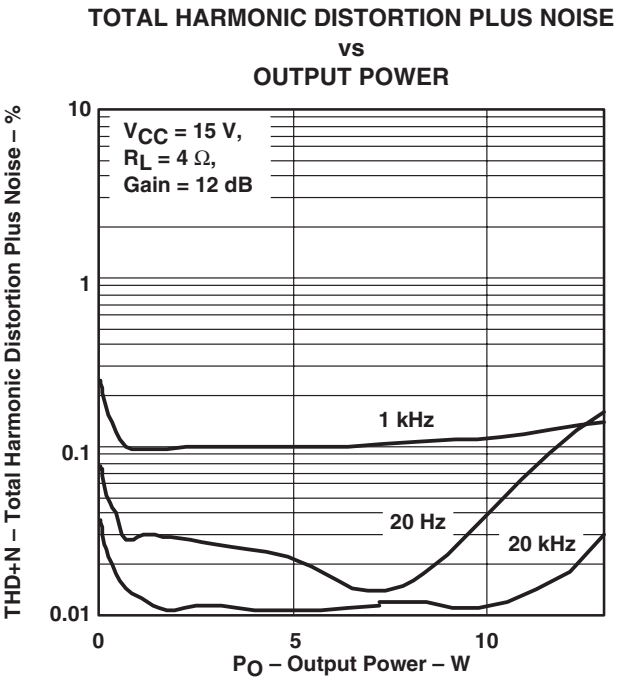


図11

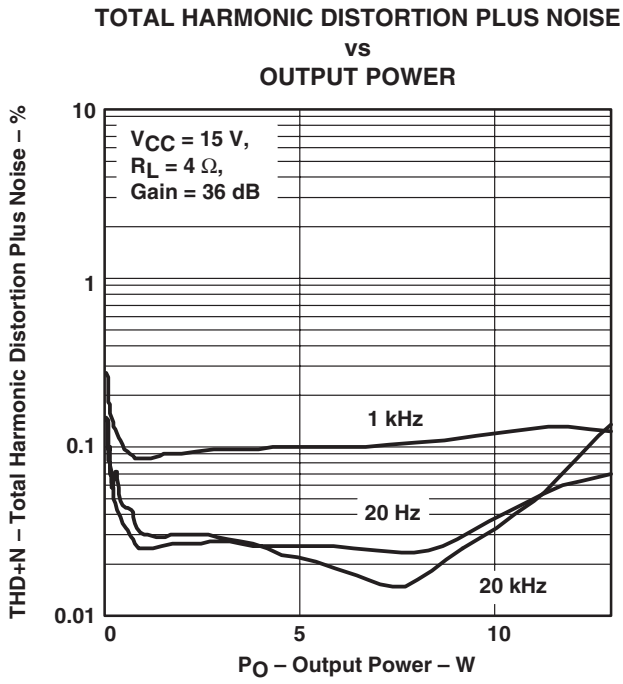


図12

TEXAS INSTRUMENTS

標準的な特性

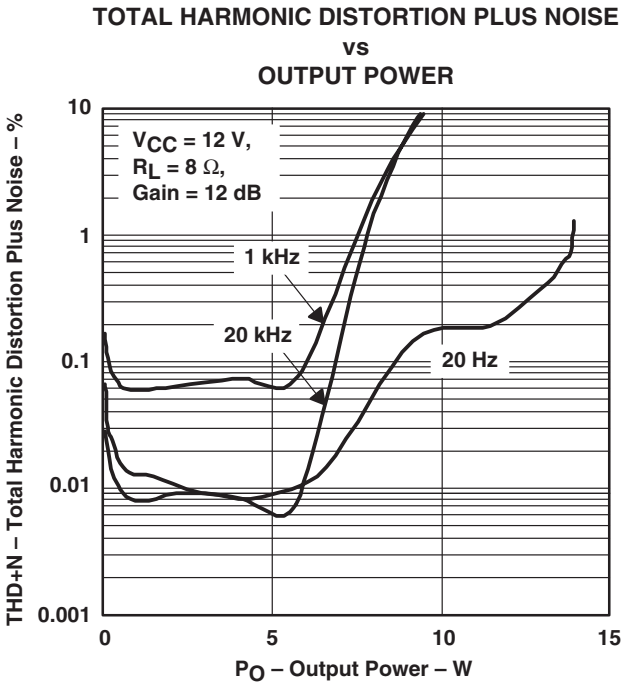


図13

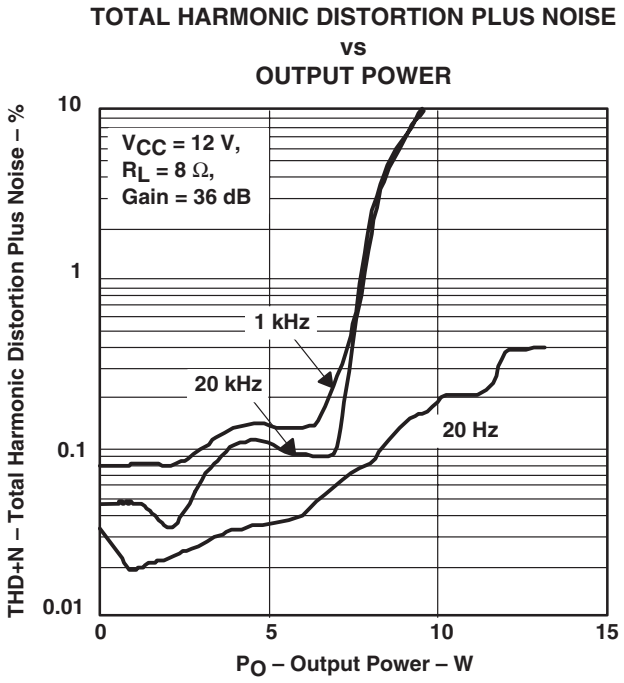


図14

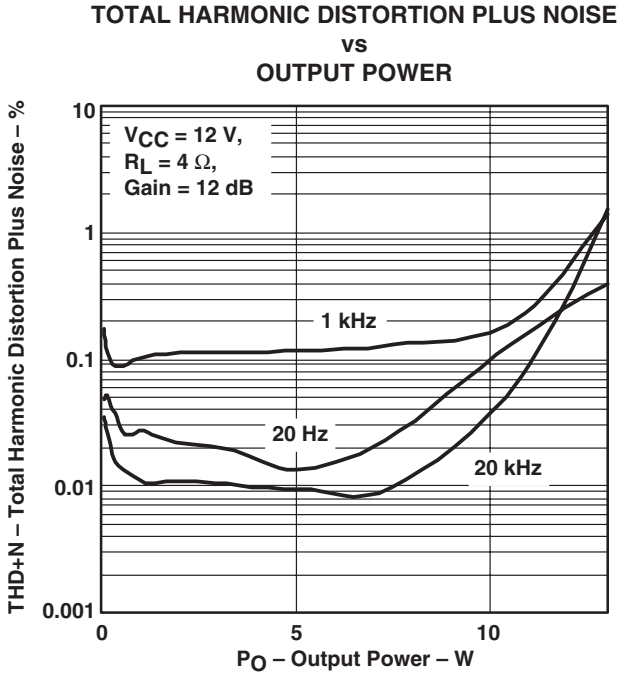


図15

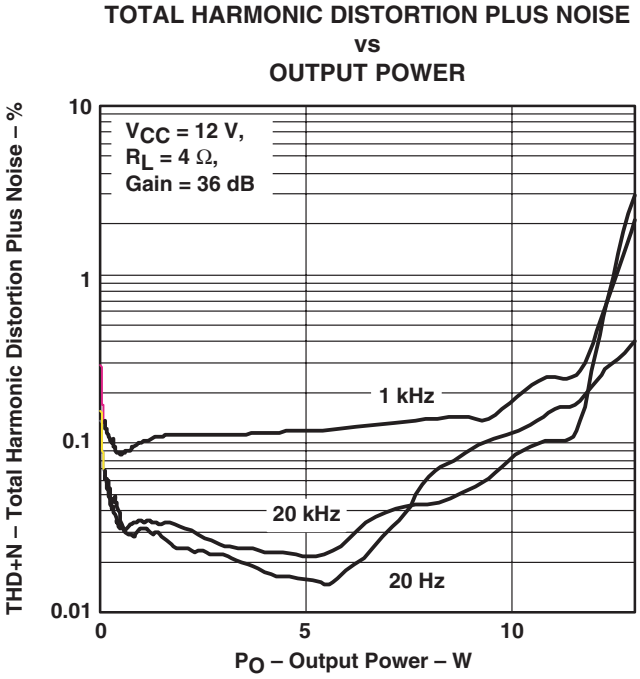


図16

標準的な特性

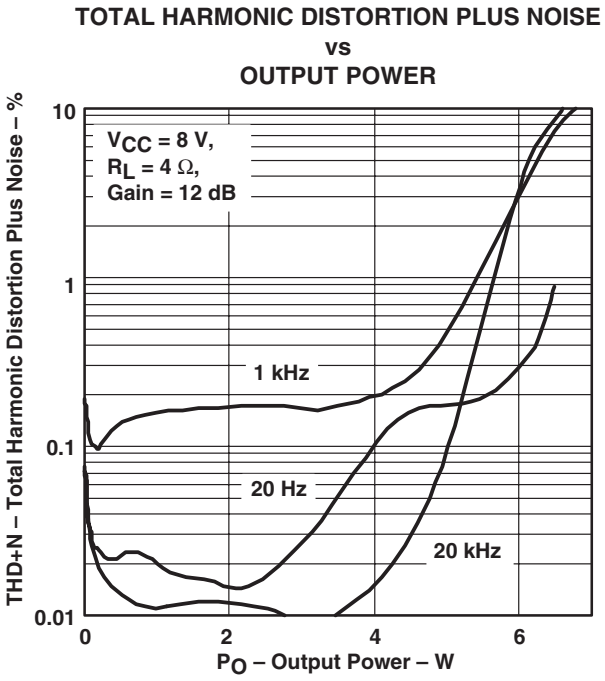


図17

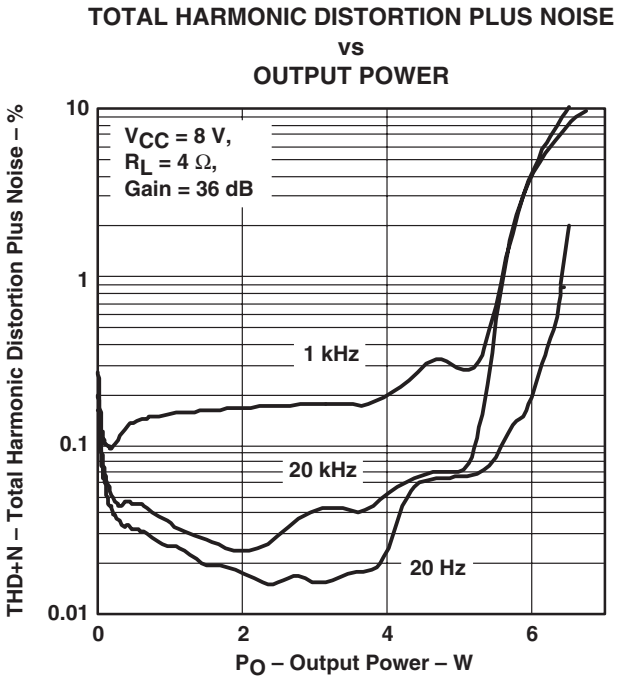


図18

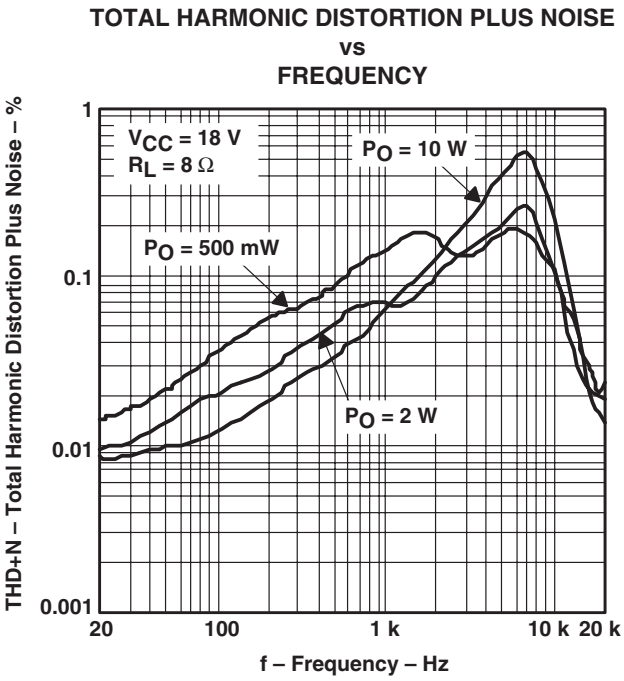


図19

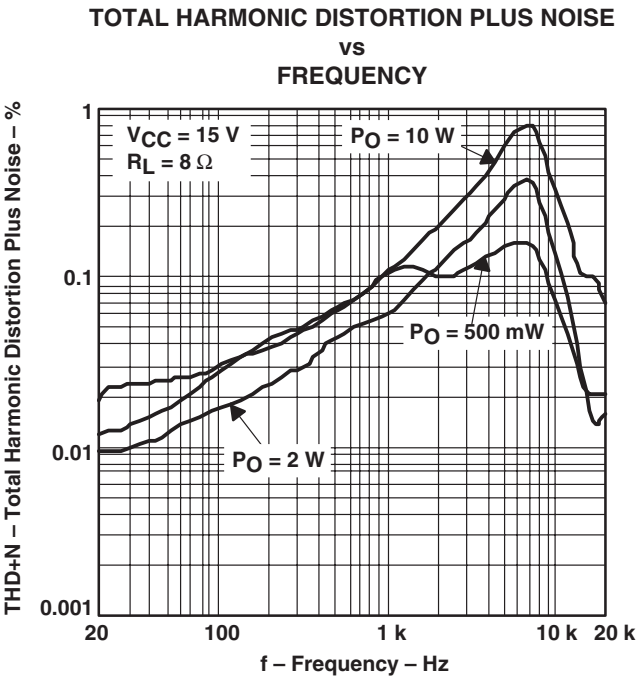


図20

標準的な特性

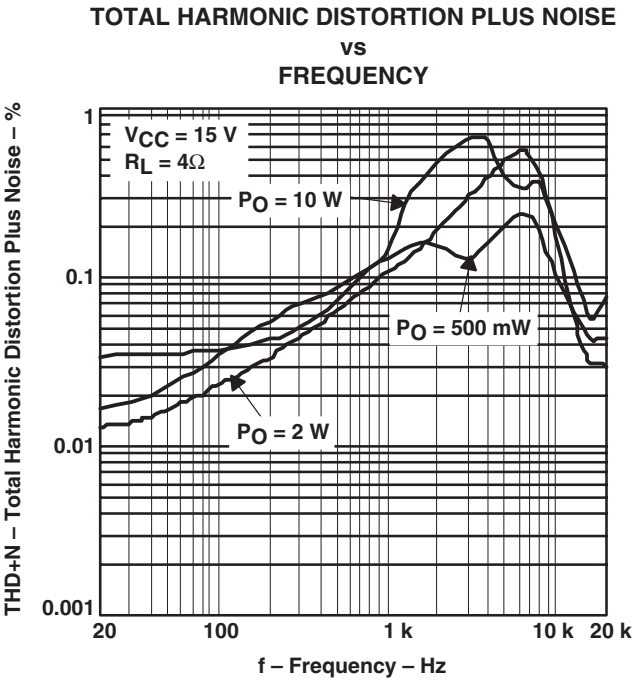


図21

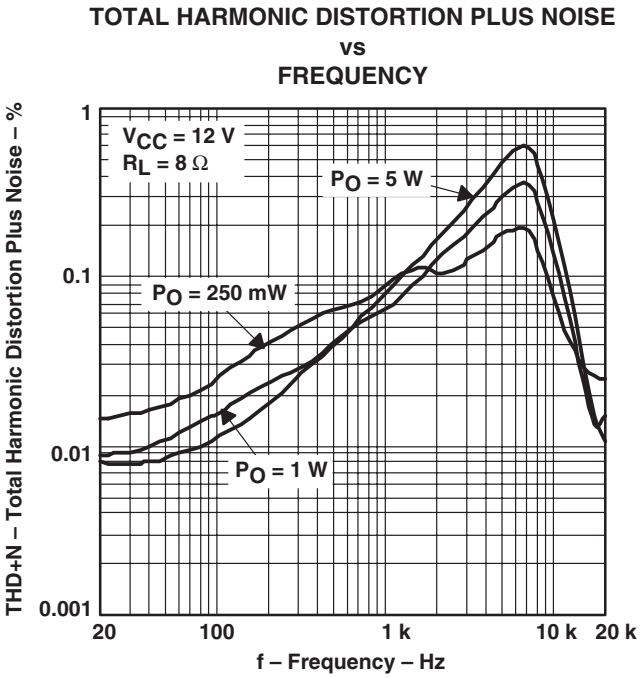


図22

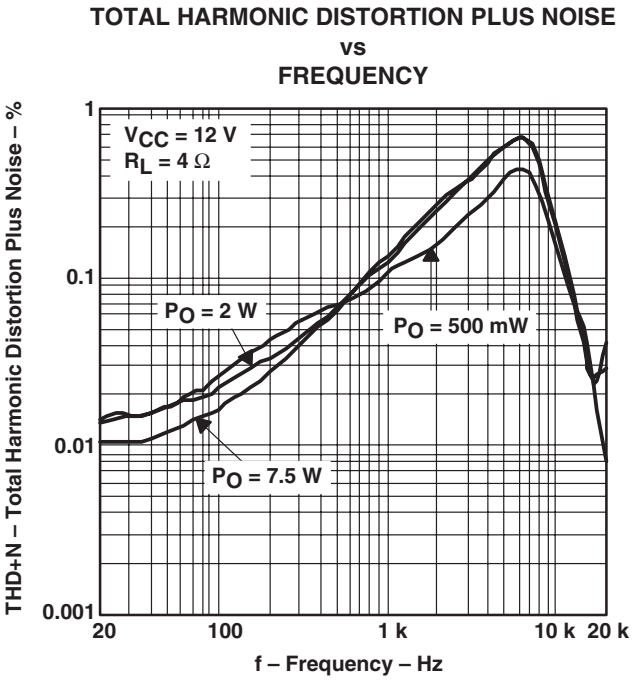


図23

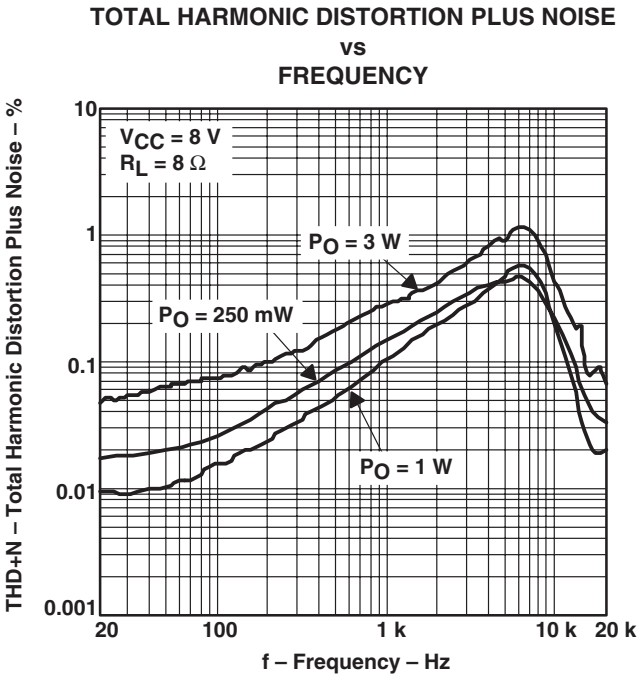


図24

標準的な特性

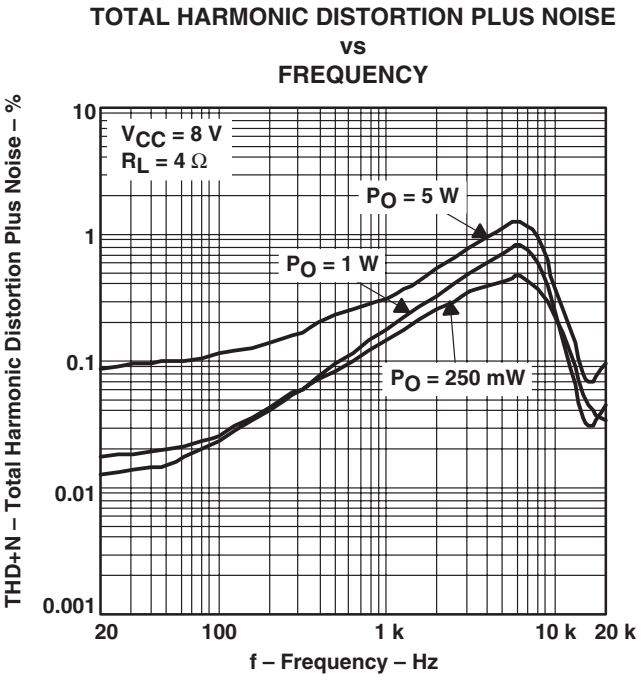


図25

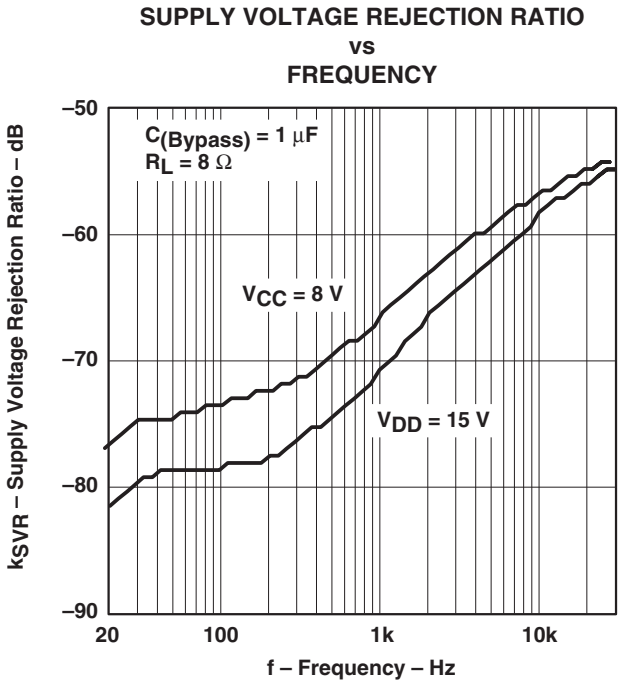


図26

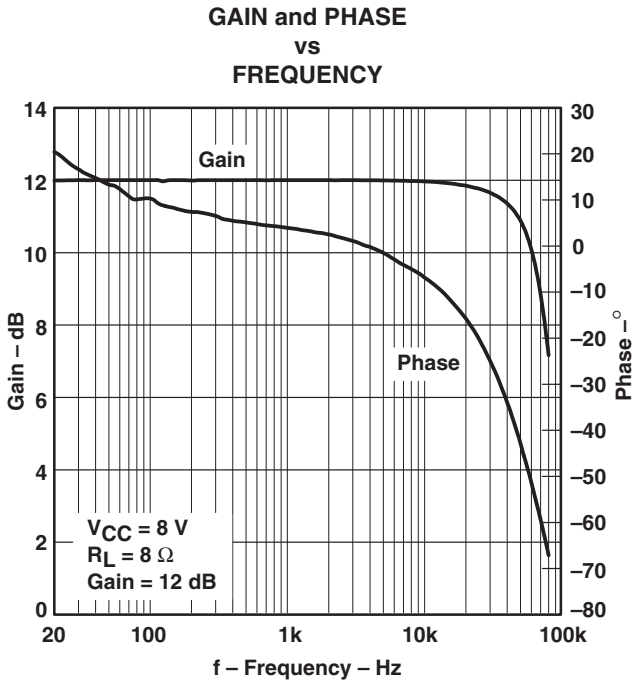


図27

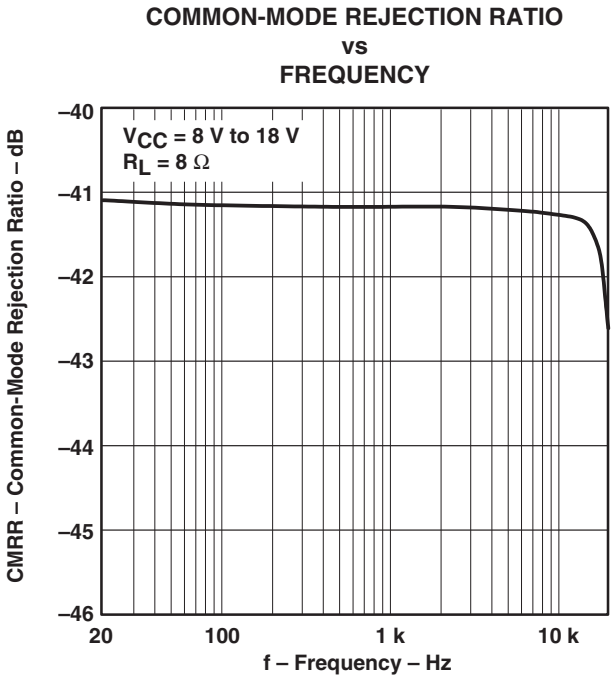


図28

TEXAS INSTRUMENTS

標準的な特性

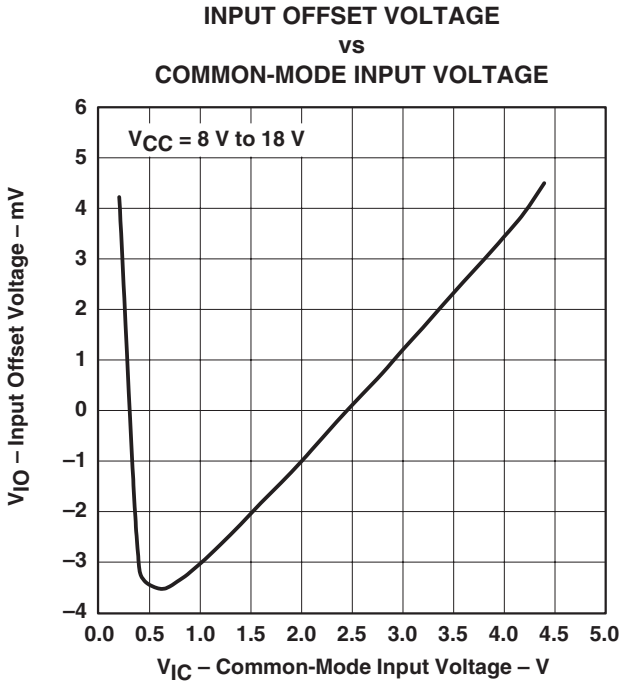

INPUT OFFSET VOLTAGE
vs
COMMON-MODE INPUT VOLTAGE
VCC = 8 V to 18 V
VIO – Input Offset Voltage – mV
6
5
4
3
2
1
0
–1
–2
–3
–4
0.0
0.5
1.0
1.5
2.0
2.5
3.0
3.5
4.0
4.5
5.0
VIC – Common-Mode Input Voltage – V

図29

APPLICATION INFORMATION

application circuit

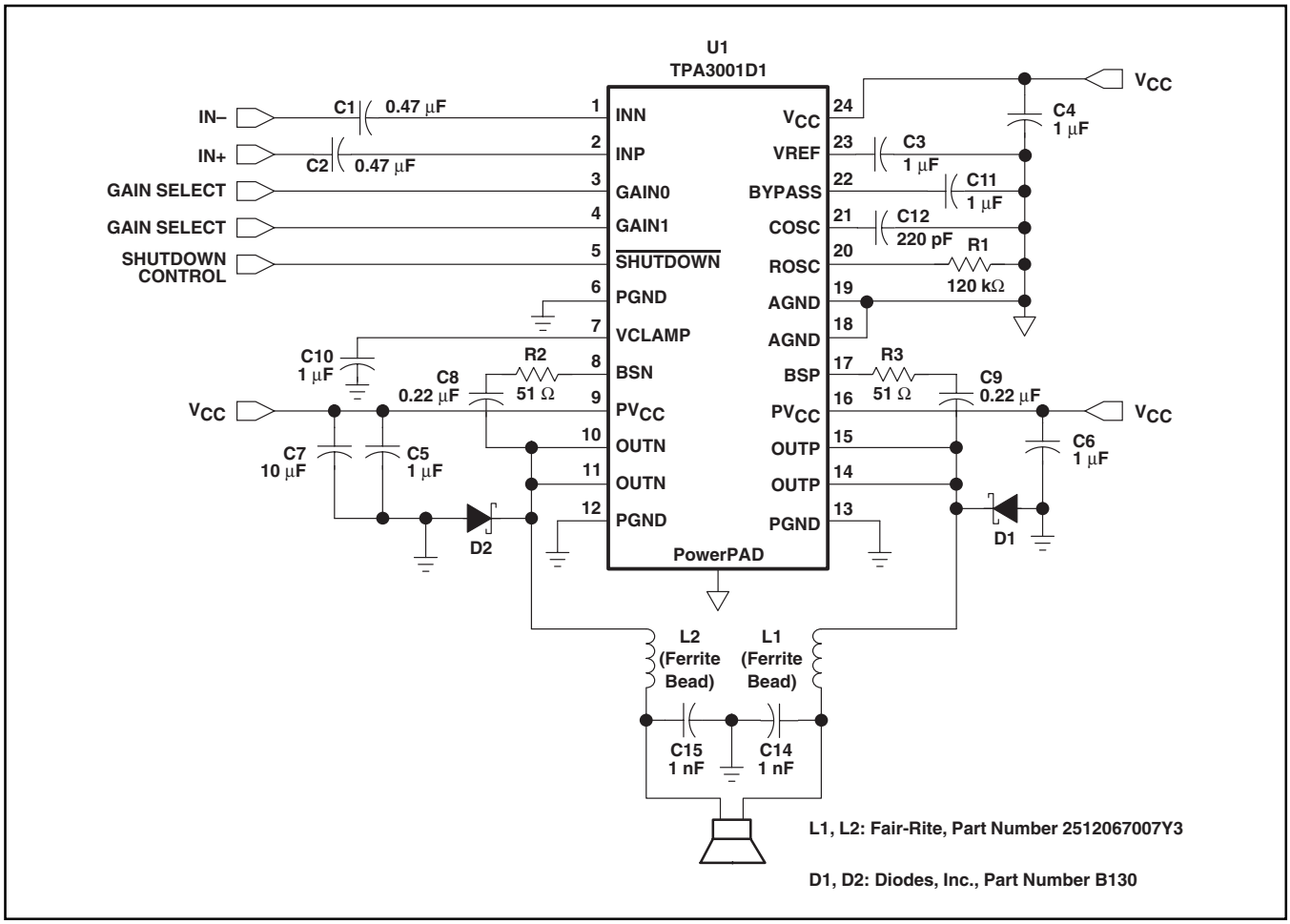


図30. 標準回路例

D級動作

本節ではTPA3001D1のD級動作について述べます。

従来のD級変調手法

従来のD級変調手法は、TPA032D0xファミリーで用いられていますが、位相が互いに180° ずれた差動出力であり、グランドから電源電圧V_{CC}まで変化します。したがって、フィルタ前の差動出力は正負の電源電圧間で変化し、フィルタされた50%のデューティサイクルで負荷に0Vがかかります。従来のD級変調手法を図31に示します。負荷に平均で0V(50%デューティサイクル)が印加されるとは言っても、負荷電流は大きく、大きな損失を生じ、大電源電流になることに注意願います。

TPA3001D1の変調手法

TPA3001D1でも、両出力がグランドからV_{CC}までスイッチングする変調手法を使用しています。しかし、OUTPとOUTNは無入力時に相互に同相となります。そして、正出力電圧時のOUTPのデューティサイクルは50%以上であり、OUTN出力は50%以下になります。同様に、負出力電圧時のOUTPのデューティサイクルは50%以下であり、OUTN出力は50%以上になります。負荷にかかる電圧は大部分のスイッチング期間を通して0Vになり、スイッチング電流が激減し、負荷におけるI^2R損失(抵抗性の損失)を低減します(次ページの図32を参照願います)。

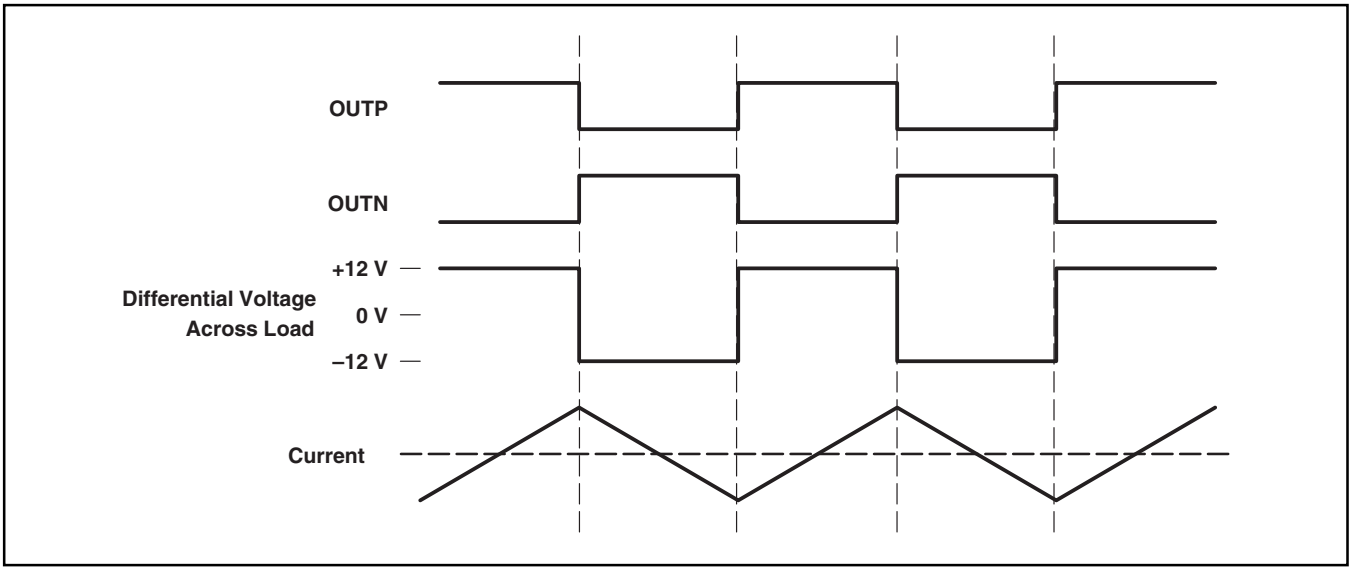


図31. 従来のD級変調手法の、誘導性負荷に対する無信号入力時の出力電圧·電流波形

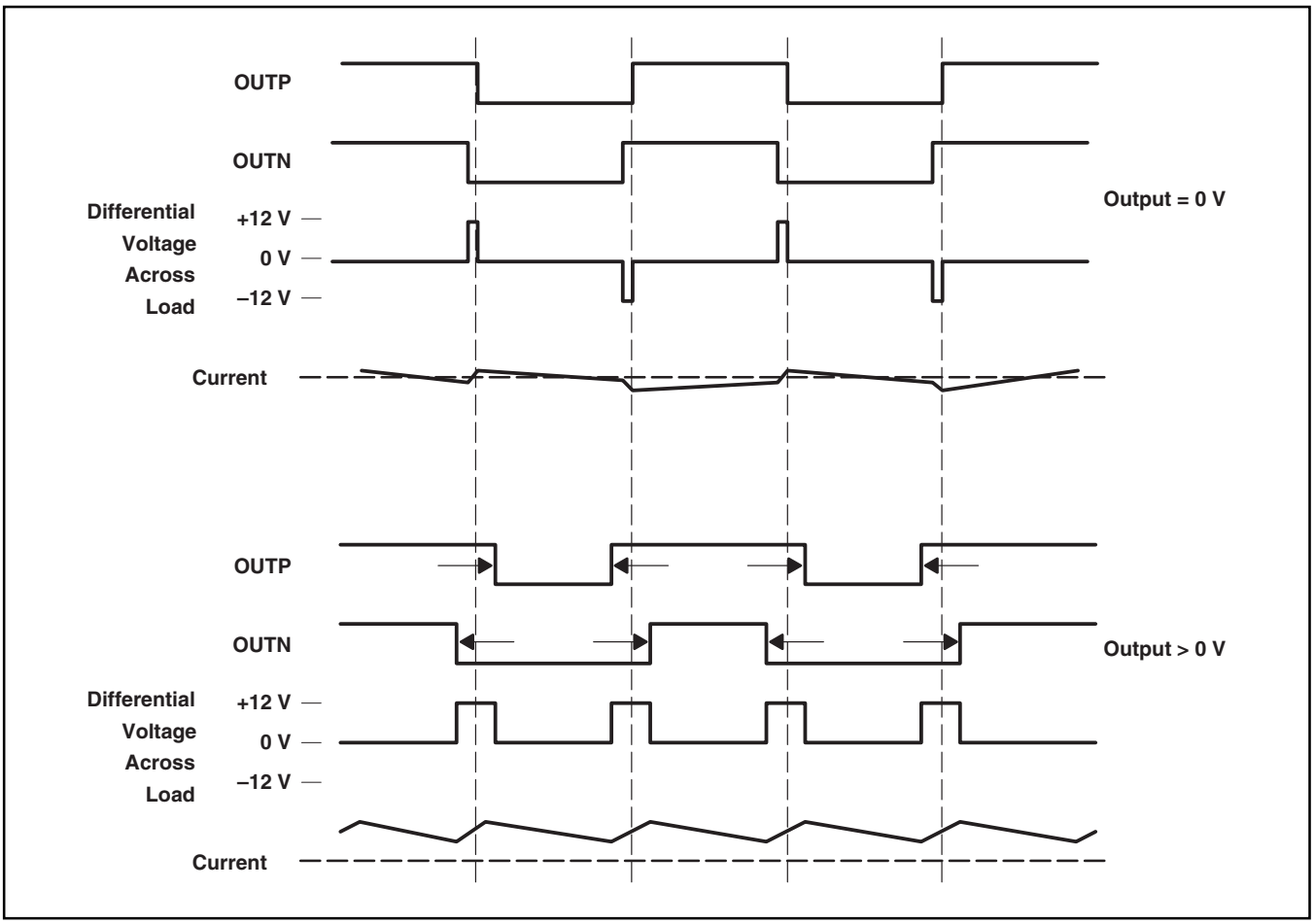


図32. TPA3001D1の誘導性負荷に対する出力電圧·電流波形

最大許容出力電力(安全動作領域)

TPA3001D1は、電源電圧が8Vから18Vの範囲で、3.6Ωという低い負荷インピーダンスまでドライブできます。しかし、デバイス破壊を防止するためTPA3001D1の出力電力には制限があります。図33は、最大許容出力電圧 対 負荷インピーダンスの特性を、周囲温度25℃時の3つの電源電圧について示しています(周囲温度が45℃と60℃については、図3と4を参照願います)。

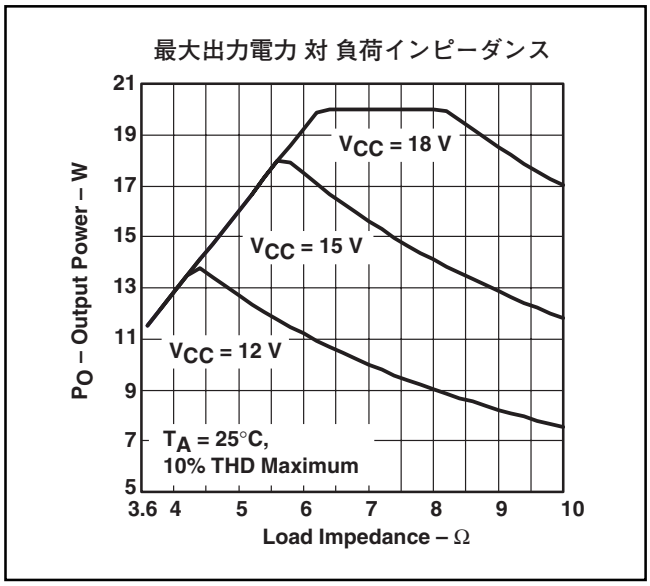


図33. 出力電力

高電源電圧による低インピーダンス負荷のドライブ

低インピーダンス負荷(例えば4Ωのスピーカー)をドライブする場合、オーディオ入力信号レベルの最大値を下げるか、あるいはTPA3001D1のゲインを低減することによって出力電力を制限できます。最大入力電圧は式(1)で計算されます。

$$V_{in(pp),\,max} = \frac{\sqrt{8P_{O(avg),\,max} \times R_L}}{A_V} \qquad (1)$$

ここで、

$P_{O(avg),\,max}$ = 最大連続出力電力(W)

R_L = 負荷インピーダンス(Ω)

A_V = 電圧ゲイン(V/V) = $10^{\left(\frac{G(dB)}{20}\right)}$ (GはゲインのdB値)

例として、TPA3001D1が4Ωのスピーカーを18Vの電源電圧でドライブするアプリケーションを考察します。ゲインは18dBとします。図33より4Ω負荷インピーダンスの最大許容出力電力は12.8Wになります。したがって、式(1)より入力電圧は2.54V_{PP}を超えてはなりません。

しかし、この例においてオーディオ信号源の最大出力電圧が5V_{PP}ならば、TPA3001D1のゲインを12dBに下げると、入力信号を制限する必要がありません。

入力電圧は種々の方法で制限できますが、オーディオ信号源に関する既知の内容によります。信号源の最大出力電圧がわかっていれば、抵抗の分圧回路がTPA3001D1の適切なゲイン選定によって歪みを防止できます。最大オーディオ信号電圧がわからない場合は、ダイオードが入力信号をクランプするのに使用できます。ただし、入力電圧が所要のクランプ電圧を超えると歪みが発生します。

出力のクリッピングまでのドライブ

TPA3001D1の出力をクリッピングするまでドライブすると、歪みが無い場合よりも大きな出力電力が得られます。クリッピングは一般的に10%のTHD(全高調波歪み率)で定量化されます。クリッピングまでドライブして負荷に供給できる電力の増加は、式(2)で計算できます。

$$P_{O(10\%\ THD)} = P_{O(1\%\ THD)} \times 1.25 \qquad (2)$$

例として、TPA3001D1が8Ωのスピーカーを18Vの電源電圧でドライブするアプリケーションを考察します。歪み無し(1% THD)の最大出力電力は16Wであり、これは最大ピーク出力電圧が16Vに相当します。同じ出力電圧でクリッピング(10% THD)するまでドライブすると、出力電力は20Wに増加します。

出力フィルタに関する考察

FCCやCEの電磁輻射仕様を満たすために、フェライトビーズのフィルタ(図34に示す)を使用する必要があります。また、1MHz以上で動作する周波数に敏感な回路が近くにある場合も同様です。フェライト･フィルタは1MHz 付近およびそれ以上のEMI(電磁輻射、電磁干渉)を低減します(FCCとCEは30MHz以上の電磁輻射をテストするだけです)。フェライトビーズの選定の際には、高周波時には高インピーダンスであるが、低周波時には非常に低インピーダンスのものにします。

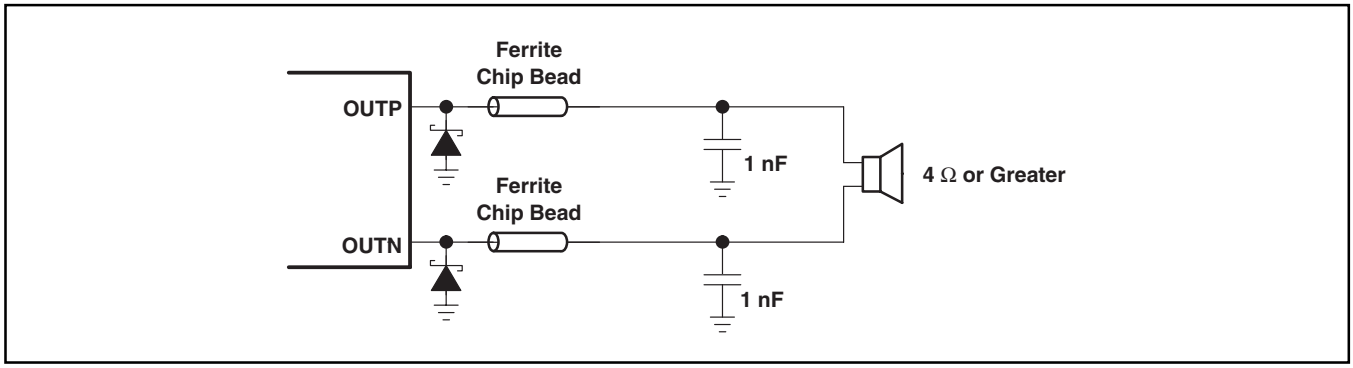


図34. 代表的なフェライトチップビーズのフィルタ(チップビーズ例：Panasonic EXCML32A680U)

低周波(< 1MHz)EMIに敏感な回路がある場合や、長い配線(11インチ以上)がアンプとスピーカーの間にある場合は、図35と36のようにさらにLC出力フィルタを使用します。

スピーカーまでの伝送路がシールドされている場合や、FCCやCEの規定が無いアプリケーションの場合はこの限りでは有りません。

出力短絡保護回路

TPA3001D1は出力に短絡保護回路があり、両出力間の短絡、出力とGNDの短絡、および出力とV_{CC}の短絡時にデバイスの破壊を防止します。出力短絡を検知すると、デバイスは即座に出力ドライブをディスエーブルにし、シャットダウン·モードに入ります。これはラッチされた不良状態であり、リセットは$\overline{\text{SHUTDOWN}}$ピンの電圧をロジックのローレベルから、正常動作時のロジックのハイレベルに変えてリセットする必要があります。このようにすると短絡のフラグがクリアされ、短絡状態が除去されていれば正常動作が可能になります。短絡状態が除去されていない場合は、保護回路が再度アクティブになります。

また、2個のショットキー·ダイオードが短絡保護に必要です。このダイオードはTPA3001D1にできるだけ近く配置し、アプリケーション回路図に示すように、アノードをPGNDに、カソードをOUTPおよびOUTNに接続します。このダイオードの定格は、1Aの最小出力電流時の順方向電圧が0.5V, およびDC耐圧が最小値30Vのものにします。さらに、150℃の接合温度で動作する定格でなければなりません。推奨例としてはDiodes Inc.社製のB130やIRF社製のSTPS1L30Uが挙げられます。

短絡保護回路が不要な場合は、このショットキー·ダイオードは省略できます。

熱保護回路

TPA3001D1の熱保護回路は、内部のチップ温度が150℃を超えたときにデバイスの破壊を防止します。この作動温度はデバイスによって±15℃の許容誤差があります。ひとたびチップ温度が熱保護の作動温度を超えると、デバイスはシャットダウン状態に入り、出力がディスエーブルになります。この不良状態はラッチされていません。したがって、ひとたびチップ温度が作動温度から15℃だけ下回ると、この熱的不良状態はクリアされます。この時点でデバイスは、外部システムからの介入なしで正常動作を開始します。

熱的考察：出力電力と最大許容周囲温度

最大許容周囲温度の計算には次式(3)が使えます。

$$T_{Amax} = T_{Jmax} - \Theta_{JA} P_{Dissipated} \quad (3)$$

ここで、T_{Jmax} = 150℃

Θ_{JA} = 1 / ディレーティング係数 = 1 / 0.03333 = 30℃/W

(24ピンPWPパッケージのディレーティング係数は、電力消費定格表にあります。)

電力消費の見積もりには、次式(4)が使えます。

$$P_{Dissipated} = P_{O(average)} \times ((1 / 効率) - 1) \quad (4)$$

効率 = ～85%(8Ω負荷時)

= ～75%(4Ω負荷時)

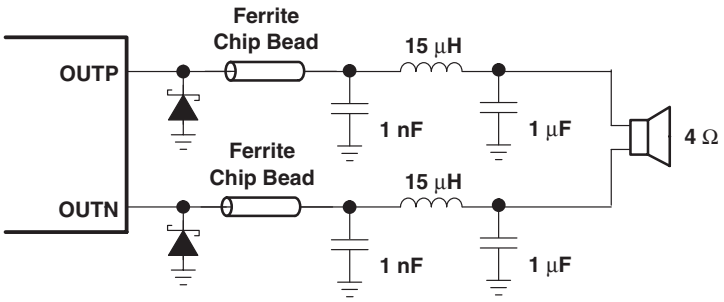


図35. 4Ωスピーカー用の代表的なLC出力フィルタ　カットオフ周波数41kHz

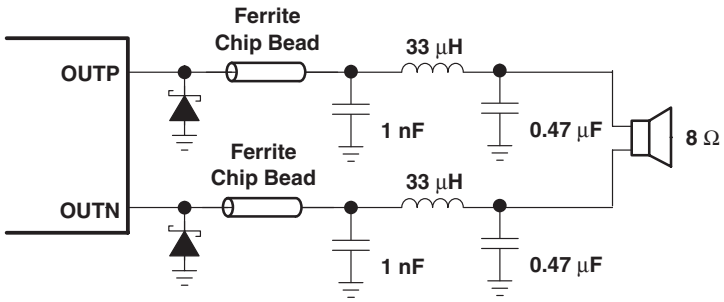


図36. 8Ωスピーカー用の代表的なLC出力フィルタ　カットオフ周波数41kHz

例題：TPA3001D1が8Ωのスピーカーを10Wでドライブするアプリケーションにおいて、最大許容周囲温度は何度であるか？

$$P_{Dissipated} = 10\ W \times ((1 / 0.85) - 1) = 1.76\ W$$

$$T_{A\,max} = 150℃ - (30℃/W \times 1.76\ W) = 97.2℃$$

この計算により、周囲温度が決して超えてはならない絶対最大定格の85℃まで、TPA3001D1は8Ωのスピーカーを10Wドライブできることがわかります。また、図2, 3および4を参照すると、所要の出力電力に対する最小負荷インピーダンスが求まります。

GAIN0とGAIN1入力によるゲイン設定

TPA3001D1のゲインは、GAIN0とGAIN1の2入力ピンによって設定されます。表1に記載されるゲインは、アンプ内部の抵抗の入力タップを切り替えて得られます。これは、入力インピーダンス(Z_i)がゲイン設定に依存する原因になります。実際のゲイン設定は抵抗比で制御されるため、デバイスごとのゲインのバラツキは小さいものになります。しかし、入力インピーダンスは入力抵抗の実抵抗値のシフトによるため、最大で30%変動します。

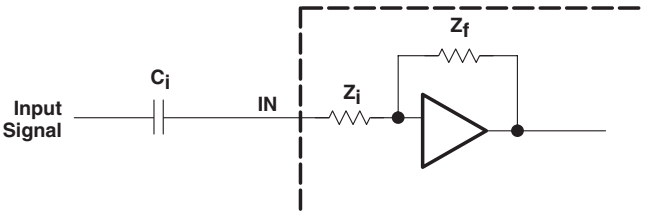
設計においては、入力インピーダンスが23kΩと仮定して入力回路網(次節で述べる)を設計します。この23kΩは、TPA3001D1の入力インピーダンスの絶対的な最小値です。低いゲインの設定では、入力インピーダンスは313kΩまで高くなります。

GAIN1	GAIN0	AMPLIFIER GAIN (dB)	INPUT IMPEDANCE (kΩ)
		TYP	TYP
0	0	12	241
0	1	18	168
1	0	23.6	104
1	1	36	33

表1. ゲイン設定

入力抵抗

各ゲイン設定はアンプの入力抵抗を変えて行います。入力抵抗は最小値からその6倍以上まで変えられます。その結果、入力ハイパスフィルタに1個のコンデンサを使用すると、–3dBすなわちカットオフ周波数も6倍以上変化します。



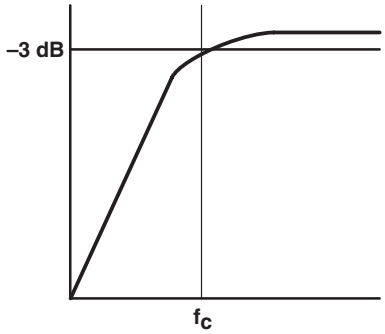
–3dB周波数は式(5)で計算できます。Z_iの値は表1を使用願います。

$$f = \frac{1}{2\pi Z_i C_i} \tag{5}$$

入力コンデンサC_i

一般的なアプリケーションでは、アンプの入力信号に最適動作のための適切な直流バイアスをかけられるように、入力コンデンサ(C_i)が必要になります。その場合、C_iとアンプの入力インピーダンス(Z_i)はハイパスフィルタを形成し、そのコーナー周波数(カットオフ周波数)は式(6)で決まります。

$$f_c = \frac{1}{2\pi Z_i C_i} \tag{6}$$



C_iの値は重要であり、回路のバス(低周波)特性に直接影響します。例として、Z_iが241kΩで、20Hzまでフラットなバス特性を必要とする仕様について考察します。式(6)を式(7)のように書き換えます。

$$C_i = \frac{1}{2\pi Z_i f_c} \tag{7}$$

式(7)より、この例ではC_iは33nFとなり、一般的に使用される値の0.1μFのコンデンサを選ぶことになります。ゲインが既知であり一定である場合は、表1のZ_iを用いてC_iを計算します。このコンデンサに関するさらなる考察として、入力信号源から入力回路網(C_i)と帰還回路網を通る負荷までの漏れ電流パスがあります。この漏れ電流はアンプの入力に直流オフセット電圧を生じ、使用可能な出力範囲を低減させ、高ゲインのアプリケーションで特に問題になります。このような理由で、低リークのタンタルあるいはセラミックのコンデンサが最善の選択になります。極性のあるコンデンサを使用する場合、ほとんどのアプリケーションにおいてコンデンサの＋側をアンプ入力に接続します。その理由は、アンプ入力のDCレベルが一般の入力信号源のDCレベルよりも高い2.5Vに固定されているからです。アプリケーションにおいて、コンデンサの極性の確認が重要なことにご注意願います。

電源デカップリング

TPA3001D1は高性能なCMOSオーディオアンプであり、出力の全高調波歪み(THD)をできるだけ低くするために、適当な電源のデカップリングが必要です。また、電源デカップリングは、アンプとスピーカー間の配線が長い場合の発振を防止します。最適なデカップリングは、電源配線上の異なる種類の雑音に対応した、異なる2タイプのコンデンサを使用して実現します。配線上の高周波の遷移、スパイク、あるいはデジタルノイズには、かなり低い等価直列抵抗(ESR)のセラミック·コンデンサを、一般に1μFでデバイスのV_{CC}ピンの極力近くに配置するのが最適です。低周波の雑音信号をフィルタするには、より大きい10μFかそれ以上のアルミ電解コンデンサを、オーディオ·パワーアンプの近くに配置することを推奨します。

BSNとBSP用コンデンサ

フルH型ブリッジ出力段はNMOSトランジスタのみを使用します。したがって、適切なターン·オンのために、各出力のハイサイドでブートストラップ用コンデンサが必要になります。少なくとも25V定格の0.22µFのセラミック·コンデンサを、各出力とそれに相当する各ブートストラップ入力間に接続する必要があります。具体的には、1個の0.22µFコンデンサをOUTPとBSP間に、1個の0.22µFコンデンサをOUTNとBSN間に接続します(図30参照)。

BSNとBSP用抵抗

ブートストラップ用コンデンサを充電するときの電流を制限するために、約50Ω(最大±10%)の抵抗をブートストラップ用コンデンサと直列に配置する必要があります。この場合、充電電流は500µA以下に制限されます。

VCLAMP用コンデンサ

NMOS出力トランジスタのゲート·ソース間電圧が許容最大値を超えないよう保証するため、内部レギュレータがゲート電圧をクランプします。そこで、最小でも25V定格の1µFのコンデンサをVCLAMP(7ピン)とグランド間に接続する必要があります。VCLAMP(7ピン)の電圧はV_{CC}とともに変化し、その電圧を他の回路へ供給できません。

ミッドレール·バイパス用コンデンサ

ミッドレール(PとNの中間レベル)·バイパス用コンデンサ(図30のC11)は最も重要なコンデンサであり、いくつかの重要な機能に関与します。まず、スタートアップあるいはシャットダウンからの復旧の間、C_{BYPASS}はアンプが動作を開始するレートを決定します。2番目の機能は、出力ドライブ信号との結合に起因する電源上の雑音を低減します。この雑音はミッドレール発生回路から内部的にアンプに伝わり、PSRRおよびTHD+Nの劣化として現れます。

バイパス用コンデンサ(C11)には0.47µFから1µFの値の、セラミックあるいはタンタルの低ESRコンデンサを最適のTHDノイズのために推奨します。このバイパス用コンデンサの値は、ボツ音(電源投入時などに発生する雑音)低減回路の特性を最適化するため、入力コンデンサよりも大きい定数にしなければなりません。

VREFデカップリング用コンデンサ

VREFピン(23ピン)は内部で発生する5V電源の出力であり、発振回路やゲイン設定ロジックに使用します。この内部レギュレータを安定化するために、このピンとグランド間に0.1µFから1µFのコンデンサが必要です。レギュレータ出力は他の回路の電源として使用できません。

差動入力

アンプの差動入力段は、チャネルの両入力ラインに現れるあらゆる雑音を打ち消します。TPA3001D1を差動信号源とともに使用する場合、オーディオ信号源の正側配線をINP入力に接続し、同様にオーディオ信号源からの負側配線をINN入力に接続します。TPA3001D1をシングルエンドの信号源とともに使用する場合、INN入力をコンデンサでAC的に接地して、オーディオ信号をINP入力に接続します。シングルエンド入力アプリケーションでは、最適な雑音特性を得るために、INN入力をデバイスの入力側でなく、オーディオ信号源側でAC的に接地します。

スイッチング周波数

スイッチング周波数は、R_{OSC}(20ピン)とC_{OSC}(21ピン)に接続する部品の値で決まり、次式(8)で計算されます。

$$f_s = \frac{6.6}{R_{OSC}\,C_{OSC}} \qquad (8)$$

発振周波数はR_{OSC}とC_{OSC}の値を調整して、225kHzから275kHzまで変えられます。推奨値はR_{OSC}が120kΩ、C_{OSC}が220pFになります。

$\overline{\text{SHUTDOWN}}$動作

TPA3001D1はデバイス動作のシャットダウン·モードを内蔵し、バッテリー電源の節約のために非使用時の電源電流(I_{CC})を絶対的に微小にする設計をしています。$\overline{\text{SHUTDOWN}}$入力ピンは、アンプを使用している正常動作時はハイレベルに保ちます。$\overline{\text{SHUTDOWN}}$をローレベルにすると、出力を抑え、アンプを低電流状態すなわち$I_{CC(SD)}$ = 1µAにします。また、アンプの動作が不定になるため、$\overline{\text{SHUTDOWN}}$は決して未接続にしてはなりません。

理想的には、システムの電源立ち上がり時にデバイスをシャットダウン状態に維持し、ひとたびデジタル回路が確定したらシャットダウン状態から抜け出させます。しかし、$\overline{\text{SHUTDOWN}}$を使用しないのであれば、このピンを直接$V_{CC}$に接続しておきます。このような設計により、電源投入時のボツ音をより低減させることも可能になります。

低ESRコンデンサの使用

低ESRコンデンサを本節のアプリケーション全体で推奨します。実際のコンデンサは(理想に反して)、理想コンデンサとそれに直列な抵抗の単なるモデルにできます。この抵抗にかかる電圧降下は、回路におけるコンデンサの効果を小さくします。この抵抗の等価値が低いほど、実際のコンデンサは理想コンデンサに近い動作をします。

プリント基板(PCB)のレイアウト

TPA3001D1は高周波でスイッチングするD級アンプなので、そのプリント基板(PCB)のレイアウトを下記のガイドラインに従って最適化し、最善の特性を得る必要があります。

- デカップリング·コンデンサ

  高周波用の0.1µFのデカップリング·コンデンサをPV_{CC}ピン(9ピンと16ピン)とV_{CC}ピン(24ピン)にできるだけ近く配置します。BYPASS(22ピン)用コンデンサ、VREF(23ピン)用コンデンサ、およびVCLAMP(7ピン)用コンデンサもまた、極力デバイスの近くに配置します。電源用の大きな(10µF, あるいはそれ以上)デカップリング·コンデンサはTPA3001D1の近くに配置します。

● グランドのとりかた

V_{CC}(24ピン)デカップリング·コンデンサ、VREF(23ピン)コンデンサ、BYPASS(22ピン)コンデンサ、COSC(21ピン)コンデンサ、およびROSC(20ピン)抵抗は、それぞれアナログ·グランド(AGND, 18ピンと19ピン)に接地します。PV_{CC}(9ピンと16ピン)デカップリング·コンデンサは、パワー·グランド(PGND, 12ピンと13ピン)に接地します。アナログ·グランドとパワー·グランドは、パワーパッドで互いに接続できます。パワーパッドはTPA3001D1のグランド接続の中心すなわち星型グランド(1点アース)として使用できます。

● 出力フィルタ

フェライト·フィルタ(図34)は出力ピン(10, 11, 14,および15の各ピン)にできるだけ近く配置し、最善のEMI特性を得るようにします。LCフィルタ(図34と図35)は、フェライト·フィルタの近くに配置します。フェライトとLCの両フィルタに使用するコンデンサは、それぞれパワー·グランドに接地します。

● パワーパッド

パワーパッドはPCBに半田付けして、適当な熱特性と最適な信頼性を得るようにします。パワーパッドのサーマル·ランドの寸法は、1.6mm×6.0mmで、パッケージに対してセンタリングされています。また、2列のヴィア(1列あたり4個のヴィア、直径が0.3302mm)を等間隔でサーマル·ランドの下に設けます。各ヴィアは、プリント基板の中間層や半田面(最下層)のしっかりした銅プレーンに接続する必要があります。また、各ヴィアは頑丈である必要があり、熱で浮き上がるヴィアであってはなりません。より詳細な情報は、「パワーパッド(PowerPAD)　熱的に強化されたパッケージのアプリケーション·ノート(TI文献番号 SLMA002)」を参照願います。

レイアウト例として、「TPA3001D1評価用モジュール(TPA3001D1EVM)ユーザー·マニュアル(TI文献番号SLOU156)」を参照願います。EVMユーザー·マニュアルとPowerPADアプリケーション·ノートは、両方ともTIウェブサイトのhttp://www.ti.comで入手できます。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPA3001D1PWP	NRND	Production	HTSSOP (PWP) | 24	60 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPA3001D1
TPA3001D1PWP.A	NRND	Production	HTSSOP (PWP) | 24	60 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPA3001D1
TPA3001D1PWPG4	NRND	Production	HTSSOP (PWP) | 24	60 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPA3001D1
TPA3001D1PWPR	NRND	Production	HTSSOP (PWP) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPA3001D1
TPA3001D1PWPR.A	NRND	Production	HTSSOP (PWP) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPA3001D1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated