

低静止時自己消費電流 プログラマブル遅延 電圧監視回路

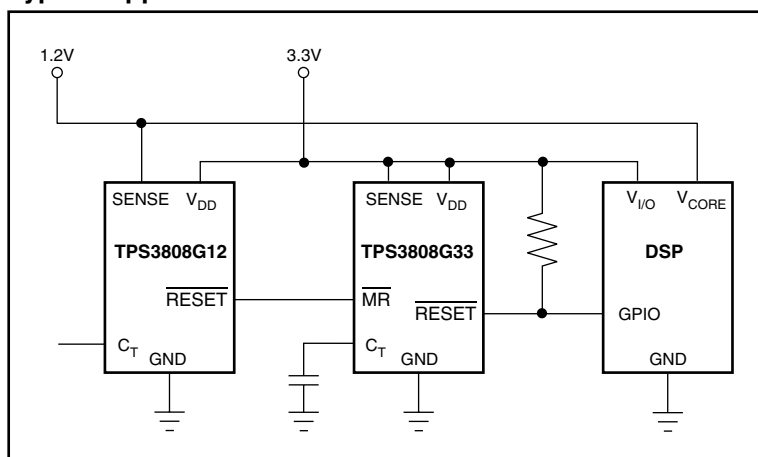
特 長

- 遅延時間を設定可能なリセット遅延タイマー：
コンデンサ (CT) を使用して1.25msから10秒の可
変または300ms/20msの固定をプルアップ/オープン
で選択可能
- 超低静止時自己消費電流：2.4μA (標準)
- 高いスレッシュホールド電圧精度：0.5% (標準)
- 0.9Vから5Vの範囲の標準電圧用の固定電圧製品と
検出電圧0.4Vの可変電圧設定製品をラインアップ
- マニュアル・リセット ($\overline{\text{MR}}$) 入力
- オープン・ドレインの $\overline{\text{RESET}}$ 出力
- 動作温度範囲：-40°C ~ +125°C
- 小型SOT23パッケージと2mm × 2mmのQFNパッ
ケージ

アプリケーション

- DSPまたはマイクロコントローラ・アプリケーション
- ノートブック/デスクトップ・コンピュータ
- PDA/携帯型製品
- ポータブル/バッテリー駆動機器
- FPGA/ASICアプリケーション

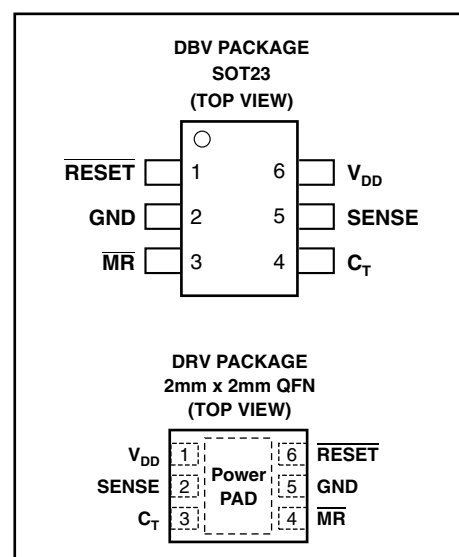
Typical Application Circuit



概 要

TPS3818xxx ファミリーはマイクロプロセッサ用電圧監視ICで0.4Vから5.0Vまでのシステムの電圧を監視し、SENSE電圧が設定スレッシュホールドより下がるか、またはマニュアル・リセット ($\overline{\text{MR}}$) ピンがロジック “L” レベルに低下した時、オープン・ドレイン出力の $\overline{\text{RESET}}$ 信号をアクティブ状態にします。 $\overline{\text{RESET}}$ 出力はSENSE電圧とマニュアル・リセット ($\overline{\text{MR}}$) がそれぞれのスレッシュホールド電圧より上に戻った後もユーザが設定可能な遅延時間の間 “L” レベルを維持します。

TPS3818は高精度な基準電圧を用いているため V_{IT} が3.3V以下では0.5%のスレッシュホールド電圧精度を実現しています。リセットの遅延時間は C_T ピンを接続しない場合20ms、 C_T ピンを抵抗で V_{DD} にプルアップした場合300ms、もしくは C_T ピンにコンデンサを外付けすると容量により1.25msから10秒の間に設定することができます。外部コンデンサを使用する時、TPS3818は類似のTPS3808製品より遅延時間が高精度となります。TPS3818の静止時自己消費電流は2.4μA (標準) と極めて低いため、電池駆動のアプリケーションに適しています。パッケージは小型のSOT23と、超小型で2mm × 2mmのQFN PowerPAD™で、動作温度範囲 (T_J) は-40°C ~ +125°Cです。



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

PRODUCT	NOMINAL SUPPLY VOLTAGE ⁽²⁾	THRESHOLD VOLTAGE (V_{IT})
TPS3818G01	Adjustable	0.405V
TPS3818G09	0.9V	0.84V
TPS3818G12	1.2V	1.12V
TPS3818G125	1.25V	1.16V
TPS3818G15	1.5V	1.40V
TPS3818G18	1.8V	1.67V
TPS3818G25	2.5V	2.33V
TPS3818G30	3.0V	2.79V
TPS3818G33	3.3V	3.07V
TPS3818G50	5.0V	4.65V

(1) 最新のパッケージ及び発注情報については、このデータシートの終わりの添付パッケージ・オプションまたは、TIホームページwww.ti.comを参照してください。

(2) 0.82Vから3.3V、4.4Vから5.0Vのカスタム仕様のスレッショルド電圧は工場ではEEPROMをプログラムすることで可能になります。最低注文数量があります。詳細及び可用性についてはお問い合わせください。

絶対最大定格⁽¹⁾

Over operating junction temperature range, 特に記述のない限り

	TPS3818	単位
Input voltage range, V_{DD}	-0.3 ~ 7.0	V
C_T voltage range, V_{CT}	-0.3 ~ $V_{DD} + 0.3$	V
Other voltage ranges: V_{RESET} , V_{MR} , V_{SENSE}	-0.3 ~ 7	V
$\overline{RESET}$ pin current	5	mA
Operating junction temperature range, T_J ⁽²⁾	-40 ~ +150	°C
Storage temperature range, T_{STG}	-65 ~ +150	°C
ESD rating, HBM	2	kV
ESD rating, CDM	500	V

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「電気的特性」に示された値を越える状態での本製品の機能動作を意味するものではありません。

絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

(2) このデバイスは低消費電力であるため $T_J = T_A$ であると見なされます。

電氣的特性

1.7V ≤ V_{DD}, R_{LRSET} = 100kΩ, C_{LRSET} = 50pF, over operating temperature range (T_J = −40°C to +125°C), (特に記述のない限り)。標準値はT_J = +25°Cでの値です。

パラメータ			テスト条件	MIN	TYP	MAX	単位
V _{DD}	Input supply range		−40°C < T _J < +125°C	1.7		6.5	V
			0°C < T _J < +85°C	1.65		6.5	
I _{DD}	Supply current (current into V _{DD} pin)		V _{DD} = 3.3V, $\overline{\text{RESET}}$ not asserted MR, $\overline{\text{RESET}}$, C _T open		2.4	5.0	μA
			V _{DD} = 6.5V, $\overline{\text{RESET}}$ not asserted MR, $\overline{\text{RESET}}$, C _T open		2.7	6.0	μA
V _{OL}	Low-level output voltage		1.3V ≤ V _{DD} < 1.8V, I _{OL} = 0.4mA			0.3	V
			1.8V ≤ V _{DD} ≤ 6.5V, I _{OL} = 1.0mA			0.4	V
	Power-up reset voltage ⁽¹⁾		V _{OL} (max) = 0.2V, I $\overline{\text{RESET}}$ = 15μA			0.8	V
V _{IT}	Negative-going input threshold accuracy	TPS3818G01		−2.0	±1.0	+2.0	%
		V _{IT} ≤ 3.3V		−1.5	±0.5	+1.5	
		3.3V < V _{IT} ≤ 5.0V		−2.0	±1.0	+2.0	
		V _{IT} ≤ 3.3V	−40°C < T _J < +85°C	−1.25	±0.5	+1.25	
		3.3V < V _{IT} ≤ 5.0V	−40°C < T _J < +85°C	−1.5	±0.5	+1.5	
V _{HYS}	Hysteresis on V _{IT} pin	TPS3818G01			1.5	3.0	%V _{IT}
		Fixed versions	−40°C < T _J < +85°C		1.0	2.0	
						1.0	
R $\overline{\text{MR}}$	$\overline{\text{MR}}$ Internal pull-up resistance			70	90		kΩ
I _{SENSE}	Input current at SENSE pin	TPS3818G01	V _{SENSE} = V _{IT}	−25		25	nA
		Fixed versions	V _{SENSE} = 6.5V		1.7		μA
I _{OH}	$\overline{\text{RESET}}$ leakage current		V $\overline{\text{RESET}}$ = 6.5V, $\overline{\text{RESET}}$ not asserted			300	nA
C _{IN}	Input capacitance, any pin	C _T pin	V _{IN} = 0V to V _{DD}		5		pF
		Other pins	V _{IN} = 0V to 6.5V		5		
V _{IL}	$\overline{\text{MR}}$ logic low input			0		0.3 V _{DD}	V
V _{IH}	$\overline{\text{MR}}$ logic high input			0.7 V _{DD}		V _{DD}	
t _w	Input pulse width to $\overline{\text{RESET}}$	SENSE	V _{IH} = 1.05V _{IT} , V _{IL} = 0.95V _{IT}		20		μs
		MR	V _{IH} = 0.7V _{DD} , V _{IL} = 0.3V _{DD}		0.001		
t _d	$\overline{\text{RESET}}$ delay time ⁽²⁾	C _T = Open	See Timing Diagram	12	20	28	ms
		C _T = V _{DD}		180	300	420	ms
V _{CT}	CT pin ($\overline{\text{RESET}}$ delay time) comparator threshold ⁽³⁾			1.211	1.23	1.249	V
I _{CT}	CT pin ($\overline{\text{RESET}}$ delay time) charging current ⁽³⁾		R _{CT} = 2MΩ (resistor between C _T and GND)	190	220	250	nA
t _{pHL}	Propagation delay	$\overline{\text{MR}}$ to $\overline{\text{RESET}}$	V _{IH} = 0.7V _{DD} , V _{IL} = 0.3V _{DD}		150		ns
	High to low level $\overline{\text{RESET}}$ delay	SENSE to $\overline{\text{RESET}}$	V _{IH} = 1.05V _{IT} , V _{IL} = 0.95V _{IT}		20		μs
θ _{JA}	Thermal resistance, junction-to-ambient				290		°C/W

(1) The lowest supply voltage (V_{DD}) at which $\overline{\text{RESET}}$ becomes active. T_{rise}(V_{DD}) ≥ 15μs/V.

(2) The delay time accuracy without external capacitor is the same as that of the TPS3808xxx. This specification is included here for TPS3808xxx device comparison.

(3) The combined $\overline{\text{RESET}}$ delay time accuracy from V_{CT} and I_{CT} is ±15%.

ブロック図

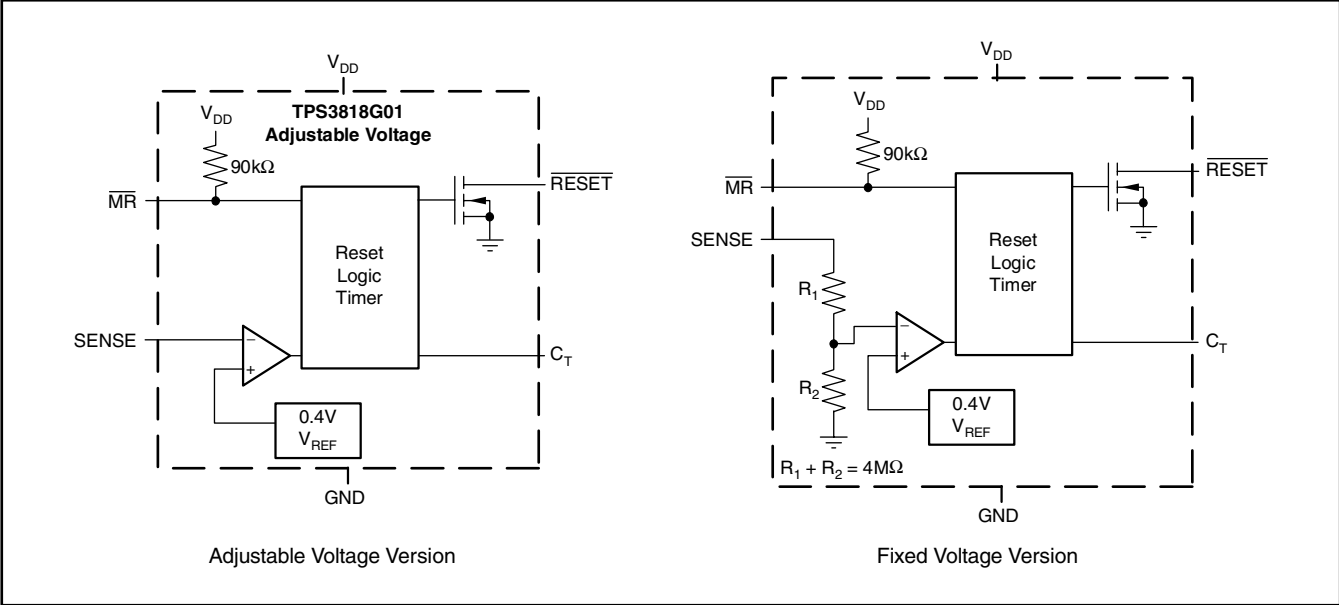


図 1. Adjustable and Fixed Voltage Versions

ピン配置



ピン構成

TERMINAL		説明
NAME	SOT23 (DBV) PIN NO.	
RESET	1	RESETはオープン・ドレイン出力で、RESETがアクティブ状態になった時 (SENSE入力スレッシュホールド電圧 (V _{IT}) より低い、またはMRピンがロジック “L” レベルにセットされた場合) 低インピーダンス状態になります。RESETはSENSEがV _{IT} より高くなり、かつMRがロジック “H” レベルにセットされた後もリセット時間の間 “L” レベル (アクティブ状態) を保持します。このピンには10kΩから1MΩのプルアップ抵抗を使用する必要があります。リセット・ピンの電圧はV _{DD} より高い電圧を印加することができます。
GND	2	グラウンド
MR	3	マニュアル・リセット・ピン (MR) を “L” レベルにするとRESETがアクティブ状態になります。MRは90kΩのプルアップ抵抗でV _{DD} に内部接続されています。
C _T	4	リセット遅延時間を設定するピンです。このピンを40kΩから200kΩの抵抗を介してV _{DD} に接続するか、またはオープン状態にしておくと、遅延時間は固定になります (電気的特性を参照)。このピンとグラウンド間に100pF以上のコンデンサに接続すると遅延時間はユーザーが自由に設定できるようになります。詳細情報についてはリセット遅延時間の選択の項を参照してください。
SENSE	5	このピンは監視される電圧に接続されます。この端子の電圧がスレッシュホールド電圧V _{IT} より低くなるとRESETはアクティブ状態になります。
V _{DD}	6	電源電圧です。アナログ設計を適切に行うにはこのピンの近くに0.1μFのセラミック・コンデンサを配置します。
PowerPAD		PowerPAD。パッケージの熱性能を向上させるためグラウンド・プレーンに接続します。

表 1. TERMINAL FUNCTIONS

タイミング図

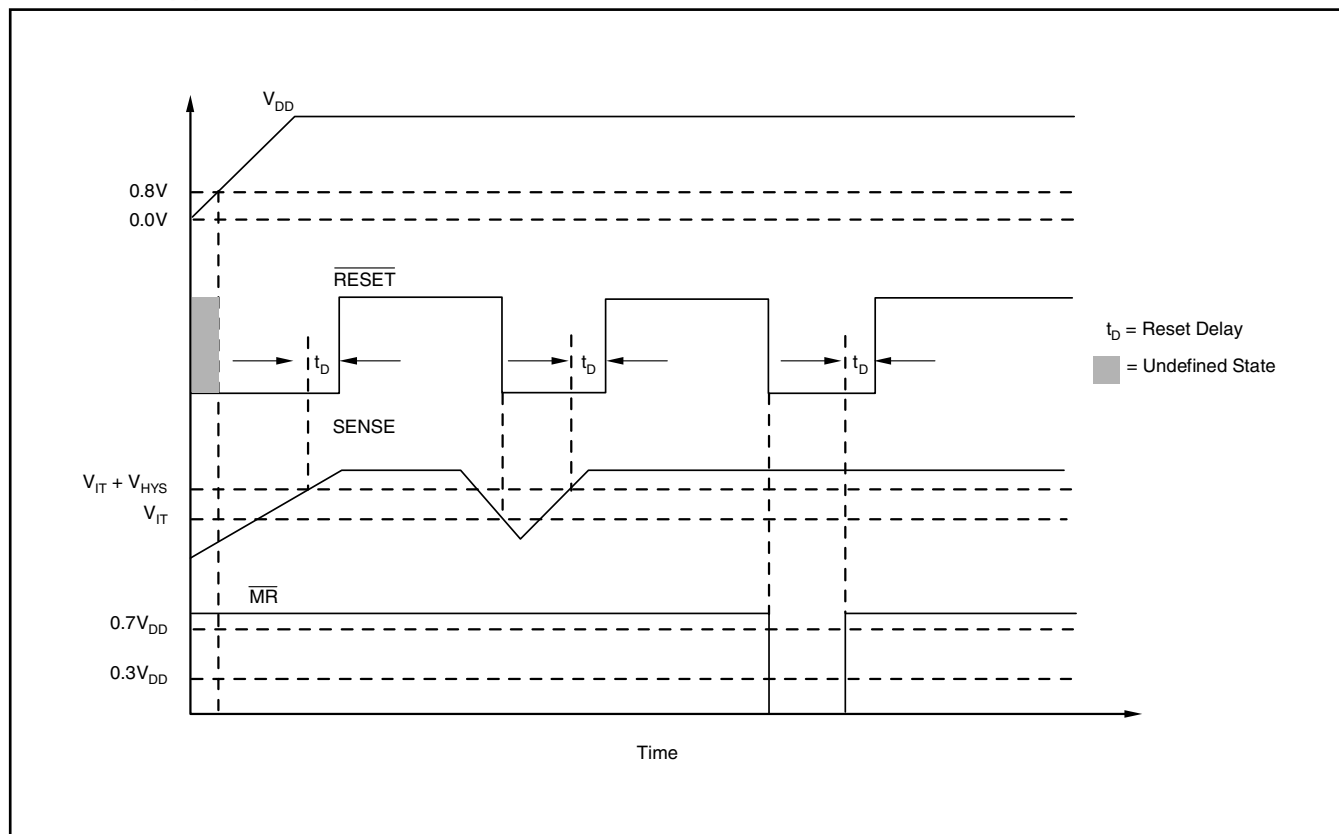


図 2. TPS3818 Timing Diagram Showing $\overline{MR}$ and SENSE Reset Timing

TRUTH TABLE

$\overline{MR}$	SENSE > V_{IT}	$\overline{RESET}$
L	0	L
L	1	L
H	0	L
H	1	H

代表的特性

T_J = +25°C, V_{DD} = 3.3V, R_{LRESET} = 100kΩ, and C_{LRESET} = 50pF, 特に記述のない限り。

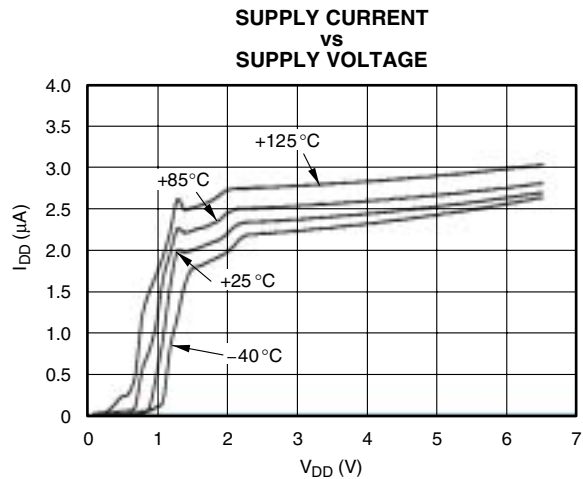


図 3

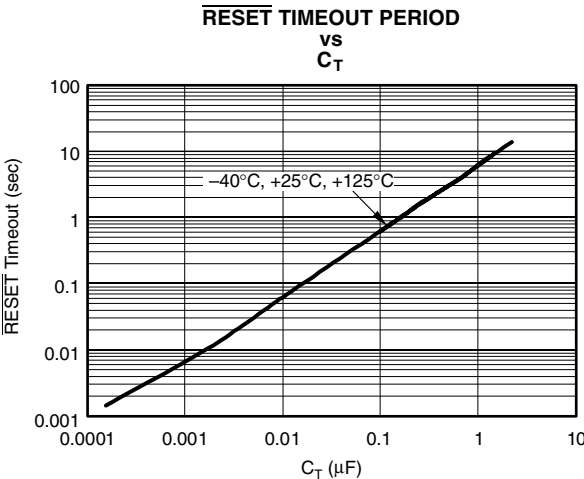


図 4

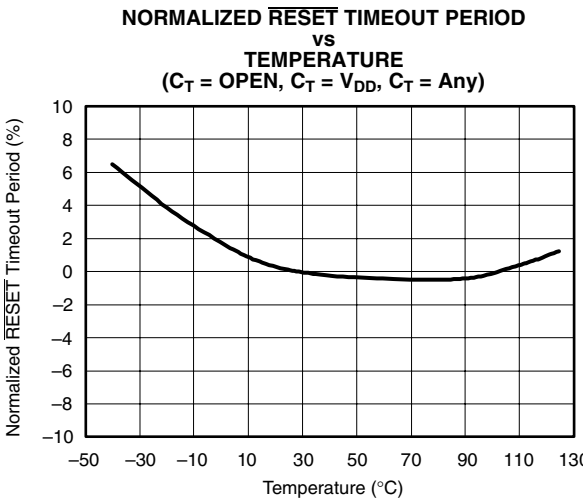


図 5

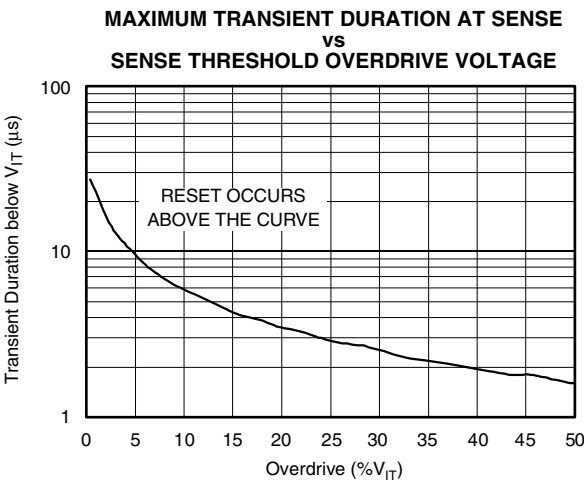


図 6

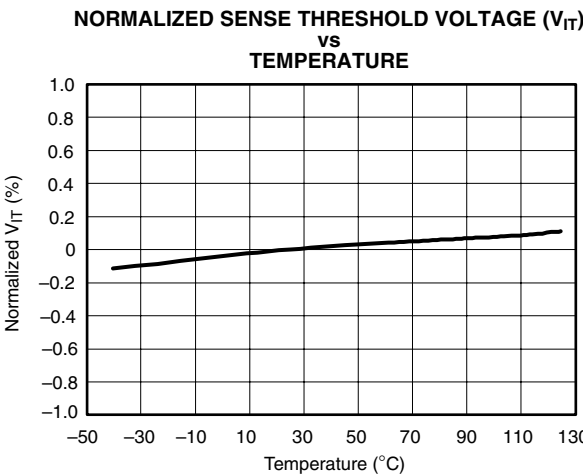


図 7

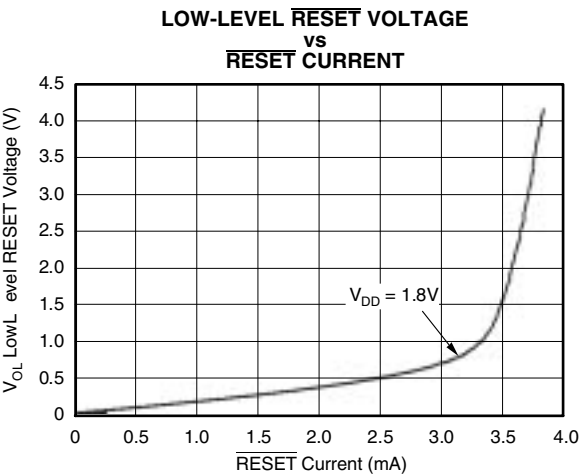


図 8

代表的特性

$T_J = +25^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$, $R_{LRESET} = 100\text{k}\Omega$, and $C_{LRESET} = 50\text{pF}$, 特に記述のない限り。

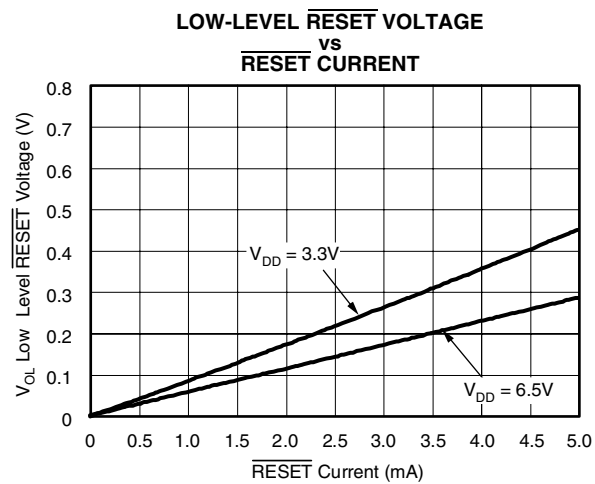


図 9

デバイスの動作

TPS3818マイクロプロセッサ電圧監視製品ファミリーは、SENSEピンの電圧が V_{IT} より下がるか、またはマニュアル・リセット ($\overline{MR}$) が“L”レベルになった時、 $\overline{RESET}$ 信号をアクティブ状態にするよう設計されています。 $\overline{RESET}$ 出力はマニュアル・リセット ($\overline{MR}$) の電圧とSENSE電圧の両方ともそれぞれのスレッシュホールドより上に戻った後もユーザが設定可能な時間の間アクティブ状態のままです。スレッシュホールド電圧とリセット遅延時間を広範囲に調整できるため、このデバイスは多様なアプリケーションに使用することができます。固定電圧製品のリセットのスレッシュホールド電圧は工場での出荷時設定により0.82Vから3.3V、または4.4Vから5.0Vに設定することができます。可変電圧製品であるTPS3818G01は外付けの抵抗デバイダを用いて0.405Vより高い電圧に設定することができます。また、2つのプリセット遅延時間がユーザで選択可能です。 C_T ピンを V_{DD} に接続するとリセット遅延時間は300ms、 C_T ピンをオープン状態にしておくとリセット遅延時間は20msになります。さらに、 C_T とGND間にコンデンサを接続するとリセット遅延時間を1.25msから10秒の間の任意の値に設定することができます。

リセット出力

TPS3818G25の代表的アプリケーションとしてOMAP1510プロセッサとともに用いられる例を図10に示します。オープン・ドレイン出力の $\overline{RESET}$ は一般的にマイクロプロセッサのRESET入力に接続されます。 $\overline{RESET}$ がアクティブ状態でない時このラインを“H”レベルに保持するようプルアップ抵抗を使用しなければなりません。 $\overline{RESET}$ 出力は電源電圧が0.8Vより低い場合未定義となりますが、ほとんどのマイクロプロセッサはこの電圧より低いと動作しないため通常は問題とはなりません。 $\overline{RESET}$ はSENSEがそのスレッシュホールド (V_{IT}) より高く、マニュアル・リセット ($\overline{MR}$) がロジック“H”レベルであれば“H”レベルを維持します (非アクティブ状態)。SENSEが V_{IT} より低くなるか、または $\overline{MR}$ が“L”レベルになると、 $\overline{RESET}$ はアクティブ状態になり、 $\overline{RESET}$ ピンをGNDに対して低インピーダンスの状態にします。

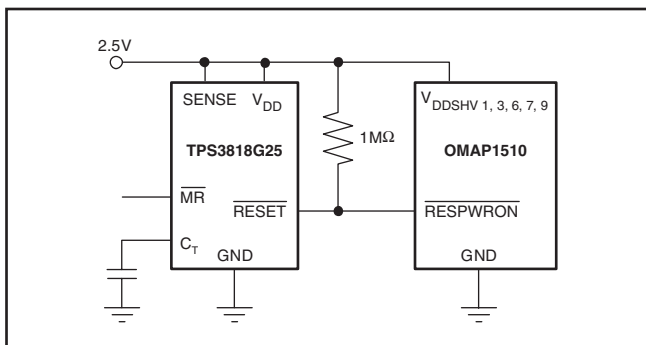


図 10. Typical Application of the TPS3818 with an OMAP Processor

$\overline{MR}$ が再度ロジック“H”レベルになり、SENSEが $V_{IT} + V_{HYS}$ (スレッシュホールドのヒステリシス) より高くなると、遅延回路がイネーブルになり設定されたリセット遅延時間の間

$\overline{RESET}$ を“L”レベルのまま保持します。リセット遅延時間が終了すると、 $\overline{RESET}$ ピンはハイ・インピーダンス状態になります。マイクロプロセッサへのリセット信号の電圧が V_{DD} より高い場合でもオープン・ドレイン出力の $\overline{RESET}$ から電源ライン (最大6.5V) へ抵抗でプルアップすることができます。このプルアップ抵抗は抵抗値が小さいとRESET回路のON抵抗が最大値の場合に“L”レベル範囲の電位が確保できなくなる場合があるので10kΩ以上の抵抗を使用する必要があります。

SENSE入力

SENSE端子には監視するシステムの電圧を接続します。このピンの電圧が V_{IT} より下がると、 $\overline{RESET}$ はアクティブ状態になります。 $\overline{RESET}$ のアクティブ状態/非アクティブ状態の遷移が確実かつ円滑に行われるようコンパレータにはヒステリシスが設定されています。寄生容量や寄生インダクタンスなどによって発生する過渡的な電圧振動による誤動作を緩和するためSENSE入力に1nFから10nFのバイパス・コンデンサを接続します。

TPS3818G01は図11に示されている回路を用いて0.405V以上の任意の電圧レールを監視するのに使用することができます。

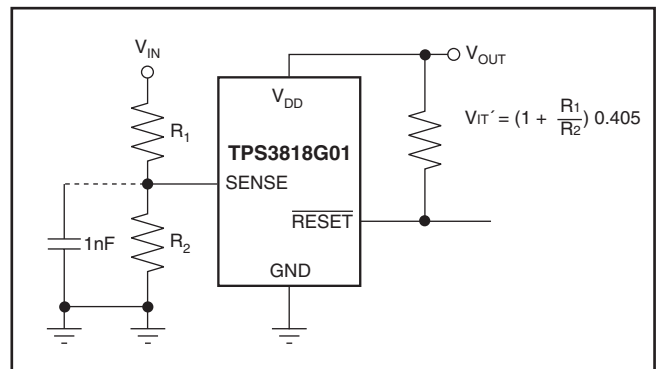


図 11. Using the TPS3818G01 to Monitor a User-Defined Threshold Voltage

マニュアル・リセット ($\overline{MR}$) 入力

マニュアル・リセット ($\overline{MR}$) 入力によりプロセッサまたは他のロジック回路からリセットを起動することができます。 $\overline{MR}$ がロジック“L”レベル ($0.3V_{DD}$ 以下) であると $\overline{RESET}$ はアクティブ状態になります。 $\overline{MR}$ がロジック“H”レベルに戻り、SENSEがそのリセット・スレッシュホールドより高くなった後、 $\overline{RESET}$ はユーザが定義したリセット遅延時間の終了後に非アクティブ状態になります。 $\overline{MR}$ は90kΩの抵抗で V_{DD} に内部接続されているためこのピンは $\overline{MR}$ を使用しない場合未接続のままにしておくことができます。

$\overline{MR}$ を複数のシステム電圧を監視するのに使用する方法については図12を参照してください。 $\overline{MR}$ を駆動するロジック信号が V_{DD} より低いと、 $\overline{MR}$ にプルアップ抵抗が内蔵されているため V_{DD} に余分な電流が流れるということに注意してください。この電流を最小限に抑えるには、図13に示されているようにFETを使用してロジック・レベルを変更することができます。

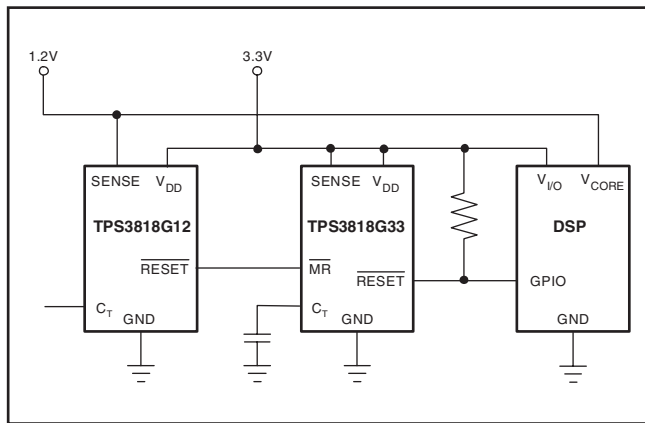


図 12. Using $\overline{\text{MR}}$ to Monitor Multiple System Voltages

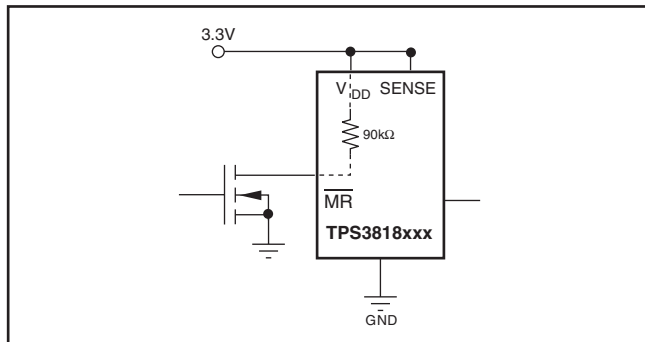


図 13. GND Using an External MOSFET to Minimize I_{DD} When $\overline{\text{MR}}$ Signal Does Not Go to V_{DD}

リセット遅延時間の選択

TPS3818には図14に示されているように、 $\overline{\text{RESET}}$ の遅延時間を設定するのに3つの選択肢があります。図14aに C_T ピンを V_{DD} にプルアップすることで固定の300msの標準遅延時間を設定する構成を示します。この場合40kΩから200kΩの抵抗を使用しなければなりません。抵抗の選択による消費電流への影響はありません。図14bに C_T ピンをオープン状態にしておくことによる固定の20msの遅延時間を示します。図14cでは C_T ピンとグランド間にコンデンサを接続して1.25msから10秒の間のユーザ定義の時間をプログラムする方法を示します。

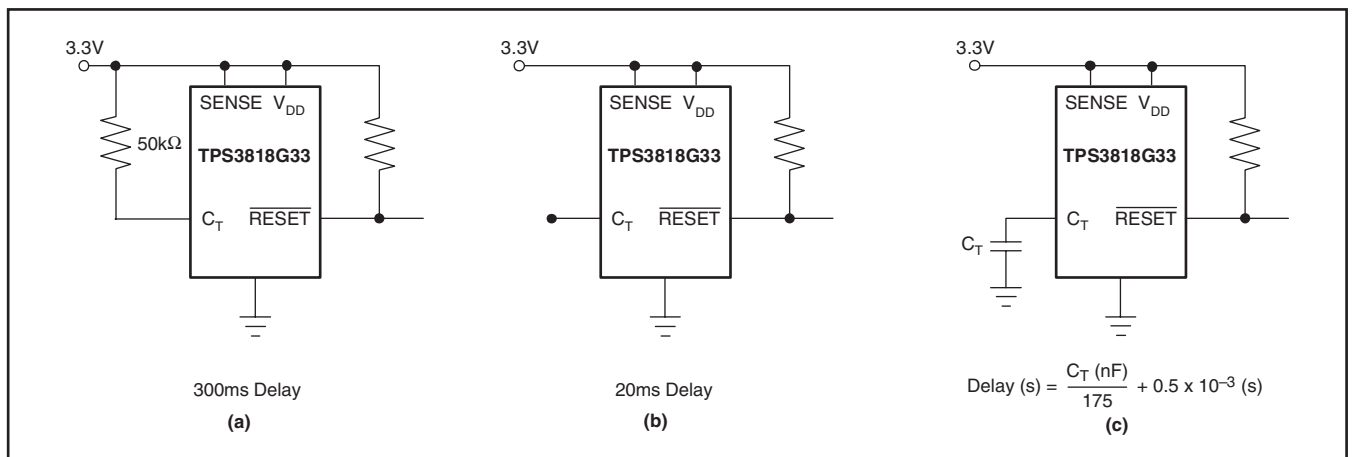


図 14. Configuration Used to Set the $\overline{\text{RESET}}$ Delay Time

コンデンサ C_T はTPS3818xxxがコンデンサの存在を認識できるよう標準値で100nF以上でなければなりません。与えられた遅延時間に対するコンデンサ値は以下の式を用いて計算することができます。

$$\text{C}_\text{T} (\text{nF}) = [\text{t}_\text{D} (\text{s}) - 0.5 \times 10^{-3} (\text{s})] \times 175 \quad (1)$$

リセット遅延時間は内蔵されている220nAの精密電流源が外付けコンデンサを1.23Vに充電するのに要する時間で決まります。 $\overline{\text{RESET}}$ がアクティブ状態になった時、このコンデンサは放電されます。 $\overline{\text{RESET}}$ 状態がクリアされた時、内部の電流源がイネーブルになり、外付けコンデンサの充電を開始します。このコンデンサの電圧が1.23Vに達した時、 $\overline{\text{RESET}}$ は非アクティブ状態になります。セラミックなどの低リークのタイプのコンデンサを使用しなければならないことと、このピンの周りの浮遊容量によりリセット遅延時間に誤差が生じる可能性があることに注意してください。

SENSEピンでの過渡的な瞬時電圧降下への応答

TPS3818はSENSEピンでの過渡的な短時間の電圧降下に対し無応答とするフィルタ機能をもっています。代表的特性の項の“MAXIMUM TRANSIENT DURATION AT SENSE vs SENSE THRESHOLD OVERDRIVE VOLTAGE”のグラフ (図6) に示されているように、過渡的なパルス幅に対する応答の有無はスレッショルド電圧に対するオーバードライブ量に依存します。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS3818G01DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G01DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G09DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G09DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G125DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G125DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G12DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G12DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G15DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G15DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G18DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G18DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G25DRVR	ACTIVE	SON	DRV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G25DRVRG4	ACTIVE	SON	DRV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G25DRV	ACTIVE	SON	DRV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G25DRVTG4	ACTIVE	SON	DRV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G30DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G30DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G33DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G33DRV	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

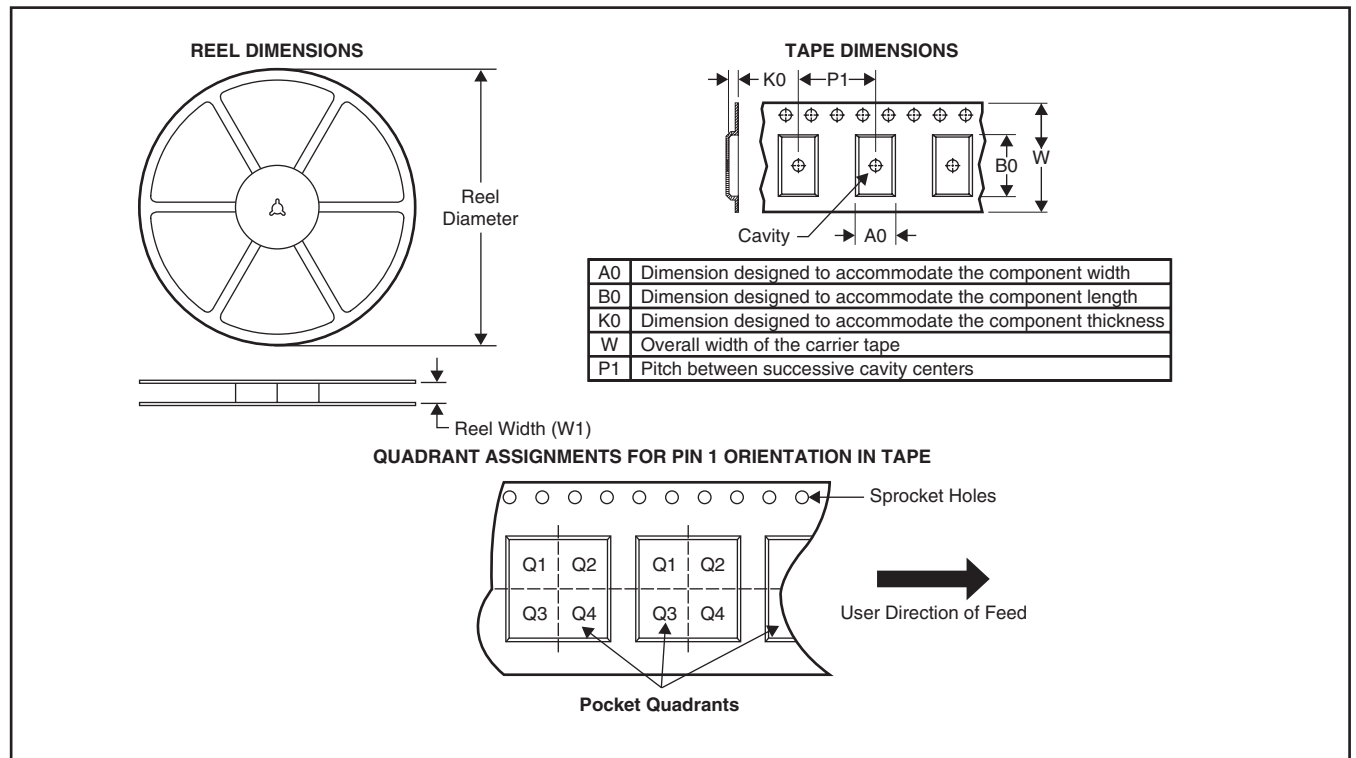
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

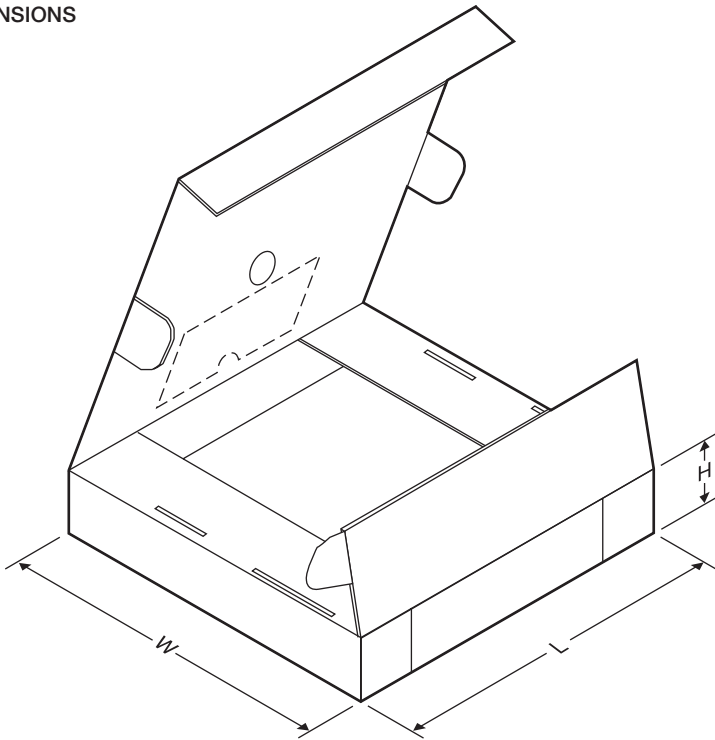


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3818G25DRVR	SON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS3818G25DRV	SON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

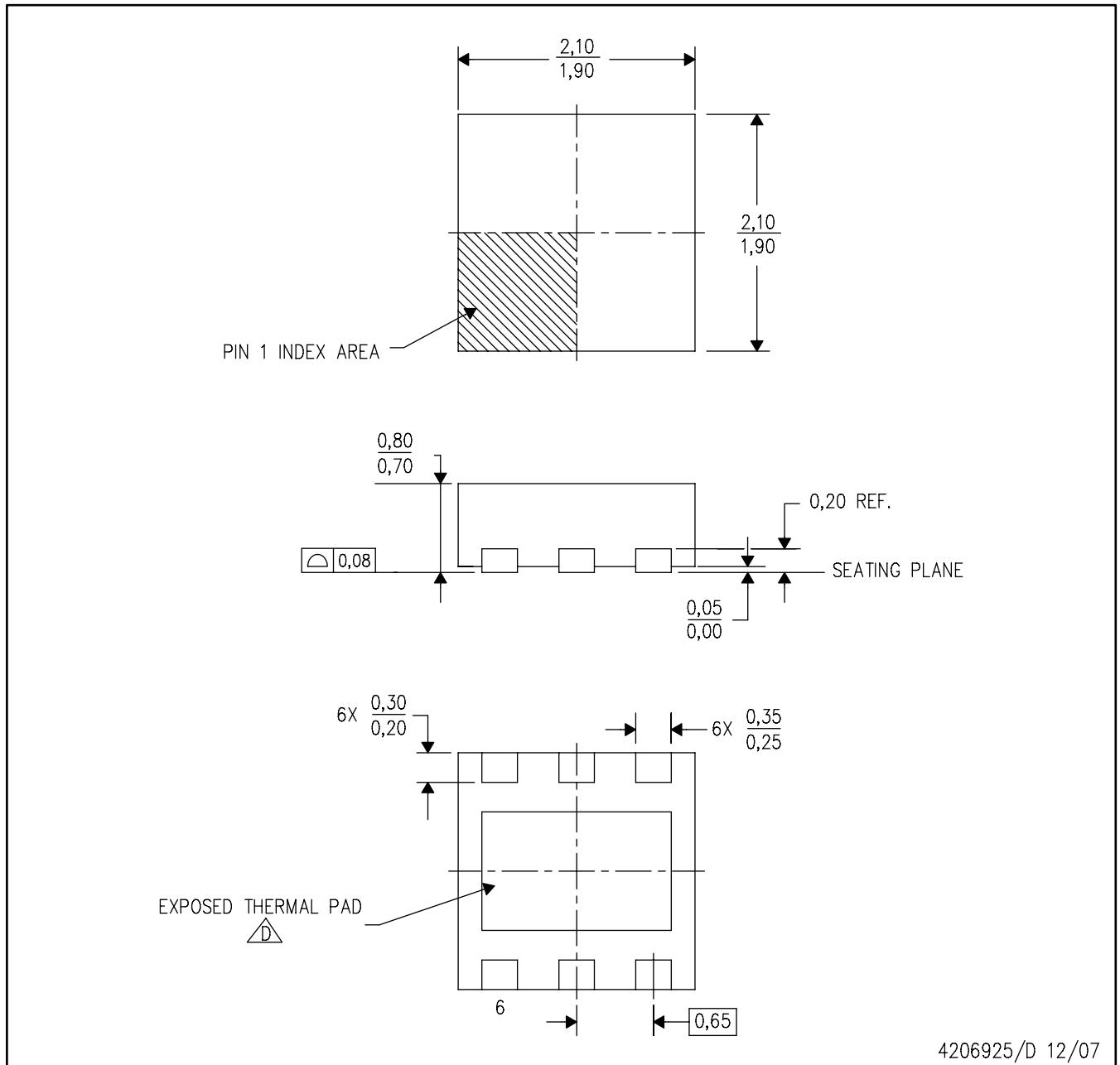
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3818G25DRVR	SON	DRV	6	3000	195.0	200.0	45.0
TPS3818G25DRVT	SON	DRV	6	250	195.0	200.0	45.0



4206925/D 12/07

- 注： A. 全ての線寸法の単位はミリメートルです。寸法/公差はASME Y14.5M-1994によります。
 B. 図は予告なく変更することがあります。
 C. スモール・アウトライン・ノーリード (SON) パッケージ構成です。
 D. パッケージのサーマル・パッドは熱的/機械的特性のためボードに半田付けしなければなりません。
 露出サーマル・パッドの寸法についての詳細はデータシートを参照してください。

サーマルパッド・メカニカル・データ

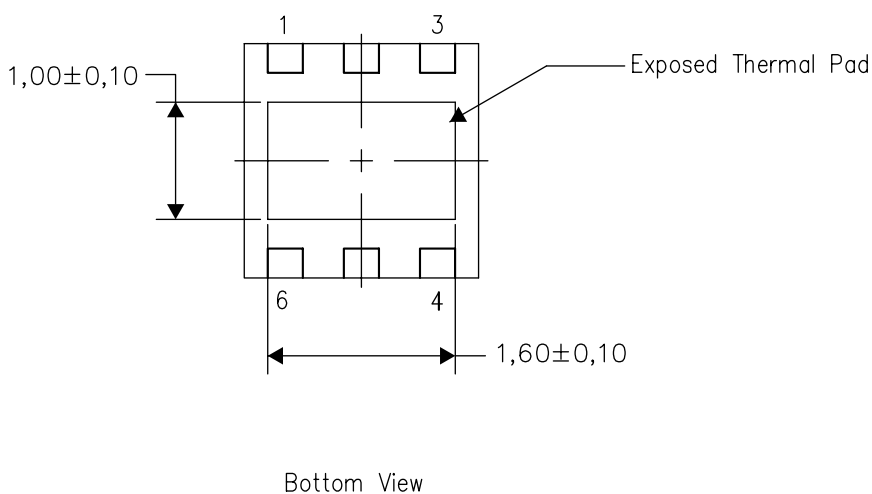
DRV (S-PWSON-N6)

熱特性について

このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマル・パッドをもっています。サーマル・パッドはプリント回路基板(PCB)に直接はんだ付けされなければなりません。はんだ付けされる事によりPCBはヒートシンクとして使用できます。さらに、サーマル・ビアを使用することにより、サーマル・パッドをデバイスの回路図に示されている銅の層に直接接続するか、あるいは、PCBに設計された特別なヒートシンク構造に接続することができます。この設計により、集積回路(IC)からの熱の拡散が最適化されます。

クワッド・フラットパック・ノーリード(QFN)パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages” TI文献番号SCBA017を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージの露出サーマル・パッドの寸法は以下の図に示されています。

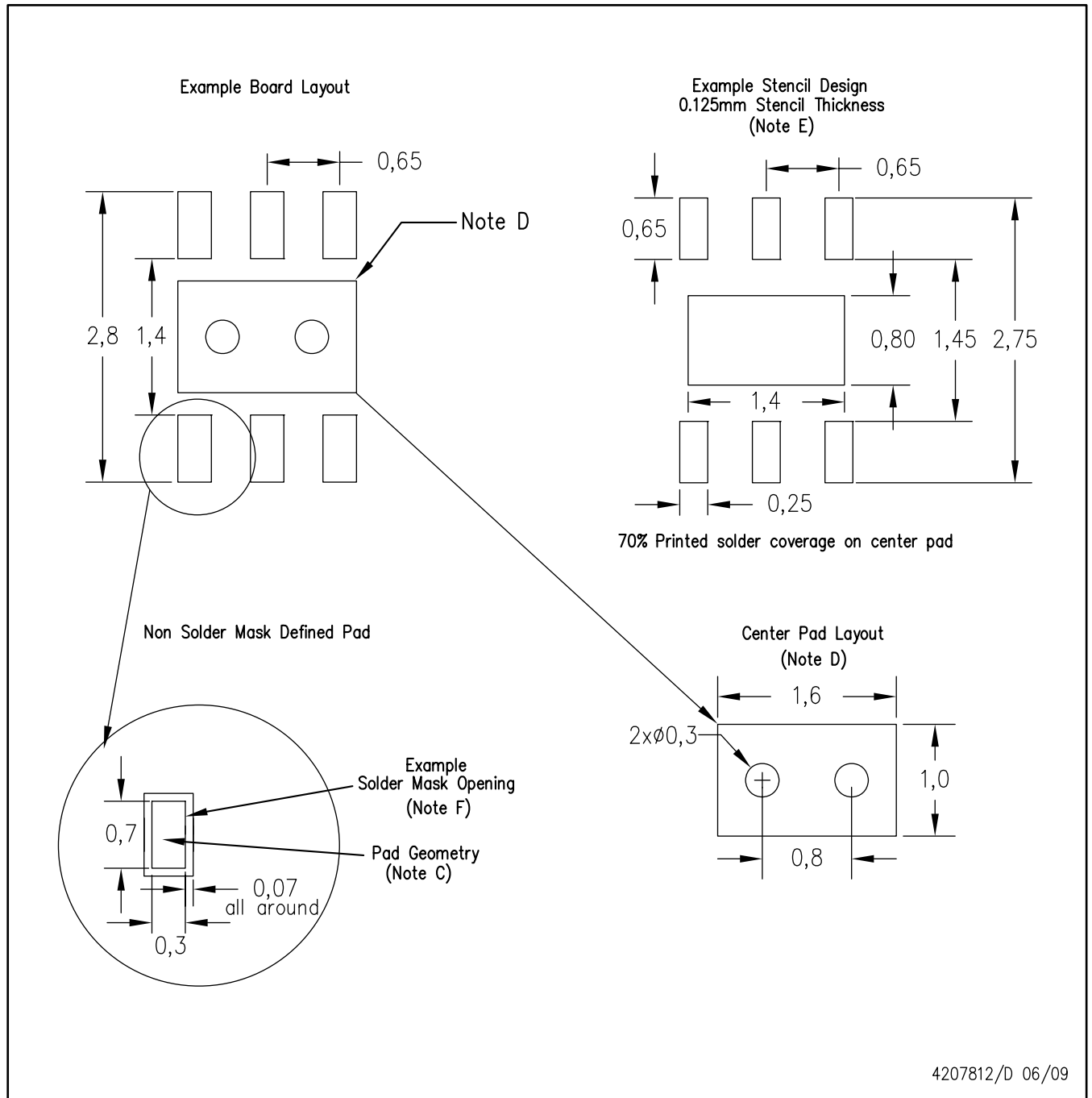


注：寸法はすべてミリメートル単位です。

露出サーマル・パッドの寸法

ランド・パターン

DRV (S-PDSO-N6)



注： A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 出版番号IPC-7351は設計代案についての推奨です。

D. このパッケージはボードのサマル・パッドにはんだ付けされるよう設計されています。個別の熱情報、ビアの要件、推奨するボード・レイアウトについてはアプリケーション・ノート “QFN Packages” TI文献番号SCBA017とSLUA271、およびプロダクト・データシートを参照してください。これらの文献はホームページwww.ti.comで入手できます。

E. レーザークットの開口部に台形の壁をつけ、角に丸みをつけるとペースト離れがよくなります。カスタマはステンシルの設計についてボード製作側に提案しなければなりません。ステンシルを設計する際の考察についてはIPC-7525を参照してください。

F. カスタマははんだマスクの公差についてボード製作側に連絡しなければなりません。

(SBVS106A)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated