

広入力電圧、Eco-mode™、シングル同期降圧型コントローラ

特長

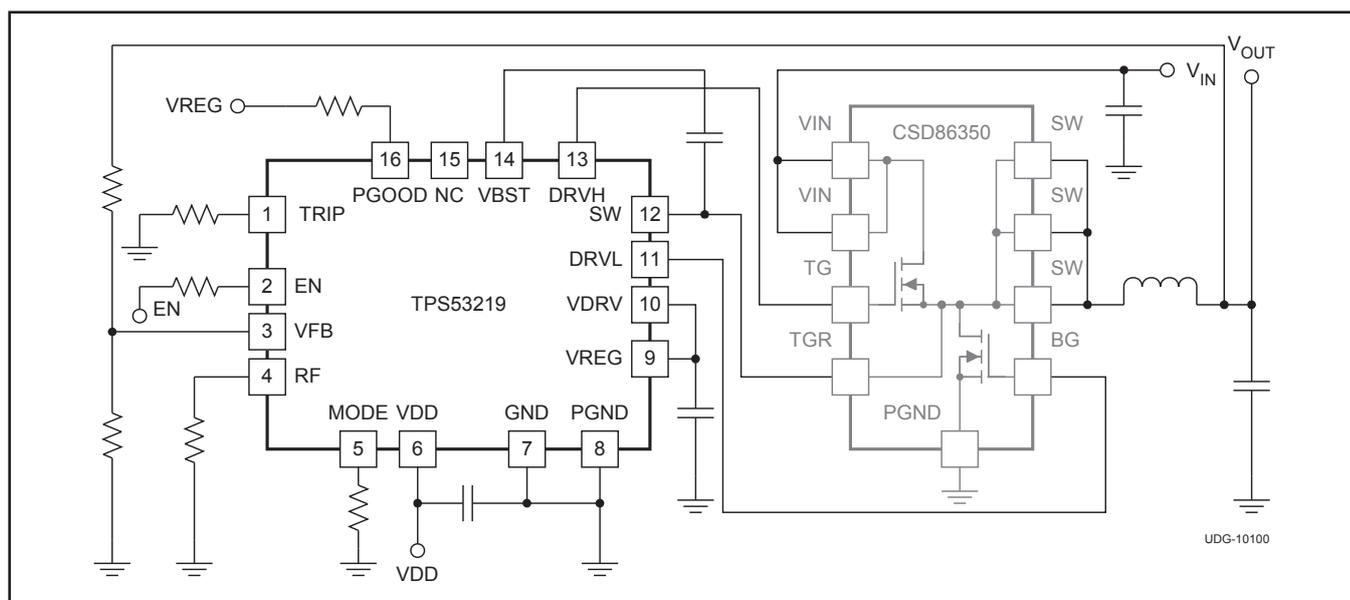
- 広い入力電圧範囲：4.5V～28V
- 出力電圧範囲：0.6V～5.5V
- 広い出力負荷範囲：0A～20A以上
- 0.6Vのリファレンス電圧内蔵
- LDOリニア電圧レギュレータ内蔵
- 自動スキップEco-mode™により軽負荷時の効率を向上
- 負荷ステップ応答100nsのD-CAP™モード
- 8つの周波数設定から選択可能な適応型オン時間制御アーキテクチャ
- 4700ppm/°Cの $R_{DS(on)}$ 電流センス
- 0.7ms、1.4ms、2.8ms、5.6msから選択可能な内部電圧サーボ・ソフト・スタート
- プリチャージ・スタートアップ機能
- 出力放電内蔵
- パワー・グッド出力
- ブースト・スイッチ内蔵
- OVP/UVP/OCP内蔵
- 過熱シャットダウン(非ラッチ)
- 3mm×3mmのQFN、16ピン(RGT)パッケージ

アプリケーション

- ポイント・オブ・ロード(POL) システム
 - － ストレージ・コンピュータ
 - － サーバ・コンピュータ
 - － 多機能プリンタ
 - － 組み込みコンピューティング

概要

TPS53219は、適応型オン時間D-CAP™モード制御に対応した小型のシングル・バック・コントローラです。低出力電圧で高電流のPCシステム電源レールや、民生用デジタル機器で使用される同様なポイント・オブ・ロード(POL)電源に適しています。小さなパッケージと最小限のピン数でPCB上のスペースを削減しながら、専用のENピンおよび選択可能な設定済み周波数によって電源設計が単純化されます。軽負荷状態でのスキップ・モード、強力なゲート・ドライバ、およびローサイドFETの $R_{DS(on)}$ 電流センスにより、幅広い負荷範囲にわたって低損失、高効率を実現します。変換入力電圧(ハイサイドFETのドレイン電圧)の範囲は3V～28V、出力電圧範囲は0.6V～5.5Vです。TPS53219は16ピンQFNパッケージで供給され、-40℃～85℃で仕様が規定されています。



Eco-mode, D-CAPは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

オーダー情報

TA	パッケージ	注文用製番	ピン	供給形態	最小数量	エコプラン
-40°C ~ 85°C	プラスチック QFN (RGT)	TPS53219RGTR	16	テープ・リール	3000	Green (RoHS準拠、 Pb/Br非含有)
		TPS53219RGTT	16	ミニリール	250	

絶対最大定格⁽¹⁾

動作温度範囲内 (特に記述のない限り)

		値	単位	
Input voltage range	VBST	-0.3 ~ 37	V	
	VBST ⁽²⁾	-0.3 ~ 7		
	VDD	-0.3 ~ 28		
	SW	DC		-2.0 ~ 30
		Pulse <20ns, E = 5 μJ		-7
VDRV, EN, TRIP, VFB, RF, MODE		-0.3 ~ 7		
Output voltage range	DRVH	-2.0 ~ 37	V	
	DRVH ⁽²⁾	-0.3 ~ 7		
	DRVL, VREG	-0.5 ~ 7		
	PGOOD	-0.3 ~ 7		
T _J	Junction temperature range	150	°C	
T _{STG}	Storage temperature range	-55 ~ 150	°C	

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 電圧値はSW端子を基準としています。

熱特性について

THERMAL METRIC ⁽¹⁾		TPS53219	単位
		16-PIN RGT	
θ _{JA}	Junction-to-ambient thermal resistance	51.3	°C/W
θ _{JCtop}	Junction-to-case (top) thermal resistance	85.4	
θ _{JB}	Junction-to-board thermal resistance	20.1	
ψ _{JT}	Junction-to-top characterization parameter	1.3	
ψ _{JB}	Junction-to-board characterization parameter	19.4	
θ _{JCbot}	Junction-to-case (bottom) thermal resistance	6.0	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

推奨動作条件

動作温度範囲内 (特に記述のない限り)

		MIN	TYP	MAX	単位
Input voltage range	VBST	-0.1		34.5	V
	VDD	4.5		25	
	SW	-1.0		28	
	VBST ⁽¹⁾	-0.1		6.5	
	EN, TRIP, VFB, RF, VDRV, MODE	-0.1		6.5	
Output voltage range	DRVH	-1.0		34.5	V
	DRVH ⁽¹⁾	-0.1		6.5	
	DRVL, VREG	-0.3		6.5	
	PGOOD	-0.1		6.5	
T _A	Operating free-air temperature	-40		85	°C

(1) 電圧値はSW端子を基準としています。

電気的特性

動作温度範囲内、VDD = 12V(特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位			
SUPPLY CURRENT								
I _{VDD}	VDD supply current	VDD current, T _A = 25°C, No Load, V _{EN} = 5 V, V _{VFB} = 0.630 V			420	590	μA	
I _{VDDSDN}	VDD shutdown current	VDD current, T _A = 25°C, No Load, V _{EN} = 0 V				10	μA	
INTERNAL REFERENCE VOLTAGE								
V _{VFB}	VFB regulation voltage	VFB voltage, CCM condition ⁽¹⁾			600		mV	
V _{VFB}	VFB regulation voltage	T _A = 25°C			597	600	603	mV
		0°C ≤ T _A ≤ 85°C			595.2	600.0	604.8	
		-40°C ≤ T _A ≤ 85°C			594	600	606	
I _{VFB}	VFB input current	V _{VFB} = 0.630V, T _A = 25°C			0.002	0.200	μA	
OUTPUT DRIVERS								
R _{DRVH}	DRVH resistance	Source, I _{DRVH} = -50 mA			1.5	3	Ω	
		Sink, I _{DRVH} = 50 mA			0.7	1.8		
R _{DRVL}	DRVL resistance	Source, I _{DRVL} = -50 mA			1.0	2.2	Ω	
		Sink, I _{DRVL} = 50 mA			0.5	1.2		
t _{DEAD}	Dead time	DRVH-off to DRVL-on			7	17	30	ns
		DRVL-off to DRVH-on			10	22	35	
LDO OUTPUT								
V _{VREG}	LDO output voltage	0 mA ≤ I _{VREG} ≤ 50 mA			5.76	6.20	6.67	V
I _{VREG}	LDO output current ⁽¹⁾	Maximum current allowed from LDO					50	mA
V _{DO}	LDO drop out voltage	V _{VDD} = 4.5 V, I _{VREG} = 50 mA					364	mV
BOOT STRAP SWITCH								
V _{FBST}	Forward voltage	V _{VREG-VBST} , I _F = 10 mA, T _A = 25°C			0.1	0.2	V	
I _{VBSTLK}	VBST leakage current	V _{VBST} = 23 V, V _{SW} = 17 V, T _A = 25°C			0.01	1.5	μA	
DUTY AND FREQUENCY CONTROL								
t _{OFF(min)}	Minimum off-time	T _A = 25°C			150	260	400	ns
t _{ON(min)}	Minimum on-time	V _{IN} = 17 V, V _{OUT} = 0.6 V, R _{RF} = 0 Ω to V _{VREG} , T _A = 25°C ⁽¹⁾			35		ns	
SOFTSTART								
t _{SS}	Internal soft-start time	0 V ≤ V _{OUT} ≤ 95%, R _{MODE} = 39 kΩ			0.7		ms	
		0 V ≤ V _{OUT} ≤ 95%, R _{MODE} = 100kΩ			1.4			
		0 V ≤ V _{OUT} ≤ 95%, R _{MODE} = 200 kΩ			2.8			
		0 V ≤ V _{OUT} ≤ 95%, R _{MODE} = 470 kΩ			5.6			
POWERGOOD								
V _{THPG}	PG threshold	PG in from lower			92.5%	96.0%	98.5%	
		PG in from higher			108%	111%	114%	
		PG hysteresis			2.5%	5.0%	7.8%	
R _{PG}	PG transistor on-resistance				15	30	50	Ω
t _{PG(del)}	PG delay after soft-start				0.8	1	1.2	ms

(1) 設計で確認されています。実製品のテストは行っていません。

電気的特性

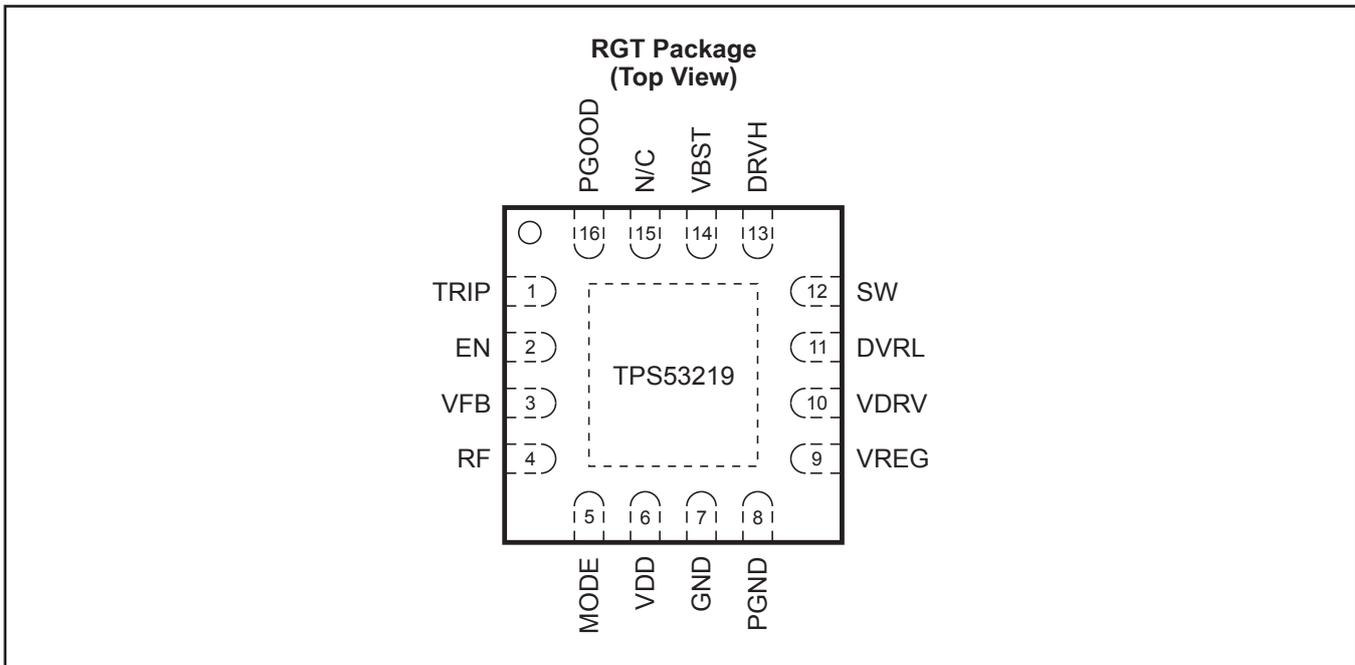
動作温度範囲内、VDD = 12V(特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
LOGIC THRESHOLD AND SETTING CONDITIONS						
V _{EN}	EN voltage threshold	Enable	1.8			V
		Disable	0.5			
I _{EN}	EN input current	V _{EN} = 5 V	1.0			μA
f _{SW}	Switching frequency	R _{RF} = 0 Ω to GND, T _A = 25°C ⁽¹⁾	200	250	300	kHz
		R _{RF} = 187 kΩ to GND, T _A = 25°C ⁽¹⁾	250	300	350	
		R _{RF} = 619 kΩ to GND, T _A = 25°C ⁽¹⁾	350	400	450	
		R _{RF} = Open, T _A = 25°C ⁽¹⁾	450	500	550	
		R _{RF} = 866 kΩ to V _{REG} , T _A = 25°C ⁽¹⁾	580	650	720	
		R _{RF} = 309 kΩ to V _{REG} , T _A = 25°C ⁽¹⁾	670	750	820	
		R _{RF} = 124 kΩ to V _{REG} , T _A = 25°C ⁽¹⁾	770	850	930	
		R _{RF} = 0 Ω to V _{REG} , T _A = 25°C ⁽¹⁾	880	970	1070	
VO DISCHARGE						
I _{Dischg}	VO discharge current	V _{EN} = 0 V, V _{SW} = 0.5 V	5	13		mA
PROTECTION: CURRENT SENSE						
I _{TRIP}	TRIP source current	V _{TRIP} = 1 V, T _A = 25°C	9	10	11	μA
TC _{ITRIP}	TRIP current temp. coef.	T _A = 25°C ⁽²⁾	4700			ppm/°C
V _{TRIP}	Current limit threshold setting range	V _{TRIP-GND} voltage	0.2	3		V
V _{OCL}	Current limit threshold	V _{TRIP} = 3.0 V	355	375	395	mV
		V _{TRIP} = 1.6 V	185	200	215	
		V _{TRIP} = 0.2 V	17	25	33	
V _{OCLN}	Negative current limit threshold	V _{TRIP} = 3.0 V	-406	-375	-355	mV
		V _{TRIP} = 1.6 V	-215	-200	-185	
		V _{TRIP} = 0.2 V	-33	-25	-17	
V _{AZC(adj)}	Auto zero cross adjustable range	Positive	3	15		mV
		Negative		-15	-3	
PROTECTION: UVP AND OVP						
V _{OVP}	OVP trip threshold voltage	OVP detect	115%	120%	125%	
t _{OVP(del)}	OVP propagation delay time	VFB delay with 50-mV overdrive	1			μs
V _{UVP}	Output UVP trip threshold voltage	UVP detect	65%	70%	75%	
t _{UVP(del)}	Output UVP propagation delay time		0.8	1	1.2	ms
t _{UVP(en)}	Output UVP enable delay time	from EN to UVP workable, R _{MODE} = 39 kΩ	2.00	2.55	3.00	ms
UVLO						
V _{UVVREG}	VREG UVLO threshold	Wake up	4.00	4.18	4.50	V
		Hysteresis	0.25			
THERMAL SHUTDOWN						
T _{SDN}	Thermal shutdown threshold	Shutdown temperature ⁽²⁾	145			°C
		Hysteresis ⁽²⁾	10			

(1) 実製品の検査は行っていません。測定条件は、V_{IN} = 12V、V_{OUT} = 1.1V、I_{OUT} = 10Aであり、図17および図18に示す回路を使用しています。

(2) 設計で確認されています。実製品のテストは行っていません。

ピン説明

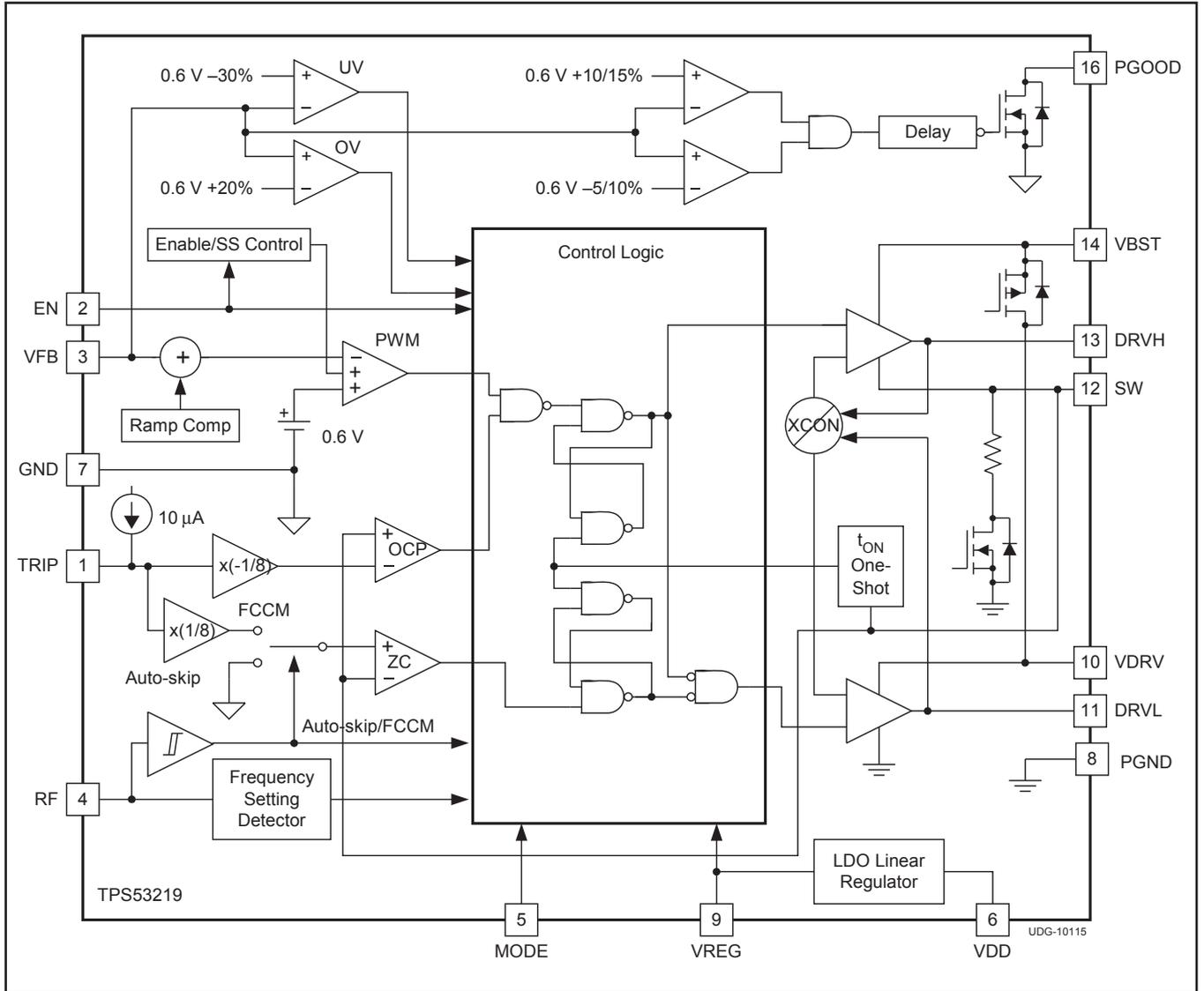


ピン機能

ピン名	ピン番号	I/O/P ⁽¹⁾	説明
DRVH	13	O	ハイサイドMOSFETドライバ出力。SWノードを基準とするフローティング・ドライバです。ゲート駆動電圧は、VBSTとSWノードとの間のブートストラップ・フライング・コンデンサの電圧によって決まります。
DRVL	11	O	同期MOSFETドライバ出力。PGNDを基準とするドライバです。ゲート駆動電圧は、VDRVの電圧により決まります。
EN	2	I	イネーブル・ピン
GND	7	-	グランド・ピン
MODE	5	I	ソフト・スタートおよびスキップ/CCM選択。表1のように抵抗を接続してソフト・スタート時間を選択します。ソフト・スタート時間は、スタートアップ中に検出されて内部レジスタに格納されます。
NC	15	-	接続なし。
PGOOD	16	O	オープン・ドレインのパワー・グッド・フラグ。VFBピンの電圧が指定の制限範囲内に低下した後、1msのスタートアップ遅延時間を挿入します。VFBが指定の制限範囲を外れると、PGOODは10μs以内にLowになります。
PGND	8	G	パワー・グランド
RF	4	I	スイッチング周波数選択。抵抗をGNDまたはVREGに接続して、表2のようにスイッチング周波数を選択します。スイッチング周波数は、スタートアップ中に検出、格納されます。
SW	12	P	変換後電力の出力。このピンは出力インダクタに接続します。
TRIP	1	I	OCL検出スレッシュホールド設定ピン。室温時、4700ppm/°Cで10μAの電流がソースされ、OCLトリップ電圧は次のように設定します。 $V_{OCL} = V_{TRIP}/8$ ($V_{TRIP} \leq 3V$, $V_{OCL} \leq 375mV$)
VBST	14	P	ハイサイドFETゲート・ドライバの電源入力(昇圧端子)。このピンとSWノードとの間にコンデンサを接続します。内部でブートストラップMOSFETスイッチを介してVREGに接続されています。
VDD	6	P	コントローラ用電源入力
VDRV	10	I	ゲート駆動用電源電圧入力。LDO出力をゲート駆動電源として使用する場合は、VREGに接続します。
VFB	3	I	出力帰還入力。このピンは、分圧抵抗を介してV _{OUT} に接続します。
VREG	9	O	6.2V LDO出力

(1) I = 入力、O = 出力、P = 電源

機能ブロック図



代表的特性

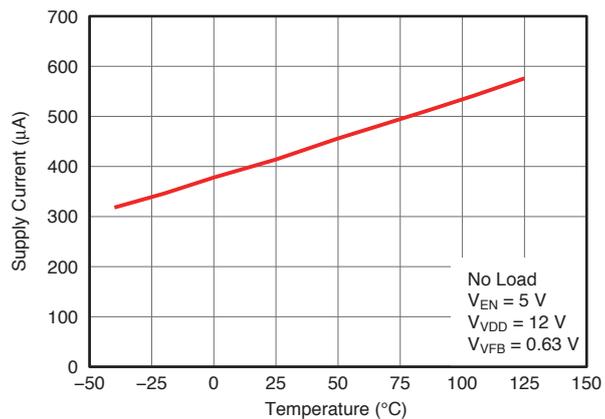


図 1. VDD電源電流 対 温度

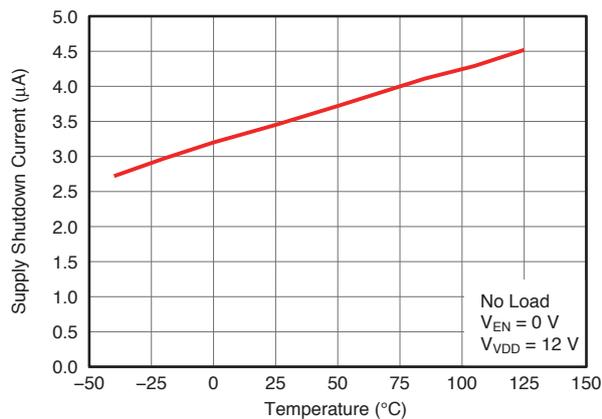


図 2. VDDシャットダウン電流 対 温度

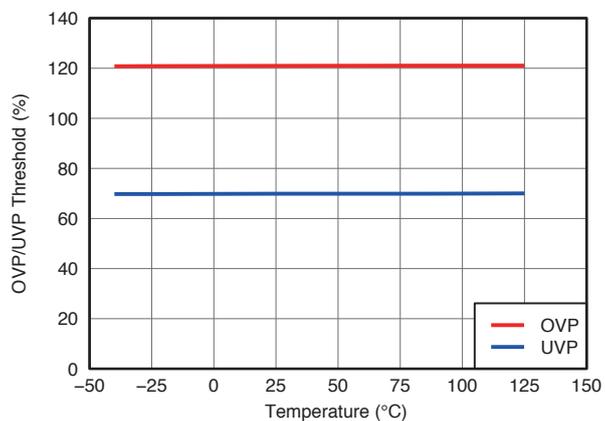


図 3. OVP/UVPスレッシュホルド 対 温度

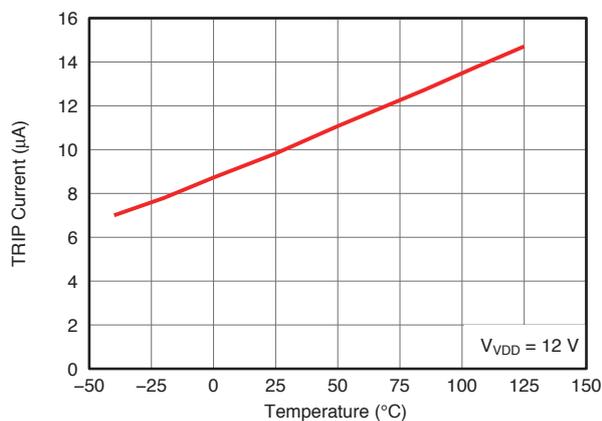


図 4. TRIPピン電流 対 温度

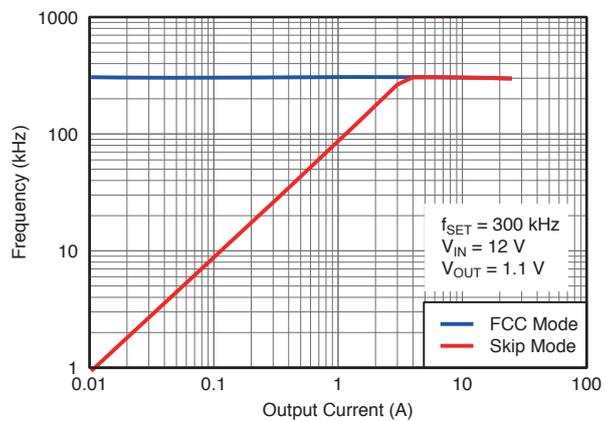


図 5. スイッチング周波数 対 出力電流

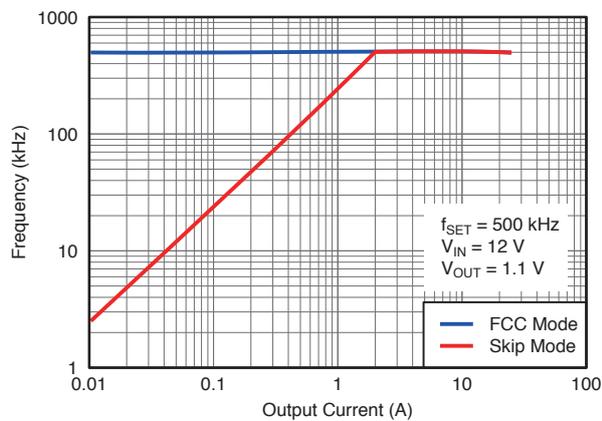


図 6. スイッチング周波数 対 出力電流

代表的特性

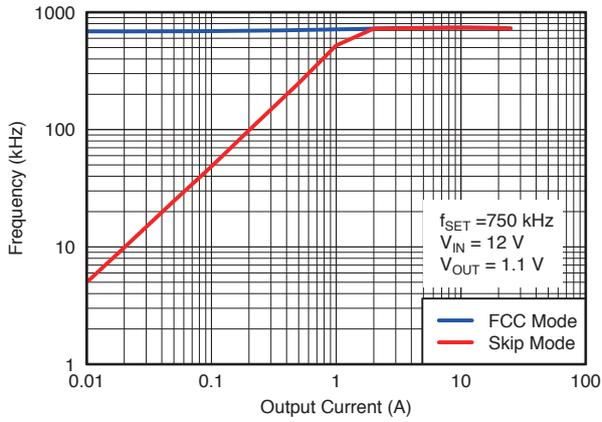


図 7. スイッチング周波数 対 出力電流

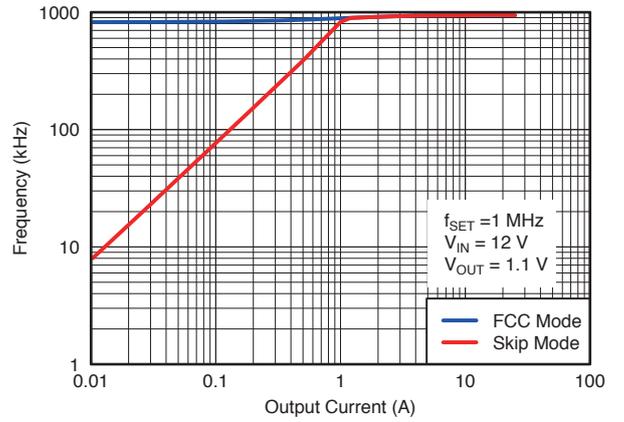


図 8. スイッチング周波数 対 出力電流

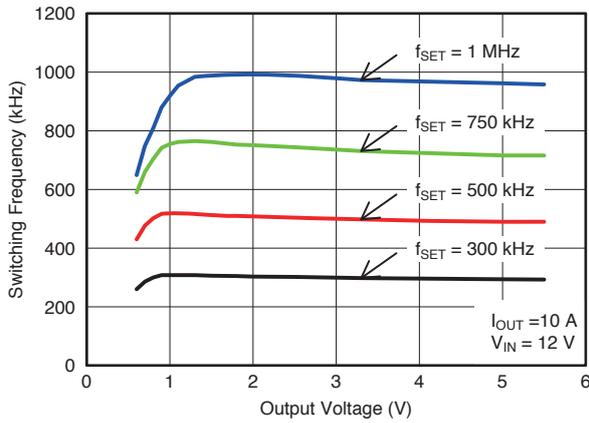


図 9. スイッチング周波数 対 出力電圧

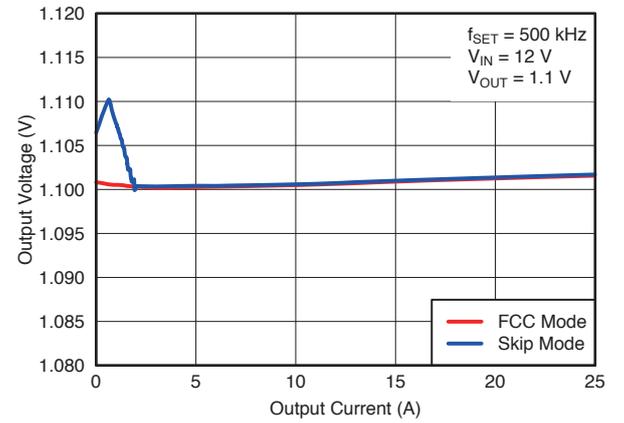


図 10. 出力電圧 対 出力電流

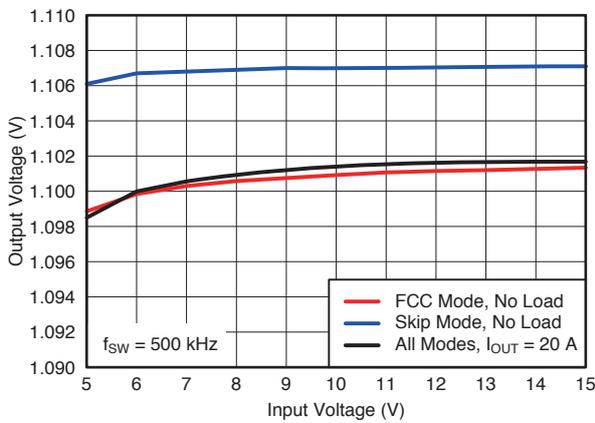


図 11. 出力電圧 対 入力電圧

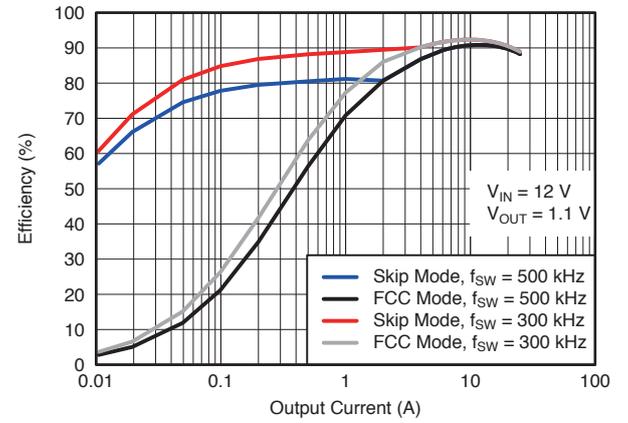


図 12. 効率 対 出力電流

代表的特性

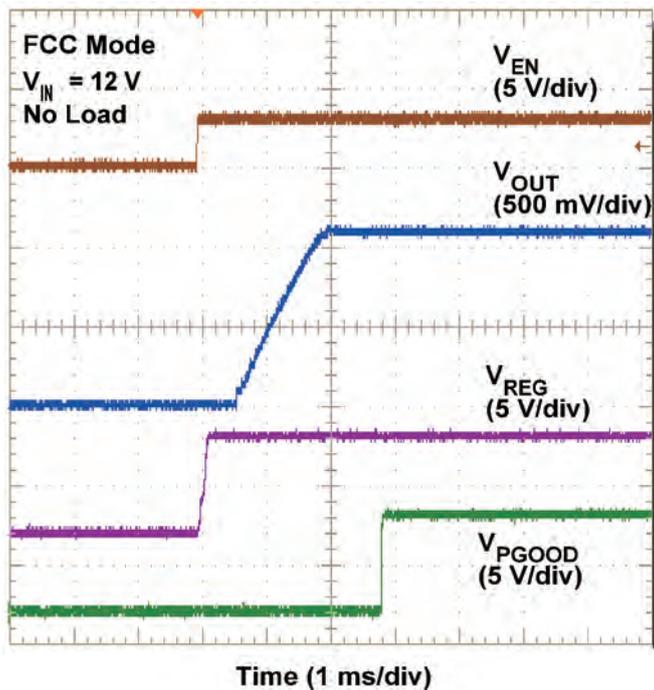


図 13. スタートアップ波形

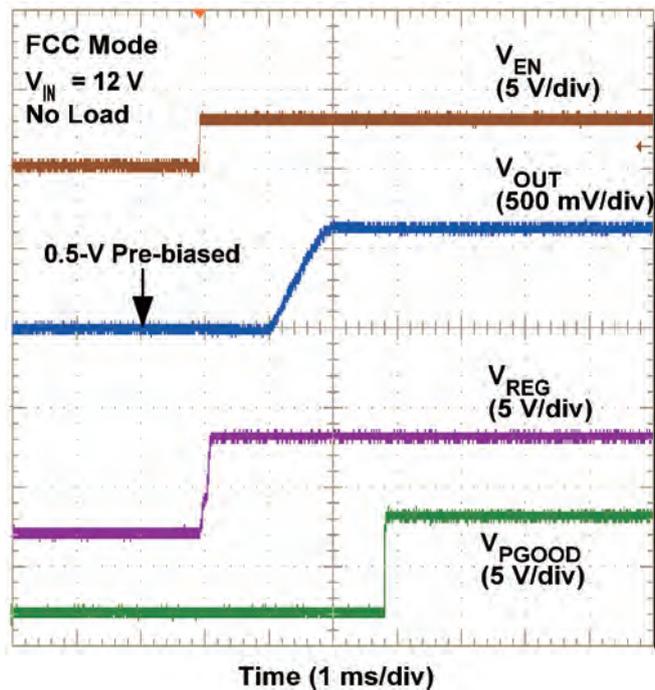


図 14. プリバイアス・スタートアップ波形

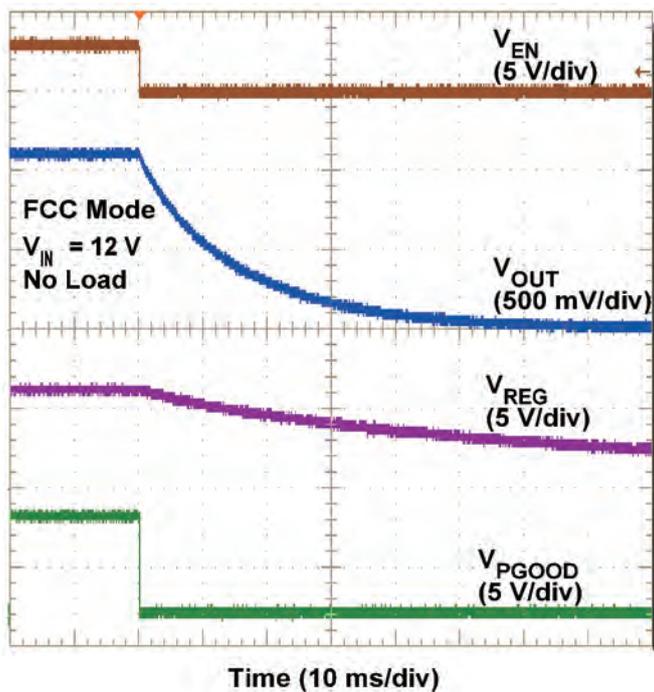


図 15. ターンオフ波形

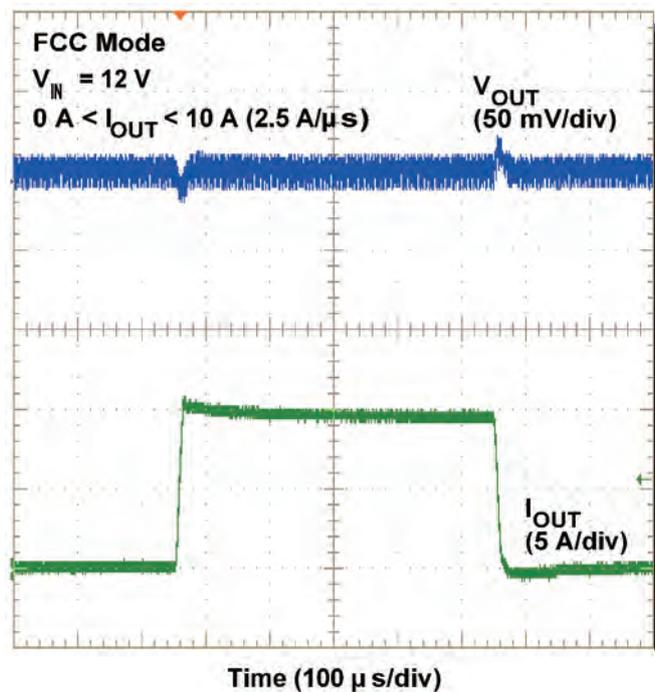


図 16. 負荷過渡応答

アプリケーション回路図

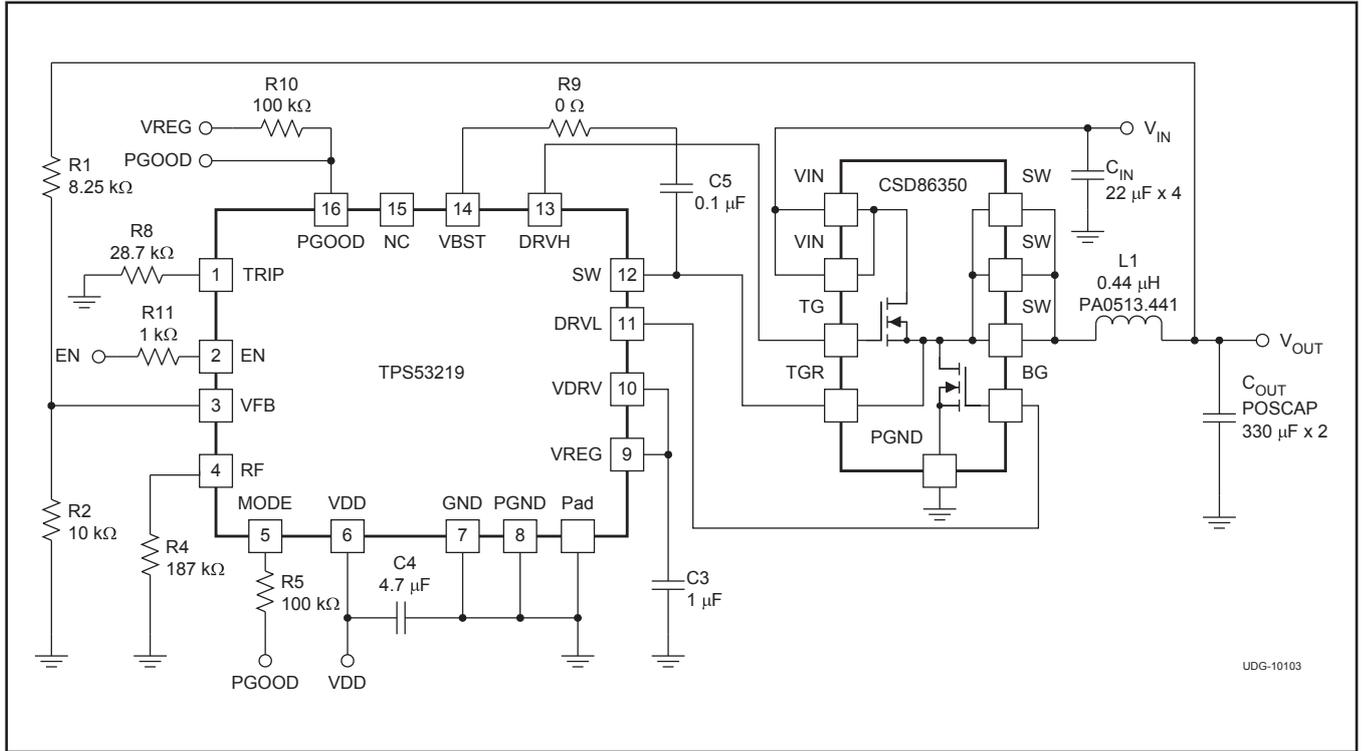


図 17. パワー・ブロックを使用した標準アプリケーション回路図

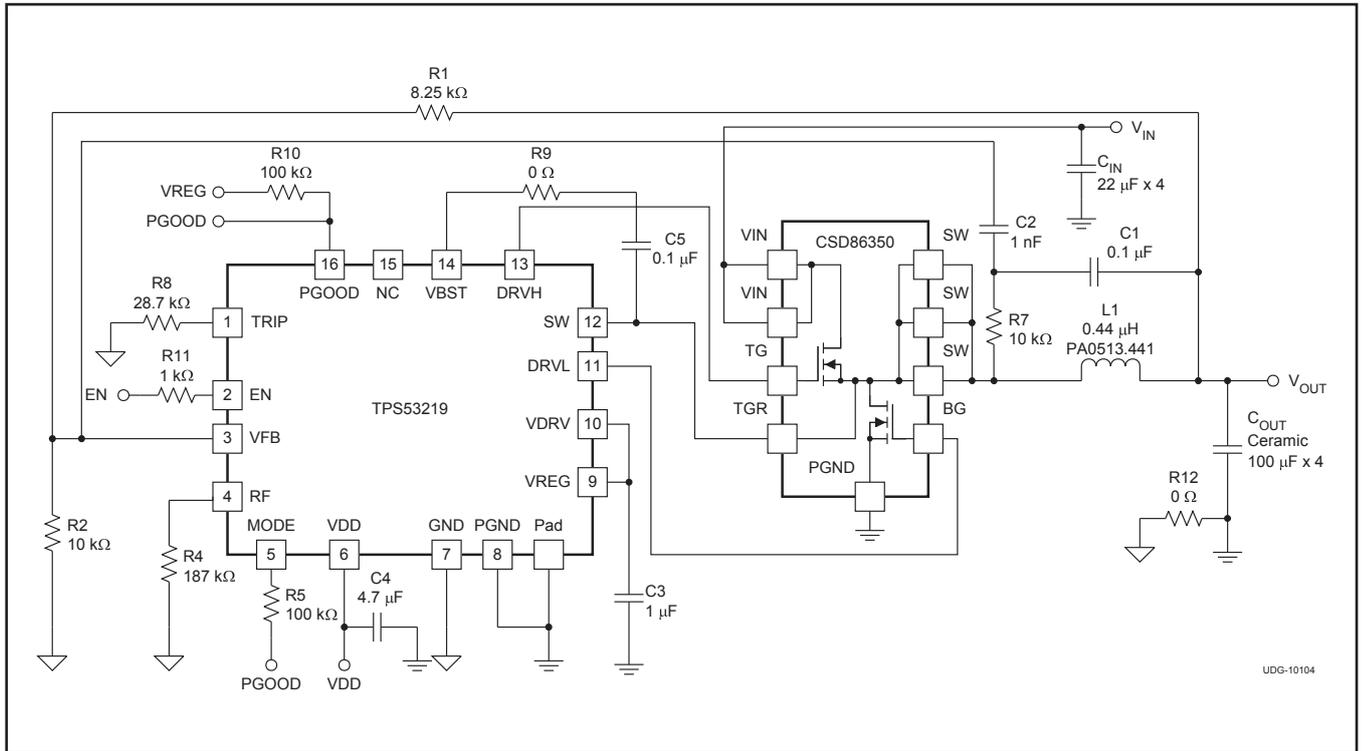


図 18. セラミック出力コンデンサを使用した標準アプリケーション回路図

モード選択	MODE端子の処理	ソフト・スタート 時間 (ms)	R _{MODE} (kΩ)
自動スキップ	GNDにプルダウン	0.7	39
		1.4	100
		2.8	200
		5.6	475
強制CCM ⁽¹⁾	PGOODに接続	0.7	39
		1.4	100
		2.8	200
		5.6	475

表 1. ソフト・スタートとMODE

(1) PGOODがHighになった後、強制CCMとなります。

全般説明

TPS53219は、高効率のシングル・チャンネル同期バック・レギュレータ・コントローラであり、コンピュータや他の民生用デジタル機器で使用される低出力電圧のポイント・オブ・ロード (POL) アプリケーションに適しています。独自のD-CAP™モード制御に加え、適応型オン時間アーキテクチャを搭載しています。これらの組み合わせにより、低デューティ・サイクルで超高速の負荷過渡応答が可能な最先端のDC/DCコンバータを構築できます。出力電圧範囲は、0.6V~5.5Vです。変換入力電圧範囲は、3V~28Vです。D-CAP™モードでは、出力コンデンサのESRを使用してデバイス電流をセンスします。この制御方式の1つの利点は、外部に位相補償回路が不要であることです。これにより、外部部品数の少ない単純な設計が可能となります。RFピンとグラウンドまたはVREGとの間に接続する抵抗によって、8つの設定済みスイッチング周波数値から1つを選択できます。適応型オン時間制御により、幅広い入力および出力電圧範囲にわたって設定済みスイッチング周波数を追跡しながら、負荷のステップ上昇時にはスイッチング周波数を増加させることができます。

TPS53219では、MODEピンを使用して、軽負荷状態時に自動スキップ・モードまたは強制連続導通モード (FCCM) を選択できます。また、MODEピンを使用して、選択可能なソフト・スタート時間を0.7ms~5.6msの範囲で設定できます。強力なゲート・ドライバにより、高電流アプリケーションに対して低R_{DS(on)}のFETを使用できます。

イネーブルとソフト・スタート

ENピンの電圧がイネーブル・スレッショルド電圧 (標準1.4V) を上回ると、コントローラはスタートアップ・シーケンスを開始します。内部LDOレギュレータが直ちに動作を開始し、VREGピンの電圧を6.2Vにレギュレーションします。次に、コントローラは最初の250μsで、RFピンに接続されたスイッチング周波数設定抵抗の校正を行い、内部レジスタにスイッチング周波数コードを格納します。ただし、このフェーズ中はスイッチングが禁止されます。2番目のフェーズでは、内部DACによってリファレンス電圧が0Vから0.6Vまで上昇します。MODEピンの設定により、この上昇時間は0.7ms~5.6msの範囲で変動します。負荷電流に関係なく、スタートアップ中には出力電圧のスムーズな一定の上昇が維持されます。

適応型オン時間D-CAP™制御

TPS53219には、スイッチング周波数を決定する専用発振回路は搭載されていません。ただし、入力電圧および出力電圧をオン時間ワンショット・タイマにフィードフォワードすることにより、擬似定周波数で動作します。適応型オン時間制御では、オン時間が入力電圧に逆比例して出力電圧に比例するよう調整を行います ($t_{ON} \propto V_{OUT}/V_{IN}$)。

その結果、幅広い入力電圧範囲にわたり、スイッチング周波数が定常状態でほぼ一定となります。表2に示すように、RFピンとGNDの間、またはRFピンとVREGピンの間に接続する抵抗によって、スイッチング周波数を8つの設定済みの値から選択できます。(抵抗をオープンにすると、スイッチング周波数は500kHzに設定されます。)

抵抗 (R _{RF}) の接続	スイッチング周波数 (kHz)
GNDに0Ω	250
GNDに187kΩ	300
GNDに619kΩ	400
オープン	500
VREGに866kΩ	650
VREGに309kΩ	750
VREGに124kΩ	850
VREGに0Ω	970

表 2. 抵抗とスイッチング周波数

オフ時間は、PWMコンパレータによって変調されます。VFBノードの電圧 (分圧抵抗の midpoint) が、ランプ信号を付加した内部の0.6Vリファレンス電圧と比較されます。両方の信号が一致すると、PWMコンパレータは設定信号をアサートしてオフ時間を終了させます (ローサイドMOSFETをオフ、ハイサイドMOSFETをオン)。インダクタの電流レベルがOCPスレッショルドより低い場合に、設定信号が有効となります。それ以外の場合は、電流レベルがスレッショルドを下回るまで、オフ時間が延長されます。

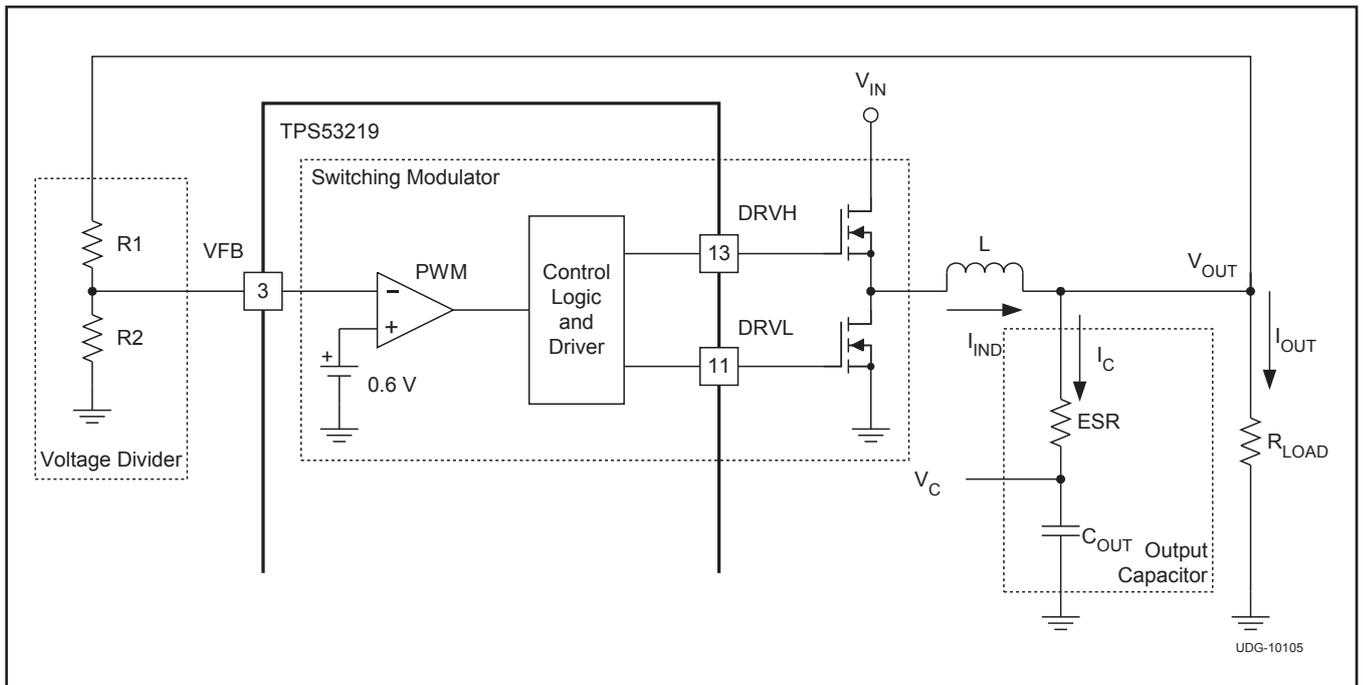


図 19. 単純化された変調回路モデル

小信号モデル

小信号ループ分析により、D-CAP™モードを使用したバックコンバータは、図19に示すように単純化できます。

出力電圧が内部リファレンス電圧と比較されます（単純化のため、ここではランプ信号を無視します）。PWMコンパレータにより、ハイサイドMOSFETをオンにするタイミングが決定されます。このコンパレータのゲインおよび速度は、各オン・サイクルの開始時に電圧をほぼ一定に維持するのに十分なだけ高いと仮定できます。

$$H(s) = \frac{1}{s \times \text{ESR} \times C_{\text{OUT}}} \quad (1)$$

ループの安定性のために、次に定義する0dB周波数 (f_0) がスイッチング周波数の1/4より低い必要があります。

$$f_0 = \frac{1}{2\pi \times \text{ESR} \times C_{\text{OUT}}} \leq \frac{f_{\text{SW}}}{4} \quad (2)$$

上の式により、D-CAP™モードでの変調回路のループ安定性は、主にコンデンサの特性によって決定されます。たとえば、特殊ポリマー・コンデンサ (SP-CAP) は数百μFオーダーの出力容量と10mΩ程度のESRを持ちます。その場合、 f_0 は100kHzオーダー以下となり、ループの安定性が高まります。ただし、セラミック・コンデンサは f_0 が700kHzを超えるため、この変調回路で使用する場合は特別な注意が必要となります。セラミック・コンデンサに対するアプリケーション回路は、「すべてのセラミック出力コンデンサに対する外部部品選択」に記載されています。

ランプ信号

TPS53219は、ジッタ特性を改善するため、0.6Vリファレンスにランプ信号を付加します。前述のとおり、帰還電圧をリファレンス電圧と比較することで、出力電圧のレギュレーションが維持されま

す。リファレンスに小さなランプ信号を付加することで、新しいスイッチング・サイクルの開始時のS/N比が向上します。それにより、ジッタが減少して、動作がより安定します。ランプ信号は、オン・サイクルの開始時に-7mVとなるよう制御され、定常状態でオフ・サイクルが終了すると0mVとなります。

自動スキップ動作での軽負荷状態

R_{MODE} を介してMODEピンがLowになっている間、TPS53219は、高効率を維持するために、軽負荷状態ではスイッチング周波数を自動的に低下させます。動作の詳細を次に示します。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きの“谷”がゼロ・レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。このゼロ・インダクタ電流が検出されると、同期MOSFETがオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モード (DCM) に入ります。オン時間は連続導通モードのときとほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。軽負荷動作への遷移点 $I_{\text{O(LL)}}$ （つまり、連続導通モードと不連続導通モードの間のスレッシュホールド）は、式 (3) で計算できます。

$$I_{\text{O(LL)}} = \frac{1}{2 \times L \times f_{\text{SW}}} \times \frac{(V_{\text{IN}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN}}} \quad (3)$$

ここで

- f_{SW} はPWMスイッチング周波数です。

軽負荷状態での出力電流に対するスイッチング周波数は、 L 、 V_{IN} 、および V_{OUT} の関数ですが、式 (3) で得られる $I_{\text{O(LL)}}$ からは出力電流にほぼ比例して減少します。例えば、周波数設定が300kHzの場合、 $I_{\text{O(LL)}}$ /5では60kHzとなります。

適応型ゼロクロス

TPS53219には、適応型ゼロクロス回路が搭載され、スキップモード動作時にゼロ・インダクタ電流検出の最適化を行います。この機能では、ローサイドMOSFETの理想的なオフ・タイミングを追求し、Z-Cコンパレータの固有オフセット電圧、およびZ-C検出回路の遅延時間を補償します。これにより、検出が遅すぎる場合のSWノードの電圧上昇を防ぎ、検出が早すぎる場合のダイオードの導通時間を最小限に抑えます。その結果、より優れた軽負荷効率が実現されます。

強制連続導通モード

MODEピンを抵抗経路でPGOODに接続すると、コントローラは軽負荷状態時に連続導通モード(CCM)を維持します。このモードでは、負荷範囲全体にわたってスイッチング周波数がほぼ一定に保たれます。これは、効率が低下してもスイッチング周波数の厳密な制御が必要であるようなアプリケーションに適しています。

出力放電制御

ENがLowになると、TPS53219は、ハイサイドおよびローサイドのMOSFETをオフ状態に維持しながら、SWピンとPGNDピンの間に接続された内部MOSFETを使用して出力コンデンサを放電します。標準放電抵抗は40Ωです。このソフト放電は、ENがLowになったときのみ行われます。VREGがLowになった後は、内部MOSFETがオフになり、放電機能が非アクティブになります。

ローサイド・ドライバ

ローサイド・ドライバは、高電流、低 $R_{DS(on)}$ のNチャネルMOSFETを駆動するために設計されています。駆動能力は、その内部抵抗によって表され、VDRV~DRV L間では1.0Ω、DRV L~GND間では0.5Ωです。ハイサイドMOSFETのオフからローサイドMOSFETのオンまでの間、およびローサイドMOSFETのオフからハイサイドMOSFETのオンまでの間、貫通電流を防止するためのデッドタイムが内部で生成されます。バイアス電圧VDRVは、6.2VのVREG電源、または外部電源から供給できます。瞬時駆動電流は、VDRVピンとPGNDピンの間に接続された入力コンデンサによって供給されます。

平均ローサイド・ゲート駆動電流は、式(4)で求められます。

$$I_{GL} = C_{GL} \times V_{VDRV} \times f_{SW} \quad (4)$$

ハイサイド・ドライバ

ハイサイド・ドライバは、高電流、低 $R_{DS(on)}$ のNチャネルMOSFETを駆動するように設計されています。フローティング・ドライバとして構成した場合、バイアス電圧がVDRVピン電源から供給されます。平均駆動電流は、式(5)で求められます。

$$I_{GH} = C_{GH} \times V_{VDRV} \times f_{SW} \quad (5)$$

瞬時駆動電流は、VBSTピンとSWピン間のフライング・コンデンサによって供給されます。駆動能力は、その内部抵抗によって表され、VBST~DRVH間では1.5Ω、DRVH~SW間は

0.7Ωです。

TPS53219のパッケージで消費する必要がある駆動電力の大きさは、次のようになります。

$$P_{DRV} = (I_{GL} + I_{GH}) \times V_{VDRV} \quad (6)$$

パワー・グッド

TPS53219には、スイッチ出力が目標範囲内のときにHighとなるパワー・グッド出力があります。パワー・グッド機能はソフト・スタートの終了後に起動されます。出力電圧が目標値の+10%または-5%以内である場合、内部のコンパレータによりパワー・グッド状態が検出され、内部で1msの遅延が加えられた後、パワー・グッド信号がHighになります。出力電圧が目標値の+15%または-10%を超えた場合、内部で2μsの遅延が加えられた後、パワー・グッド信号がLowになります。パワー・グッド出力は、オープン・ドレイン出力であり、外部でプルアップする必要があります。

電流センスおよび過電流保護

TPS53219では、サイクル毎に過電流制限制御が行われます。オフ状態のとき、インダクタ電流が監視されます。インダクタ電流が過電流トリップ・レベルを超えている間、オフ状態が維持されます。高精度と低コストを両立するために、TPS53219では温度補償付きMOSFET $R_{DS(on)}$ センス機能がサポートされています。トリップ電圧設定抵抗である R_{TRIP} を経由して、TRIPピンをGNDに接続します。TRIPピンからは室温で標準10μAの I_{TRIP} 電流が供給され、式(7)に示すように、トリップ・レベルはOCLトリップ電圧である V_{TRIP} に設定されます。 V_{TRIP} は内部で約3Vに制限されることに注意してください。

$$V_{TRIP} (mV) = R_{TRIP} (k\Omega) \times I_{TRIP} (\mu A) \quad (7)$$

インダクタ電流は、GNDピンとSWピン間の電圧によって監視されるため、SWピンをローサイドMOSFETのドレイン端子に適切に接続する必要があります。 I_{TRIP} については、 $R_{DS(on)}$ の温度依存性を補償するために、4700ppm/°Cの温度スロープが設定されています。GNDピンが正電流センスノードとして使用されます。GNDピンは、適切な電流センス・デバイス(ローサイドMOSFETのソース端子など)に接続する必要があります。

比較はオフ状態のときに実行されるため、 V_{TRIP} によってインダクタ電流の“谷”のレベルが設定されます。従って、過電流スレッシュホールドにおける負荷電流 I_{OCP} は、式(8)のように計算できます。

$$\begin{aligned} I_{OCP} &= \frac{V_{TRIP}}{(8 \times R_{DS(on)})} + \frac{I_{IND(ripple)}}{2} \\ &= \frac{V_{TRIP}}{(8 \times R_{DS(on)})} + \frac{1}{2 \times L \times f_{SW}} \\ &\quad \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \end{aligned} \quad (8)$$

過電流状態では、負荷への電流が出力コンデンサへの電流より大きくなるため、通常は出力電圧が低下します。最終的には、

出力電圧が低電圧保護スレッシュホールドを下回り、シャットダウンされます。ヒカップ遅延 (16ms、および0.7msのソフト・スタート)後に、コントローラは再起動します。過電流状態が続いている場合は、同じ手順が繰り返され、デバイスはヒカップ・モードに入ります。

CCMの間は、負電流制限 (NCL) によって外部FETが過剰な電流から保護されます。NCL検出スレッシュホールドは、正のOCLと同じ絶対値 (極性は負) として設定されます。この場合もスレッシュホールドはインダクタ電流の“谷”の値を示しています。

過電圧および低電圧保護

TPS53219では、抵抗で分圧された帰還電圧を監視することで、過電圧と低電圧を検出しています。帰還電圧が目標電圧の70%より低くなると、UVPコンパレータ出力がHighになり、内部のUVP遅延カウンタがカウントを開始します。1msの経過後、TPS53219はハイサイドとローサイドの両方のMOSFETドライバをオフにします。ヒカップ遅延 (16ms、および0.7msのソフト・スタート)後に、コントローラは再起動します。この機能は、ソフト・スタートの完了から1.5ms後にイネーブルになります。

帰還電圧が目標電圧の120%を超過すると、OVPコンパレータの出力がHighになり、ハイサイドMOSFETドライバがオフ、ローサイドMOSFETドライバがオンにラッチされます。出力電圧は低下します。出力電圧がUVスレッシュホールドに達すると、ハイサイドMOSFETとローサイドMOSFETの両方のドライバがオフになり、デバイスはヒカップ遅延後に再起動します。OV状態が継続している場合、ハイサイドMOSFETとローサイドMOSFETの両方のドライバは、OV状態が解消されるまでの間、オフに保持されます。

UVLO保護

TPS53219は、VREGの低電圧誤動作保護 (UVLO) を備えています。VREGの電圧がUVLOスレッシュホールド電圧を下回ると、スイッチ・モード電源がオフになります。これは非ラッチ方式の保護です。

過熱シャットダウン

TPS53219には、温度監視機能があります。温度がスレッシュホールド値 (標準145°C) を超えると、デバイスがシャットダウンされます。これは非ラッチ方式の保護です。

外部部品の選択

D-CAP™モードを使用する場合、外部部品の選択は単純なプロセスとなります。

1. インダクタの選択

インダクタンスは、リップル電流が最大出力電流の約1/4~1/2になるよう決定する必要があります。リップル電流が大きくなると、

出力リップル電圧が増加し、信号対雑音比が向上するため、安定動作につながります。

$$L = \frac{1}{I_{\text{IND(ripple)}} \times f_{\text{SW}}} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}}$$

$$= \frac{3}{I_{\text{OUT(max)}} \times f_{\text{SW}}} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} \quad (9)$$

良好な効率を得るには、低DCRのインダクタが必要です。また、ピーク・インダクタ電流から飽和までの間に十分な余裕が必要です。ピーク・インダクタ電流は式 (10) で見積もることができます。

$$I_{\text{IND(peak)}} = \frac{V_{\text{TRIP}}}{8 \times R_{\text{DS(on)}}} + \frac{1}{L \times f_{\text{SW}}} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} \quad (10)$$

2. 出力コンデンサの選択

有機半導体コンデンサまたは特殊ポリマー・コンデンサを使用する際には、ループ安定性のために、容量およびESRが式 (2) を満足する必要があります。ジッタ特性を考慮し、式 (11) をESR決定の開始点として使用できます。

$$\text{ESR} = \frac{V_{\text{OUT}} \times 10\text{mV} \times (1-D)}{0.6\text{V} \times I_{\text{IND(ripple)}}} = \frac{10\text{mV} \times L \times f_{\text{SW}}}{0.6\text{V}}$$

$$= \frac{L \times f_{\text{SW}}}{60} \quad (\Omega) \quad (11)$$

ここで

- Dは、デューティ係数です。
- 必要な出力リップル・スロープは、 t_{SW} (スイッチング周期) 毎に (VFB端子の電圧で) 約20mVです。

3. R1とR2の値の決定

出力電圧は、図19に示す分圧抵抗R1およびR2によってプログラミングされます。R1はVFBピンと出力の間に接続し、R2はVFBピンとGNDの間に接続します。R2の推奨値は、10kΩ~20kΩです。R1は、式 (12) で決定します。

$$R1 = \frac{V_{\text{OUT}} - \left(\frac{I_{\text{IND(ripple)}} \times \text{ESR}}{2} \right) - 0.6}{0.6} \times R2 \quad (12)$$

すべてのセラミック出力コンデンサに対する外部部品選択

セラミック出力コンデンサを使用する場合は、式 (2) の安定性条件が満足できません。図18に示すようなリップル注入手法を実装することで、VFBピンのリップルを増加させ、システムを安定させます。C2は1nFに固定できます。C1の値は、10nF~200nFの範囲で選択できます。

VFBピン上のリップルが増加することで、VFBのDC値が増加します。VFBピンに結合されるACリップルには2つの成分があり、1つはSWノードから、もう1つはV_{OUT}から結合されます。これらは、式 (13) および式 (14) で計算できます。

$$V_{INJ(SW)} = \frac{(V_{IN} - V_{OUT})}{R7 \times C1} \times \frac{D}{f_{SW}} \quad (13)$$

$$V_{INJ(OUT)} = ESR \times I_{IND(ripple)} + \frac{I_{IND(ripple)}}{8 \times C_{OUT} \times f_{SW}} \quad (14)$$

VFBのDC値は、式 (15) で求められます。

$$V_{FB} = 0.6 + \frac{(V_{INJ(SW)} + V_{INJ(OUT)})}{2} \quad (15)$$

また、分圧抵抗の値は式 (16) で決定できます。

$$R1 = \frac{(V_{OUT} - V_{FB})}{V_{FB}} \times R2 \quad (16)$$

レイアウトについての考慮事項

TPS53219を使用したレイアウト作業を開始する前に、いくつかの点を考察する必要があります。

- インダクタ、V_{IN}コンデンサ、V_{OUT}コンデンサ、およびMOSFETは、パワー部品であり、PCBの一方の側(半田面)に配置する必要があります。他の小信号部品は、もう一方の側(部品面)に配置します。小信号パターンをノイズの多いパワーラインから遮蔽および分離するために、グラウンドに接続された1つ以上の内部プレーンを挿入する必要があります。
- カップリングを避けるために、VFB、PGOOD、TRIP、MODE、RFなどの敏感なアナログパターンおよび部品はすべて、SW、DRVL、DRVH、VBSTなどの高電圧スイッチングノードから離して配置します。内部の層をグラウンドプレーンとして使用し、帰還パターンをパワーパターンやパワー部品から遮蔽してください。
- DC/DCコンバータには、いくつかの高電流ループが存在します。スイッチングノイズの生成を防ぐため、これらのループの面積は最小限に抑える必要があります。
 - 面積の最小化が最も重要であるループは、V_{IN}コンデンサからハイサイドおよびローサイドMOSFETを経由し、グラ

ドを通してコンデンサへと戻るパスです。V_{IN}コンデンサの負ノードとローサイドMOSFETのソースは、互いにできる限り近付けてグラウンドに接続します。

- 2番目に重要なループは、ローサイドMOSFETからインダクタおよびV_{OUT}コンデンサを経由し、グラウンドを通してローサイドMOSFETのソースへと戻るパスです。ローサイドMOSFETのソースとV_{OUT}コンデンサの負ノードとは、互いにできる限り近付けてグラウンドに接続します。
- 3番目に重要なループは、ローサイドMOSFETのゲート駆動システムのループです。ローサイドMOSFETをオンにする際には、VDRVコンデンサからゲート・ドライバおよびローサイドMOSFETを経由して高電流が流れ、グラウンドを通してコンデンサの負ノードへと戻ります。ローサイドMOSFETをオフにする際には、ローサイドMOSFETのゲートからゲート・ドライバおよびデバイスのPGNDを経由して高電流が流れ、グラウンドを通してローサイドMOSFETのソースへと戻ります。VDRVコンデンサの負ノードとローサイドMOSFETのソースおよびデバイスのPGNDは、互いにできる限り近付けてグラウンドに接続します。
- TPS53219はV_{OUT}コンデンサの電圧を基準に出力電圧を制御するため、分圧抵抗回路の上側抵抗をV_{OUT}コンデンサの正ノードに接続する必要があります。同様に、下側抵抗とデバイスのGNDを、ともにV_{OUT}コンデンサの負ノードに接続する必要があります。これらの抵抗からVFBピンへのパターンは短く、細くしてください。基板の部品面に配置し、これらの抵抗とデバイス間にビアの使用は避けま
- TRIPピンとグラウンドの間に過電流設定抵抗を接続し、接続はデバイスにできる限り近付けて行います。TRIPピンと抵抗の間、および抵抗とグラウンドの間のパターンは、高電圧スイッチングノードへのカップリングを避けてください。
- RFピンとグラウンド、またはPGOODピンとの間に周波数設定抵抗を接続し、接続はデバイスにできる限り近付けて行います。RFピンと抵抗の間、および抵抗とグラウンドの間のパターンは、高電圧スイッチングノードへのカップリングを避けてください。
- ゲート・ドライバからハイサイドMOSFETまたはローサイドMOSFETの各ゲートまでの接続は、浮遊インダクタンスを低減するために、できるだけ短くします。幅0.65mm(25mil)以上のパターンを使用し、このパターンに沿って直径0.5mm(20mil)以上のビアを使用します。
- ハイサイドMOSFETのソース、ローサイドMOSFETのドレインおよびインダクタの高電圧側に接続される、スイッチノードとして定義されたPCBパターンは、できる限り短く幅広くします。
- セラミック出力コンデンサの端子からリップル注入V_{OUT}信号(図18に示すC1コンデンサのV_{OUT}側)を接続します。ACカップリングコンデンサ(図18のC7)をデバイスの近くに配置できます。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/ Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS53219RGTR	ACTIVE	QFN	RGT	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
TPS53219RGTT	ACTIVE	QFN	RGT	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSELETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

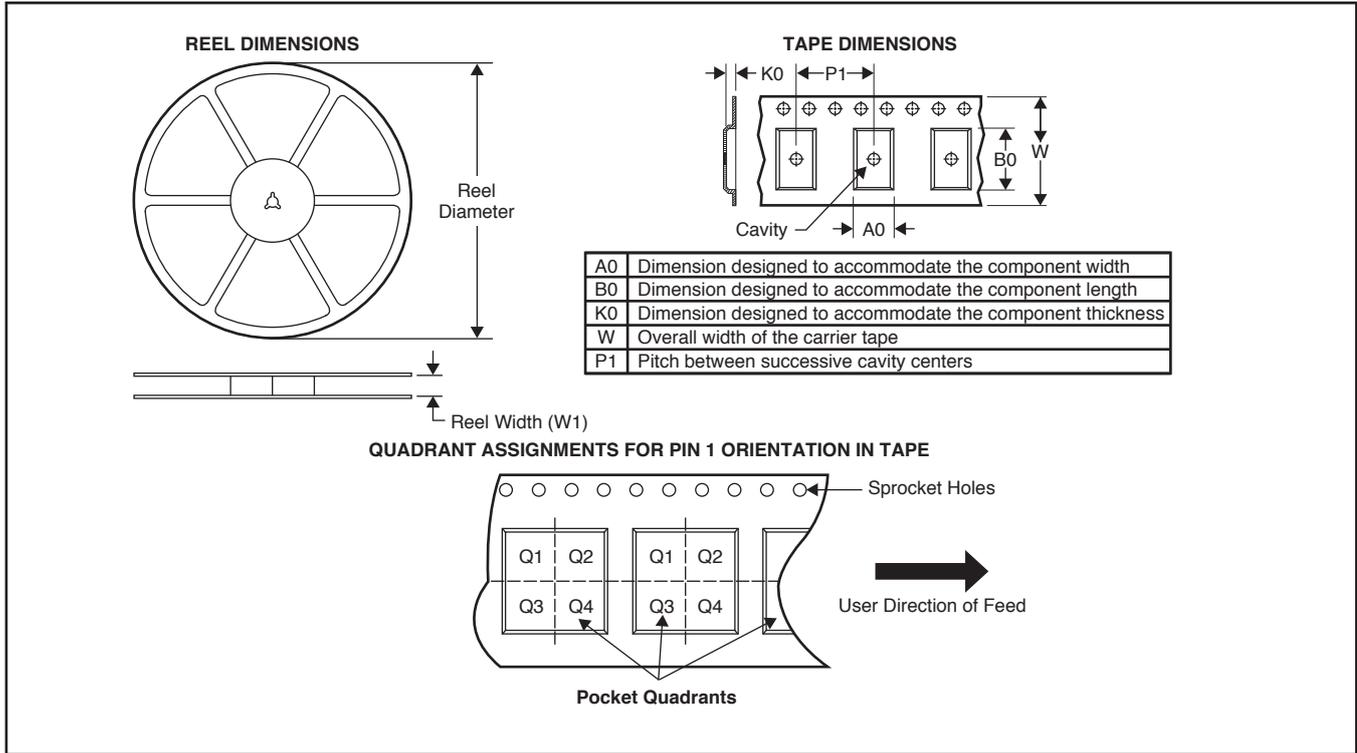
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

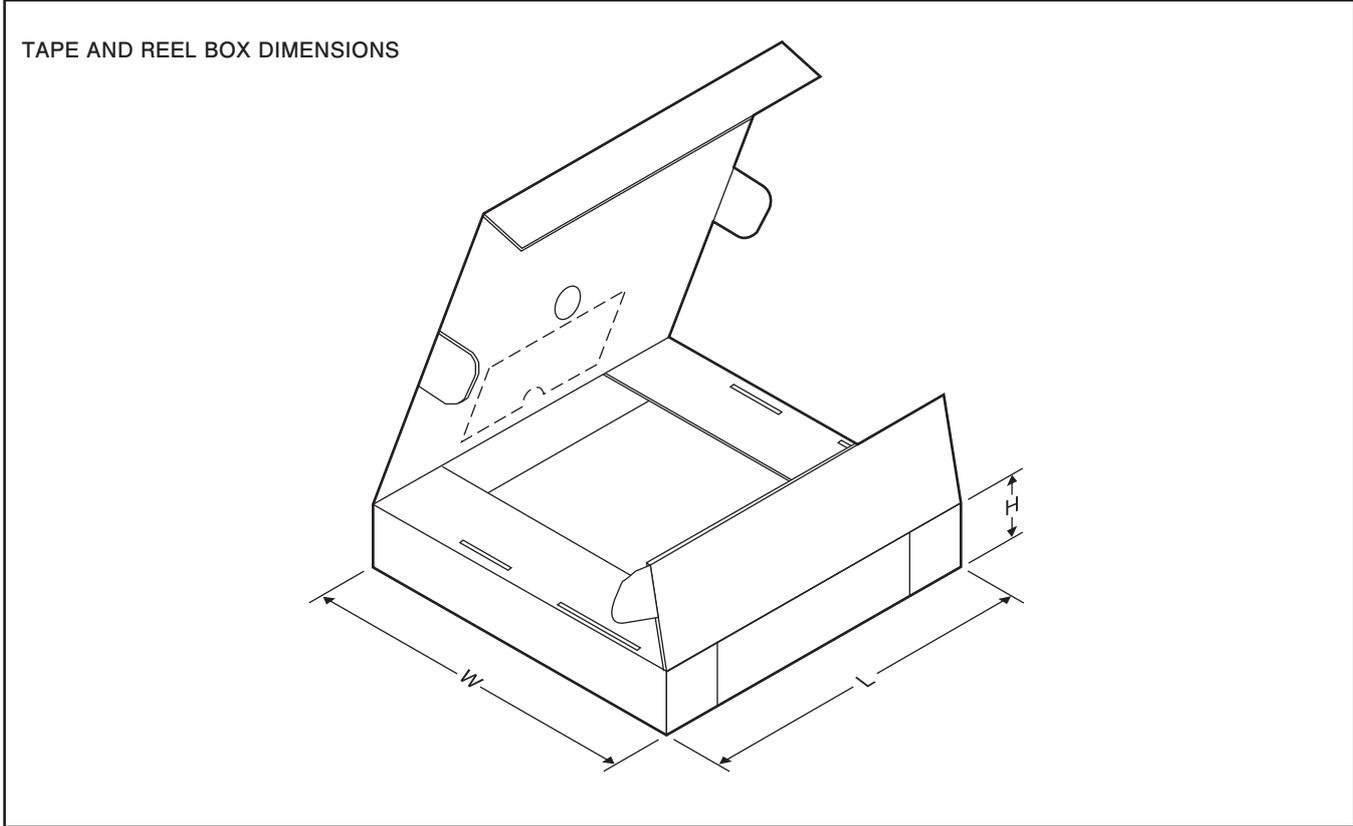
テープおよびリール・ボックス情報



*All dimensions are nominal

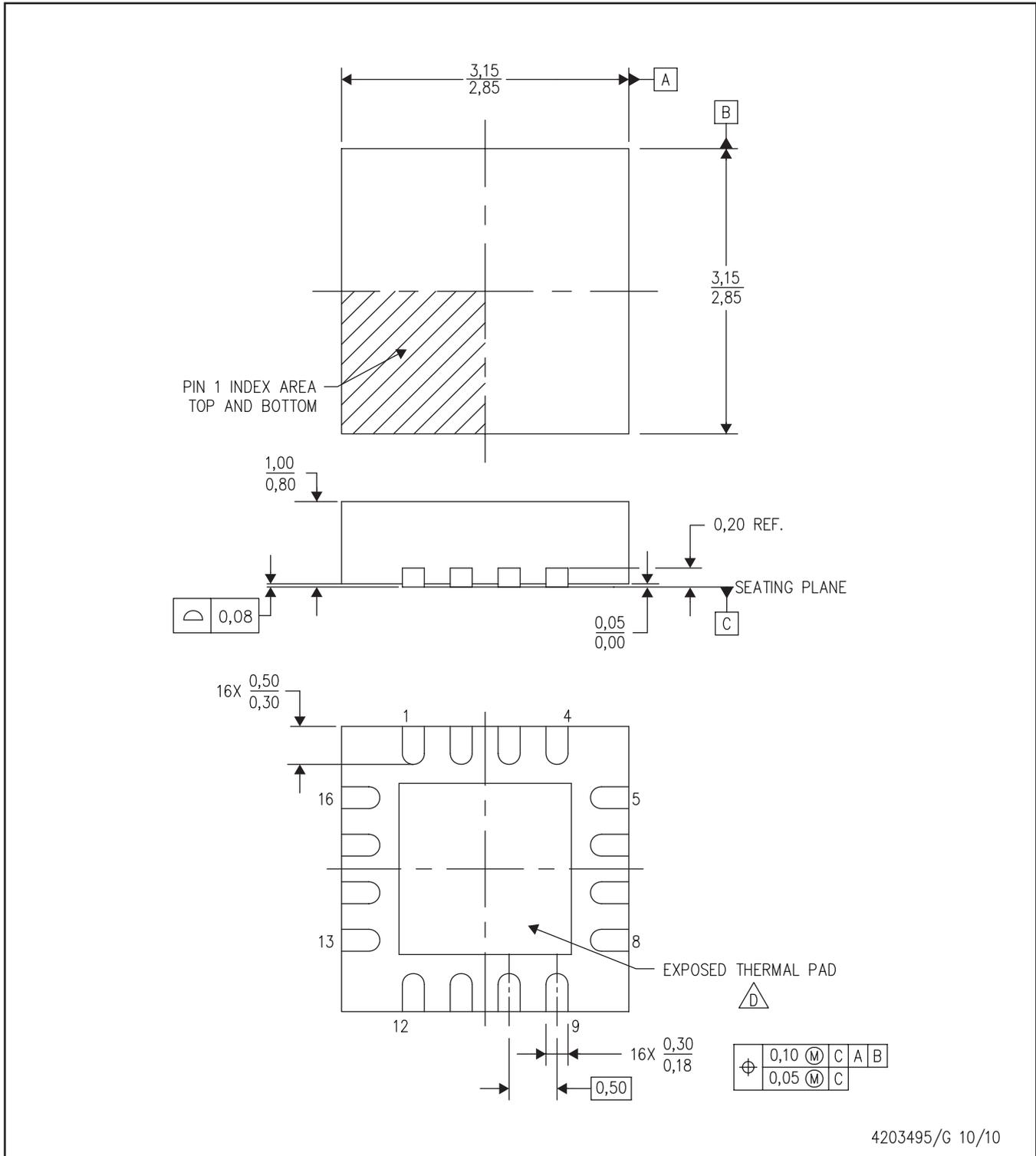
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS53219RGTR	QFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS53219RGTT	QFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS53219RGTR	QFN	RGT	16	3000	346.0	346.0	29.0
TPS53219RGTT	QFN	RGT	16	250	190.5	212.7	31.8



4203495/G 10/10

- 注: A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN(クアド・フラットパック・ノーリード)パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 E. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

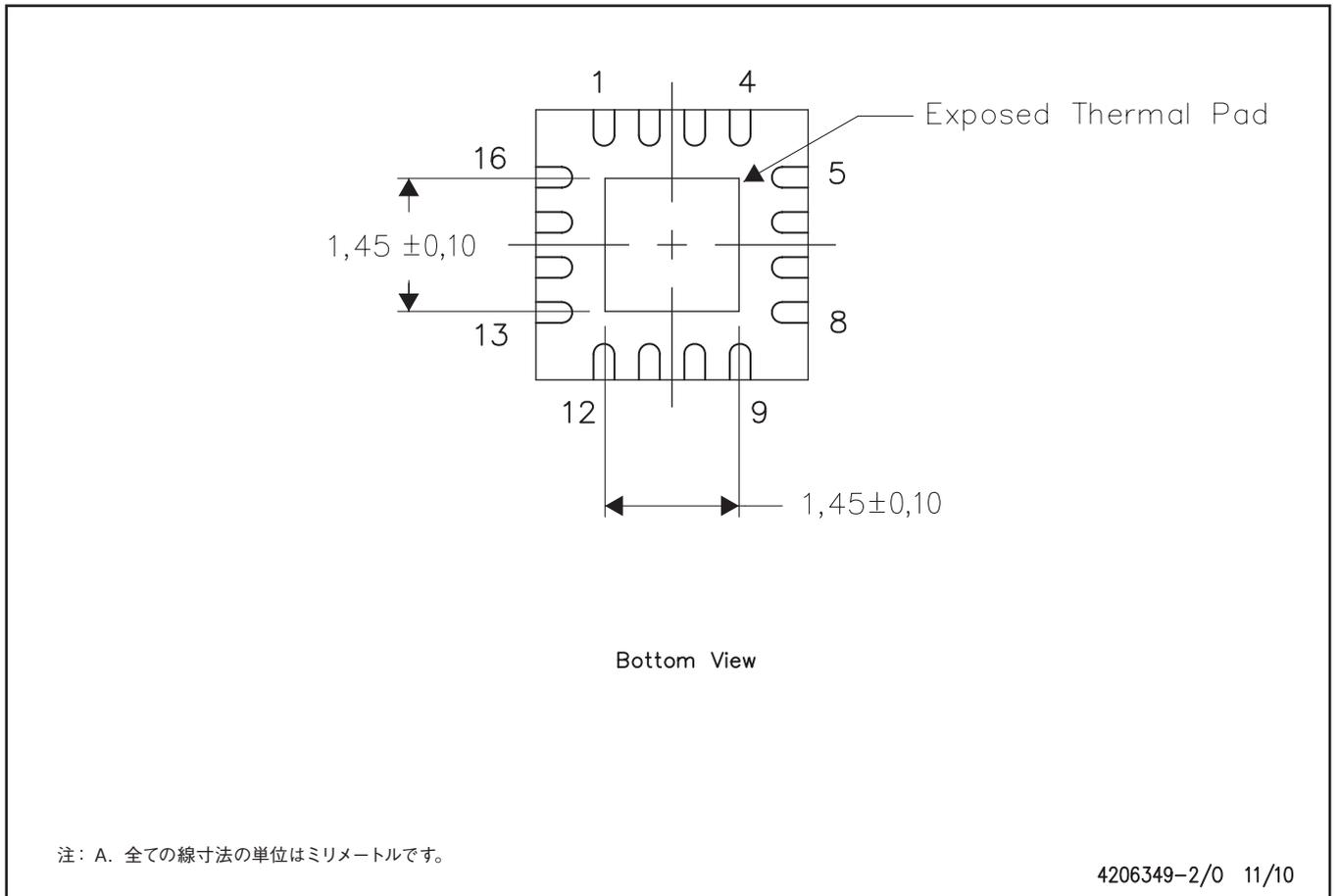
RGT(S-PVQFN-N16)

熱的特性に関する資料

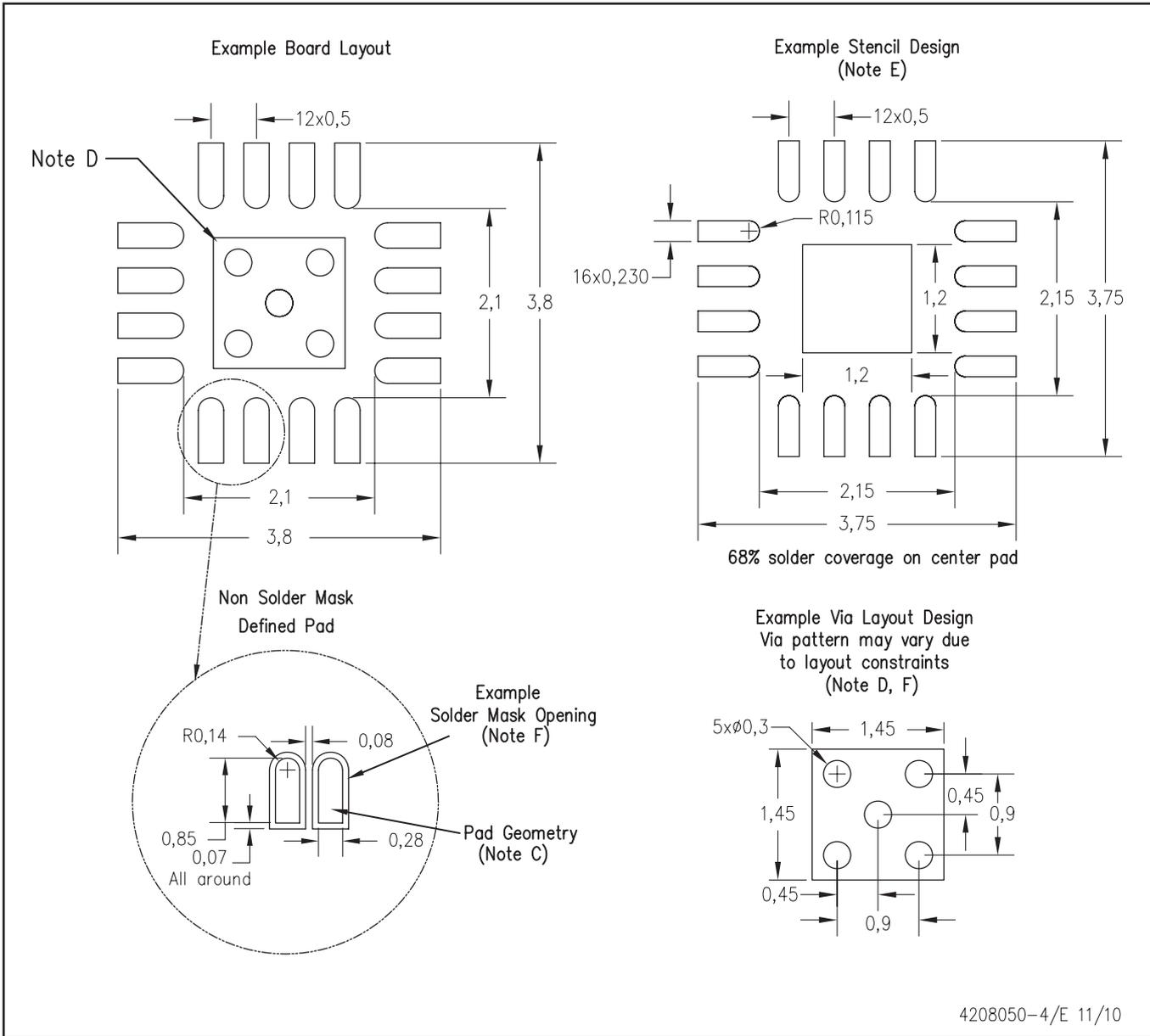
このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



サーマルパッド寸法図



4208050-4/E 11/10

- 注: A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 出版番号IPC-7351は設計代案についての推奨です。
 D. このパッケージは、基板上のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLUA271)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLUSAAB)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上