

SCAN921025,SCAN921226

SCAN921025 and SCAN921226 30-80 MHz 10 Bit Bus LVDS Serializer and Deserializer with IEEE 1149.1 (JTAG) and at-speed BIST



Literature Number: JAJ977

SCAN921025/SCAN921226

30-80MHz 10ビット Bus BLVDS シリアライザ / デシリアライザ、IEEE 1149.1 (JTAG) および at-speed BIST 機能付き

概要

SCAN921025 は、10ビットの LVCMOS/LVTTL レベルの平行・データを、クロック情報を埋め込んで高速 Bus LVDS シリアル・データ列に変換するシリアライザです。SCAN921226 は、送られてきた Bus LVDS シリアル・データ列を、10ビットの平行・データとクロックに復元するデシリアライザです。

どちらのデバイスもバウンダリ・スキャン・テストの標準規格である IEEE 1149.1 に準拠しています。IEEE 1149.1 機能を使用すると、設計エンジニアやテスト・エンジニアは、標準仕様に従ったテスト・アクセス・ポート (TAP) を介してバックプレーンやケーブル・インターコネクต์にアクセスでき、またシグナル・インテグリティ (信号品質) の確認も行えます。両デバイスとも at-speed BIST モードを備えており、シリアライザとデシリアライザ間のインターコネクต์を実際の動作速度 (at-speed) で検証可能です。

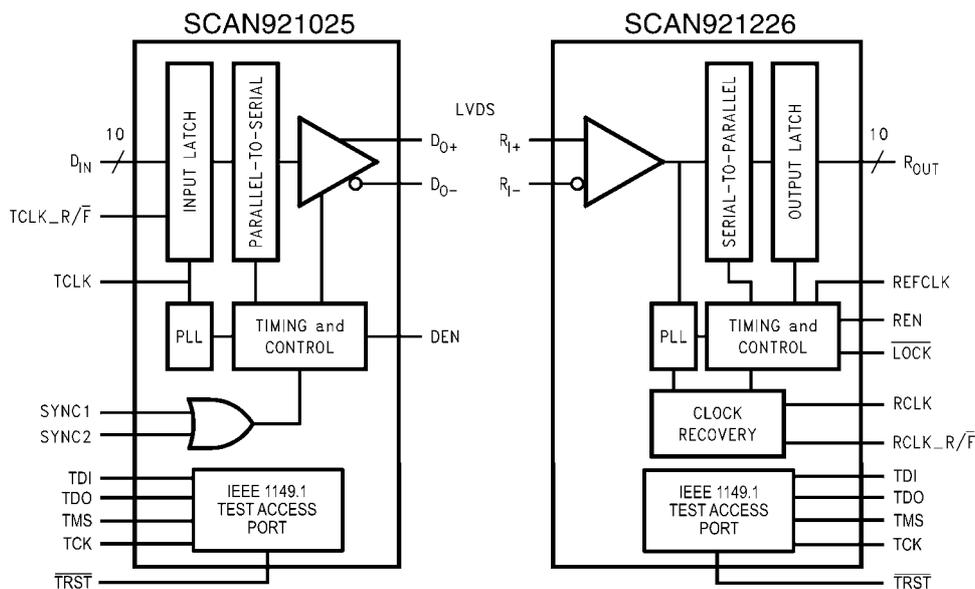
SCAN921025 はバックプレーンやケーブルを介してデータを伝送します。差動伝送用のデータ経路対が 1 本ですむため、PCB の設計が容易になります。また、ケーブルの本数や PCB の配線パターン数が減り、コネクタのサイズが小さくなるため、コストが激減します。1 本の出力でクロック・ビットとデータ・ビットをシリアル伝送するため、クロック・データ間およびデータ・データ間にスキューが発生しません。また、両デバイスとも、パワーダウン用のピンを使用して電源電流を減らすと電力を節減できます。シリアライザの電源投入時に、同期モードを有効にするか、またはランダム・データとの同期機能の使用をデシリアライザに許可するかを選択できます。同期モードを使用すれば、デシリアライザは指定さ

れたロック時間内に信号にロックします。また、埋め込みクロックにより、12 ビット・サイクルごとに必ずバスの状態が変化します。このため、ケーブル条件などに起因する伝送エラーが発生しません。そのほかにも、SCAN921025 の出力ピンを TRI-STATE にして、ハイ・インピーダンス状態にできます。なお、PLL のロック周波数の範囲は 30MHz ~ 80MHz です。

特長

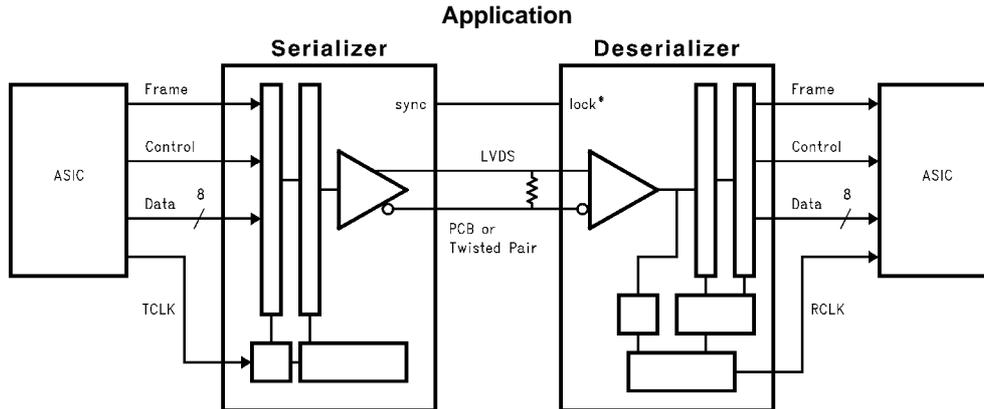
- IEEE 1149.1 (JTAG) 準拠のテスト・モード、at-speed BIST モード
- PLL ロックからランダム・データ・パターンへのクロック・リカバリ
- データ転送サイクルごとのビット推移を保証
- チップセット (Tx + Rx) 消費電力 < 600mW (代表値) (80MHz 時)
- チャネル間スキューが生じない単一の差動出力ペア
- シリアル Bus LVDS のデータ・レート 800Mbps (80MHz クロック時)
- 1 バイトのデータに 2 ビットの任意の制御ビットを付加できる
- 10 ビット・平行・インタフェース
- 同期確立モードと PLL のロック状態信号
- クロック信号の立ち上がり / 立ち下がりを選択が可能
- 電源オフ時ハイ・インピーダンスとなるレシーバ入力
- 27 負荷に対応する Bus LVDS シリアル出力
- 小型 49 ピン BGA パッケージ

ブロック図



SCAN921025/SCAN921226 30-80MHz 10ビット Bus BLVDS シリアライザ / デシリアライザ、IEEE 1149.1 (JTAG) および at-speed BIST 機能付き

ブロック図 (つづき)



機能説明

SCAN921025 と SCAN921226 は、10 ビットのシリアライザ / デシリアライザ用チップセットで、クロック周波数が 30MHz ~ 80MHz までの差動バックプレーンでのデータ転送用に設計されています。また、シールド無しのツイストペア線 (UTP) での転送にも使用できます。

チップセットには、初期化 (同期確立)、データ転送、同期再確立の 3 つのアクティブ状態と、パワーダウンと TRI-STATE の 2 つのパスシブ状態があります。さらに、アクティブ状態とパスシブ状態のほかに、JTAG アクセス・テスト・モードと at-speed BIST モードを備えています。

次項でそれぞれの動作状態について説明します。

初期化

データ転送の前に、送受信の両デバイスともに初期化が必要です。初期化とは、シリアライザおよびデシリアライザの各 PLL を、同一または別のクロックに同期させることを指します。続いて、デシリアライザをシリアライザに同期させます。

ステップ 1: シリアライザ / デシリアライザ各チップに V_{CC} が供給されると、各出力は TRI-STATE となり、チップに内蔵された電源オン制御回路によって、内部回路はディスエーブルにされます。 V_{CC} の電圧値が $V_{CC\ OK}$ (2.5V) に達すると、それぞれの PLL はローカル・クロックに対してロックを開始します。シリアライザ側でのローカル・クロックは、データ・ソースとなる ASIC または他のデバイスから供給される送信クロック (TCLK) です。デシリアライザ側では、ローカル・クロックを REFCLK に供給します。

シリアライザ側は PLL が TCLK にロックしている間、出力は TRI-STATE 状態のままです。TCLK にロックすると、データまたは SYNC パターンの送出準備が完了しており、SYNC1 および SYNC2 の入力またはデータ列により指定されます。シリアライザによって送信される SYNC パターンは、入力クロックの周期で切り替わる 6 つの 1 と 6 つの 0 で構成されています。

デシリアライザの \overline{LOCK} 出力は、PLL が入力データまたは入力の SYNC パターンにロックしている間、HIGH に保たれることに注意してください。

ステップ 2: 初期化の終了段階では、デシリアライザの PLL をシリアライザと同期させる必要があります。デシリアライザは非反復性のデータ・パターンにロックします。ただし、SYNC パターンを伝送すれば、デシリアライザは指定された時間内にシリアライザの信号にロックできます。Figure 9 を参照してください。

SYNC1、SYNC2 の両ピンをどのように制御するかはアプリケーション次第です。 \overline{LOCK} ピンから直接帰還ループを構成するのも推奨方法の 1 つです。どのような場合でも、シリアライザは、2 つ

の SYNC 入力ピンが両方も LOW に戻った後は、SYNC パターンの送信を停止します。

デシリアライザは、Bus LVDS 入力のエッジ変化を検出したとき、シリアル・データ列に埋め込まれたクロック情報を用いてロックを試みます。Bus LVDS クロックにロックすると、デシリアライザの \overline{LOCK} 出力が LOW になります。LOCK が LOW になると、デシリアライザの平行・データ出力には Bus LVDS からの入力データが出力されます。

データ転送

初期化の終了後、シリアライザは入力ピン DIN0 ~ DIN9 からデータを受信します。シリアライザは、TCLK 入力を使用して入力データをラッチします。クロックの立ち上がりエッジ、立ち下がりエッジのどちらかを使用してシリアライザで入力データをストロブするかは、TCLK_R/F ピンで選択します。TCLK_R/F が HIGH のときは立ち上がりエッジでデータを取り込み、LOW のときは立ち下がりエッジで取り込みます。ただし、どちらかの SYNC 入力がある場合、5 * TCLK サイクル以上 HIGH ならば、DIN0 ~ DIN9 はいずれのクロック・エッジでも取り込まれません。

使用するクロック・エッジが決まった後、取り込まれたデータにはスタート・ビットとストップ・ビットが付加され、内部レジスタでデータ列が構成されます。スタート・ビットは常に HIGH で、ストップ・ビットは常に LOW です。スタート・ビットとストップ・ビットは、シリアル・データ列で埋め込みクロック情報の働きをします。

シリアライザはシリアル化されたデータ 10 ビットとクロック・ビットの合計 12 ビットを、TCLK 周波数の 12 倍の周波数でデータ出力 DO ± から送信します。例えば、TCLK が 80MHz ならば、シリアル転送レートは $80 \times 12 = 960\text{Mbps}$ となります。ただし、入力データは 10 ビットなので、データ・ペイロードの転送レートは TCLK の周波数の 10 倍です。例えば、TCLK が 80MHz ならば、ペイロードの転送レートは $80 \times 10 = 800\text{Mbps}$ となります。TCLK はデータ・ソースから供給され、30MHz ~ 80MHz の範囲でなければなりません。

シリアライザの出力 (DO ±) は、一対一の接続または制限されたマルチポイント・バックプレーンまたはマルチドロップ・バックプレーンを駆動できます。イネーブル (DEN) が HIGH、PWRDN が HIGH、SYNC1 と SYNC2 がどちらも LOW のとき、送信がイネーブルとなります。DEN ピンを LOW にすると、シリアライザ出力は TRI-STATE 状態になります。

デシリアライザの \overline{LOCK} ピンは、シリアライザと同期している間 LOW にドライブされます。デシリアライザは埋め込みクロック情報によるシリアライザに対してロックをかけ、埋め込みクロック情報をシリアル転送データの取り込みに使用します。ROUT0 ~ ROUT9 データ出力は、 \overline{LOCK} が LOW のときのみ有効で HIGH のときは無効です。

データ転送 (つづき)

ROUT0 ~ ROUT9 ピンは RCLK ピンをデータの参照クロックとして使用します。RCLK の極性は RCLK_R/F 入力で切り替えられます。Figure 13 を参照してください。

ROUT0 ~ ROUT9、 $\overline{\text{LOCK}}$ 、RCLK 出力は、80MHz で少なくとも 3 つの CMOS ゲートを駆動できるドライブ能力を持っています (15pF 負荷)。

同期再確立

デシリアライザの PLL が埋め込みクロックにロックすると、 $\overline{\text{LOCK}}$ ピンは LOW になります。デシリアライザのロックが失われると、 $\overline{\text{LOCK}}$ ピン出力は HIGH となり、RCLK を含む出力は TRI-STATE になります。

$\overline{\text{LOCK}}$ ピンを監視しておくと、同期の外れたことが検出できます。このようなシステムでは、同期の外れたことが検出されるとすぐにシリアライザの SYNC1 ピンか SYNC2 ピンにパルス信号が送られ、同期が再確立されます。同期を確立し直す方法はいくつかあります。1 つは、 $\overline{\text{LOCK}}$ ピンそのものを使用して帰還ループを構成し、シリアライザの SYNC1 ピンか SYNC2 ピンにを入力する同期要求信号を制御する方法です。SYNC ピンが 2 本用意されているのは、マルチドロップ・アプリケーションで複数の方法で制御できるようにするためです。指定された時間内でのロック時間が限界に達した場合は、同期パターンを送信して同期を再確立したほうが良いでしょう。ただし、デシリアライザはランダム・データにロックできません。これについては次の項で解説します。

ランダム・ロックによる初期化および同期再確立

「初期化」、「同期再確立」の項では、シリアライザとデシリアライザのロックを確立する最も高速な方法を説明しています。さらに SCAN921226 は、シリアライザからの特別な SYNC パターンを要求しないで、データ列に対するロックを実現します。この機能によって、オープン・ループのアプリケーションで SCAN921226 を動作できます。作動中のバックプレーンに対して活線挿抜を行えるデシリアライザの機能も同様に重要なことです。開ループの場合も、活線挿抜を行う場合も、データ列は基本的にランダムであることが予想されます。したがって、ロック時間はデータ列の特性に応じて変化するため、正確なロック時間を予測するのは不可能です。さまざまな条件下でランダム・ロック時間が大体どの程度になるかを Table 1 に示したので、参考にしてください。「ランダム」ロック時間を決める要因は、入力データと REFCLK の関係が、デシリアライザの電源を投入した初期段階でどのようになっているかです。次の段落で述べるように、データ列に含まれているデータもロック時間に影響します。

ただし、特定のデータ・パターンが反復された場合、その反復パターンをクロック・ビットと誤認識して、デシリアライザが「誤ロック」状態に陥ることがあります。こうしたパターンを、反復的マルチ遷移 (RMT: Repetitive Multi-Transition) と呼びます。1 つのクロック・サイクル内に複数の LOW-HIGH 遷移状態が複数のサイクルにわたって起こったときにそのような状態となります。このような状態は、DIN9 を除いた任意のビットが LOW に保たれていて、かつ隣接したビットが 0-1 の遷移を伴い HIGH になるときに起こります。したがって最悪のケースでは、デシリアライザはクロックではなくデータ・パターンに対してロックしてしまいます。そこで SCAN921226 の内部回路は、「誤ロック」の可能性のあることを検出します。同回路では、クロック・ビットの立っている可能性のある位置を 2 箇所以上検出すれば、この処理を実行します。検出されると、同回路は、「誤ロック」の可能性を持つパターンが変化するまで $\overline{\text{LOCK}}$ 出力をアクティブにしません。誤ロック検出回路により最終的にデータが変化するため、デシリアライザとデータ・パターンとのロックが外れます。その後デシリアライザは、シリアル・データ列に含まれているクロック・ビットを見つける処理を継続します。RMT をいくつか図で表現したものを Figure 1 に示しま

す。DIN0 ~ DIN8 以外は RMT と関係がないので注意してください。

パワーダウン

データ伝送が行われないときはパワーダウン状態にできます。パワーダウン状態とは、低電力のスリープ・モードです。消費電力を抑えるときは、シリアライザ、デシリアライザをいずれもパワーダウン状態にします。デシリアライザは、 $\overline{\text{PWRDN}}$ と REN が LOW になるとパワーダウン状態になります。シリアライザは、 $\overline{\text{PWRDN}}$ が LOW になるとパワーダウン状態になります。パワーダウン状態になると、PLL が停止し、すべての出力が TRI-STATE になり、その結果、負荷に電流が流れなくなり、電源電流がミリアンペアの範囲まで下がります。パワーダウン状態から抜けるには、 $\overline{\text{PWRDN}}$ ピンを HIGH にします。

シリアライザとデシリアライザとの間で有効データを交換するには、その前に両者とも初期化と同期化を実行し直す必要があります。シリアライザの初期化には 510 TCLK サイクルがかかります。デシリアライザでは初期化後、Bus LVDS クロックにロックするまで、 $\overline{\text{LOCK}}$ は HIGH です。

TRI-STATE

シリアライザは、DEN ピンを LOW にすると、両ドライブ出力 (DO + と DO -) が TRI-STATE になります。他の制御ピン (SYNC1、SYNC2、 $\overline{\text{PWRDN}}$ 、TCLK_R/F) に変化がなければ、シリアライザの DEN を HIGH にするだけで元の状態に戻ります。

デシリアライザは、REN ピンを LOW にすると、レシーバ出力 (ROUT0 ~ ROUT9) および RCLK が TRI-STATE になります。 $\overline{\text{LOCK}}$ 出力は PLL の状態を反映してアクティブのままです。

TABLE 1.

Random Lock Times for the SCAN921226		
	80 MHz	Units
Maximum	18	μs
Mean	3.0	μs
Minimum	0.43	μs
Conditions:	PRBS 2 ¹⁵ , V _{CC} = 3.3V	

1) ロック時間に違いがあるのは、さまざまな成分を持ったデータ・パターン内での開始点が違うためです。

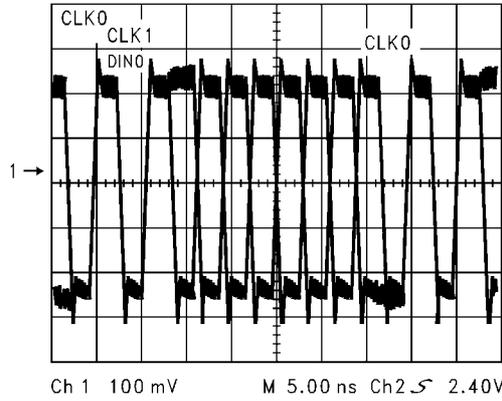
テスト・モード

SCAN921025 と SCAN921226 は、デジタル TTL ピンに対する IEEE 1149.1 テスト・アクセスに加え LVDS インターコネクトのテストを行う 2 つの命令を備えています。1 つは EXTEST です。この命令は LVDS レベルの出力機能として実装されており、たとえばケーブル非装着を確認する go/no go テストのみを意図しています。もう 1 つは RUNBIST 命令です。このテストは at-speed のインターコネクト・テストで、システムの実動作と同じ速度で動作が可能です。システム・クロック周波数が 66MHz の場合に、テストにはおよそ 33ms かかります。RX BIST データ・レジスタには、PASS/FAIL と TEST_COMPLETE を報知する 2 ビットがあります。ここで PASS は、BER (ビット・エラー率) が 10^{-7} よりも優れていることを示します。

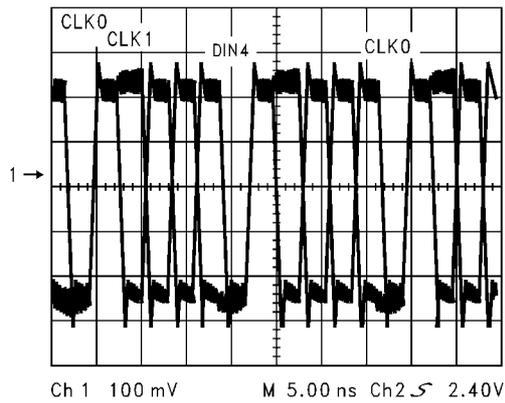
それぞれのデバイスはインストラクション・レジスタに RUNBIST 命令がロードされると、4,000 システム・クロック以内に RTI 状態に移ります (SCLK が 66MHz で TCK が 1MHz の場合に 60 TCLK サイクル)。両デバイスが同一のスキャン・チェーンまたは LSP (ローカル・スキャン・ポート) 上に接続されていれば問題にはなりません。マルチ・ドロップ・デバイスでは問題になる場合があります。テスト・モードはナショナル セミコンダクターの SCANSTA111 を用いてシミュレーションと検証が行われています。

製品情報

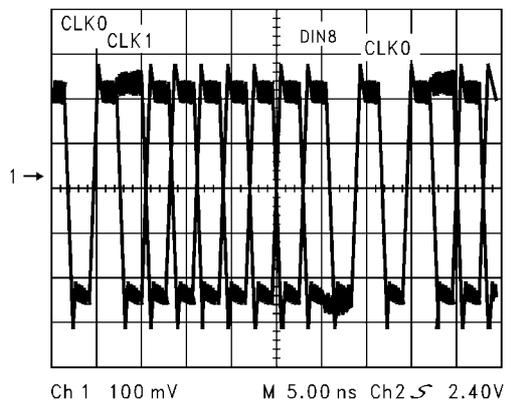
NSID	Function	Package
SCAN921025SLC	Serializer	SLC49a
SCAN921226SLC	Deserializer	SLC49a



DIN0 Held Low-DIN1 Held High Creates an RMT Pattern



DIN4 Held Low-DIN5 Held High Creates an RMT Pattern



DIN8 Held Low-DIN9 Held High Creates an RMT Pattern

FIGURE 1. RMT Patterns Seen on the Bus LVDS Serial Output

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{CC})	- 0.3V ~ + 4V
LVCOS/LVTTL 入力電圧	- 0.3V ~ (V _{CC} + 0.3V)
LVCOS/LVTTL 出力電圧	- 0.3V ~ (V _{CC} + 0.3V)
Bus LVDS レシーバ入力電圧	- 0.3V ~ + 3.9V
Bus LVDS ドライバ出力電圧	- 0.3V ~ + 3.9V
Bus LVDS 出力短絡時間	10mS
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、4 秒)	+ 220
パッケージ最大許容電力損失 (25 °C)	
49L BGA	1.47 W

パッケージ・ディレーティング

49L BGA	+ 25	以上で 11.8 mW/	85	/W
ja				
ESD 耐圧				
人体モデル	> 2kV			
マシン・モデル	> 250V			

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC})	3.0	3.3	3.6	V
動作温度範囲 (T _A)	- 40	+ 25	+ 85	
レシーバ入力電圧範囲	0		2.4	V
電源電圧ノイズ (V _{CC})				100 mV _{P-P}

電気的特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SERIALIZER LVCOS/LVTTL DC SPECIFICATIONS (apply to DIN0-9, TCLK, PWRDN, TCLK_R/F, SYNC1, SYNC2, DEN)						
V _{IH}	High Level Input Voltage		2.0		V _{CC}	V
V _{IL}	Low Level Input Voltage		GND		0.8	V
V _{CL}	Input Clamp Voltage	I _{CL} = - 18 mA		- 0.86	- 1.5	V
I _{IN}	Input Current	V _{IN} = 0V or 3.6V	- 10	± 1	+ 10	µA
DESERIALIZER LVCOS/LVTTL DC SPECIFICATIONS (apply to pins PWRDN, RCLK_R/F, REN, REFCLK = inputs; apply to pins ROUT, RCLK, LOCK = outputs)						
V _{IH}	High Level Input Voltage		2.0		V _{CC}	V
V _{IL}	Low Level Input Voltage		GND		0.8	V
V _{CL}	Input Clamp Voltage	I _{CL} = - 18 mA		- 0.62	- 1.5	V
I _{IN}	Input Current	V _{IN} = 0V or 3.6V	- 10	± 1	+ 15	µA
V _{OH}	High Level Output Voltage	I _{OH} = - 9 mA	2.2	3.0	V _{CC}	V
V _{OL}	Low Level Output Voltage	I _{OL} = 9 mA	GND	0.25	0.5	V
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V	- 15	- 47	- 85	mA
I _{OS}	Output Short Circuit Current, TDO output		- 15	- 70	- 100	mA
I _{OZ}	TRI-STATE Output Current	PWRDN or REN = 0.8V, V _{OUT} = 0V or V _{CC}	- 10	± 0.1	+ 10	µA
SERIALIZER Bus LVDS DC SPECIFICATIONS (apply to pins DO + and DO -)						
V _{OD}	Output Differential Voltage (DO +)-(DO -)	RL = 27 Ω, Figure 17	200	290		mV
V _{OD}	Output Differential Voltage Unbalance				35	mV
V _{OS}	Offset Voltage		1.05	1.1	1.3	V
V _{OS}	Offset Voltage Unbalance			4.8	35	mV
I _{OS}	Output Short Circuit Current	D0 = 0V, DIN = High, PWRDN and DEN = 2.4V		- 56	- 90	mA
I _{OZ}	TRI-STATE Output Current	PWRDN or DEN = 0.8V, DO = 0V or V _{CC}	- 10	± 1	+ 10	µA
I _{OX}	Power-Off Output Current	V _{CC} = 0V, DO = 0V or 3.6V	- 20	± 1	+ 25	µA

電气的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DESERIALIZER Bus LVDS DC SPECIFICATIONS (apply to pins RI + and RI -)						
V _{TH}	Differential Threshold High Voltage	V _{CM} = + 1.1V		+ 6	+ 50	mV
V _T	Differential Threshold Low Voltage		- 50	- 12		mV
I _{IN}	Input Current	V _{IN} = + 2.4V, V _{CC} = 3.6V or 0V	- 10	± 1	+ 10	μA
		V _{IN} = 0V, V _{CC} = 3.6V or 0V	- 10	± 0.05	+ 10	μA

SERIALIZER SUPPLY CURRENT (apply to pins DVCC and AVCC)

I _{CCD}	Serializer Supply Current Worst Case	RL = 27	f = 30 MHz		45	60	mA
		Figure 2	f = 80 MHz		90	105	mA
I _{CCXD}	Serializer Supply Current Powerdown	PWRDN = 0.8V, f = 80MHz			0.2	1.0	mA

DESERIALIZER SUPPLY CURRENT (apply to pins DVCC and AVCC)

I _{CCR}	Deserializer Supply Current Worst Case	C _L = 15 pF	f = 30 MHz		50	75	mA
		Figure 3	f = 80 MHz		100	120	mA
I _{CCXR}	Deserializer Supply Current Powerdown	PWRDN = 0.8V, REN = 0.8V			0.36	1.0	mA

SCAN CIRCUITRY DC SPECIFICATIONS, SERIALIZER AND DESERIALIZER (applies to SCAN pins as noted)

V _{IH}	High Level Input Voltage	V _{CC} = 3.0 to 3.6V, pins TCK, TMS, TDI, and TRST	2.0		V _{CC}	V
V _{IL}	Low Level Input Voltage	V _{CC} = 3.0 to 3.6V, pins TCK, TMS, TDI, and TRST	GND		0.8	V
V _{CL}	Input Clamp Voltage	V _{CC} = 3.0V, I _{CL} = - 18 mA, pins TCK, TMS, TDI, and TRST		- 0.85	- 1.5	V
I _{IH}	Input Current	V _{CC} = 3.6V, V _{IN} = 3.6V, pins TCK, TMS, TDI, and TRST		1	+ 10	μA
I _{IL}	Input Current	V _{CC} = 3.6V, V _{IN} = 0.0V, TCK Input	- 10	- 1		μA
I _{ILR}	Input Current	V _{CC} = 3.6V, V _{IN} = 0V, pins TMS, TDI, and TRST	- 20	- 10		μA
V _{OH}	High Level Output Voltage	V _{CC} = 3.0V, I _{OH} = - 12 mA, TDO output	2.2	2.6		V
V _{OL}	Low Level Output Voltage	V _{CC} = 3.0V, I _{OL} = 12 mA, TDO output		0.3	0.5	V
I _{OS}	Output Short Circuit Current	V _{CC} = 3.6V, V _{OUT} = 0.0V, TDO output	- 15	- 90	- 120	mA
I _{OZ}	TRI-STATE Output Current	PWRDN or REN = 0.8V, V _{OUT} = 0V or V _{CC}	- 10	0	+ 10	μA

シリアライザの TCLK に対するタイミング仕様

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{TCP}	Transmit Clock Period		12.5	T	33.3	ns
t _{TCH}	Transmit Clock High Time		0.4T	0.5T	0.6T	ns
t _{TCL}	Transmit Clock Low Time		0.4T	0.5T	0.6T	ns
t _{CLKT}	TCLK Input Transition Time			3	6	ns
t _{JIT}	TCLK Input Jitter				150	ps (RMS)

シリアライザ・スイッチング特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{LLHT}	Bus LVDS Low-to-High Transition Time	R _L = 27 C _L = 10pF to GND		0.2	0.4	ns
t _{LHLT}	Bus LVDS High-to-Low Transition Time	Figure 4 (Note 4)		0.25	0.4	ns

シリアライザ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
t _{DIS}	DIN (0-9) Setup to TCLK	R _L = 27 Ω , C _L = 10pF to GND Figure 7	0			ns	
t _{DIH}	DIN (0-9) Hold from TCLK		4.0			ns	
t _{HZD}	DO ± HIGH to TRI-STATE Delay	R _L = 27 Ω , C _L = 10pF to GND Figure 8 (Note 5)		3	10	ns	
t _{LZD}	DO ± LOW to TRI-STATE Delay			3	10	ns	
t _{ZHD}	DO ± TRI-STATE to HIGH Delay				5	10	ns
t _{ZLD}	DO ± TRI-STATE to LOW Delay				6.5	10	ns
t _{SPW}	SYNC Pulse Width	R _L = 27 Ω Figure 10	5*t _{TCP}			ns	
t _{PLD}	Serializer PLL Lock Time		510*t _{TCP}		513*t _{TCP}	ns	
t _{SD}	Serializer Delay	R _L = 27 Ω , Figure 11	t _{TCP} + 1.0	t _{TCP} + 2.5	t _{TCP} + 3.5	ns	
t _{DJIT}	Deterministic Jitter	R _L = 27 Ω , C _L = 10pF to GND, (Note 6)	80 MHz	- 130	- 40	+ 60	ps
t _{RJIT}	Random Jitter			6	10	ps (RMS)	

デシリアライザの REFCLK に対するタイミング仕様

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{RFCP}	REFCLK Period		12.5	T	33.3	ns
t _{RFDC}	REFCLK Duty Cycle		30	50	70	%
t _{RFCP} / t _{TCP}	Ratio of REFCLK to TCLK		95	1	105	
t _{RFTT}	REFCLK Transition Time		3		6	ns

デシリアライザ・スイッチング特性

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
t _{RCP}	Receiver out Clock Period	t _{RCP} = t _{TCP} Figure 11	RCLK	12.5		33.3	ns
t _{CLH}	CMOS/TTL Low-to-High Transition Time	CL = 15 pF Figure 5	Rout(0-9), LOCK, RCLK		1.2	4	ns
t _{CHL}	CMOS/TTL High-to-Low Transition Time				1.1	4	ns
t _{DD}	Deserializer Delay Figure 12	All Temp./ All Freq.		1.75*t _{RCP} + 1.25	1.75*t _{RCP} + 5.0	1.75*t _{RCP} + 8.5	ns
		Room Temp./3.3V/30MHz		1.75*t _{RCP} + 2.25	1.75*t _{RCP} + 5.0	1.75*t _{RCP} + 8.0	ns
		Room Temp./3.3V/80MHz		1.75*t _{RCP} + 2.25	1.75*t _{RCP} + 5.0	1.75*t _{RCP} + 8.0	ns
t _{ROS}	ROUT Data Valid before RCLK	Figure 13	RCLK 30MHz	0.4*t _{RCP}	0.5*t _{RCP}		ns
			RCLK 80MHz	0.35*t _{RCP}	0.5*t _{RCP}		ns
t _{ROH}	ROUT Data valid after RCLK	Figure 13	30MHz	- 0.4*t _{RCP}	- 0.5*t _{RCP}		ns
			80MHz	- 0.35*t _{RCP}	- 0.5*t _{RCP}		ns
t _{RDC}	RCLK Duty Cycle			45	50	55	%

デシリアライザ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
t_{HZR}	HIGH to TRI-STATE Delay	Figure 14	Rout(0-9)		2.8	10	ns
t_{LZR}	LOW to TRI-STATE Delay				2.8	10	ns
t_{ZHR}	TRI-STATE to HIGH Delay				4.2	10	ns
t_{ZLR}	TRI-STATE to LOW Delay				4.2	10	ns
t_{DSR1}	Deserializer PLL Lock Time from PWRDWN (with SYNCPAT)	Figure 15 Figure 16 (Note 7)	30MHz		1.7	3.5	μ s
			80MHz		1.0	2.5	μ s
t_{DSR2}	Deserializer PLL Lock time from SYNCPAT		30MHz		0.65	1.5	μ s
			80MHz		0.29	0.8	μ s
t_{ZHLK}	TRI-STATE to HIGH Delay (power-up)		$\overline{\text{LOCK}}$		3.7	12	ns
t_{RNMI-R}	Ideal Noise Margin Right	Figure 20	80 MHz			+ 350	ps
t_{RNMI-L}	Ideal Noise Margin Left	Figure 20	80 MHz	- 385			ps

SCAN 回路タイミング仕様

Symbol	Parameter	Conditions	Min	Typ	Max	Units
f_{MAX}	Maximum TCK Clock Frequency	$R_L = 500$, $C_L = 35$ pF	25.0	50.0		MHz
t_S	TDI to TCK, H or L		1.0			ns
t_H	TDI to TCK, H or L		2.0			ns
t_S	TMS to TCK, H or L		2.5			ns
t_H	TMS to TCK, H or L		1.5			ns
t_W	TCK Pulse Width, H or L		10.0			ns
t_W	$\overline{\text{TRST}}$ Pulse Width, L		2.5			ns
t_{REC}	Recovery Time, $\overline{\text{TRST}}$ to TCK		2.0			ns

Note 1: 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、「絶対最大定格」の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 2: Typ 値は $V_{CC} = 3.3V$ 、 $T_A = 25$ の時です。

Note 3: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である VOD、 V_{OD} 、 V_{TH} 、 V_{TL} を除いてグラウンドを基準としています。

Note 4: t_{LLHT} および t_{LHLT} の各仕様値は、統計分析を用いた設計により保証されるものです。

Note 5: シリアライザが TRI-STATE モードであるため、デシリアライザは PLL のロックが外れ、データを伝送する前に同期化をやり直す必要があります。

Note 6: t_{DJIT} の各仕様値は、統計分析を用いた設計により保証されるものです。

Note 7: REFCLK が安定しかつ入力データ列が特定のパターン (SYNCPAT) の条件では、デシリアライザの PLL 性能を示す目的で t_{DSR1} と t_{DSR2} を規定しています。デシリアライザは t_{DSR1} または t_{DSR2} のタイミングで初期化することを推奨します。 t_{DSR1} は、デシリアライザが電源オン時のロックまたはパワーダウンからの復帰に必要な時間です。どちらの条件とも、同期パターンは初期化を開始する前から送られている必要があります。 t_{DSR2} は電源オン時のロック、またはイネーブル状態のデシリアライザでシリアル入力 (R + と R -) でデータを受信していない状態から同期パターン (SYNCPAT) を受信したときに必要な時間です。

Note 8: t_{RNM} とは、デシリアライザが入力データ列に対してビット・エラーを生じないで、どの程度の位相ノイズ (ジッタ) まで耐えられるかを示す量です。デシリアライザのノイズ・マージンは、統計分析を用いた設計により保証されるものです。

AC タイミング図およびテスト回路

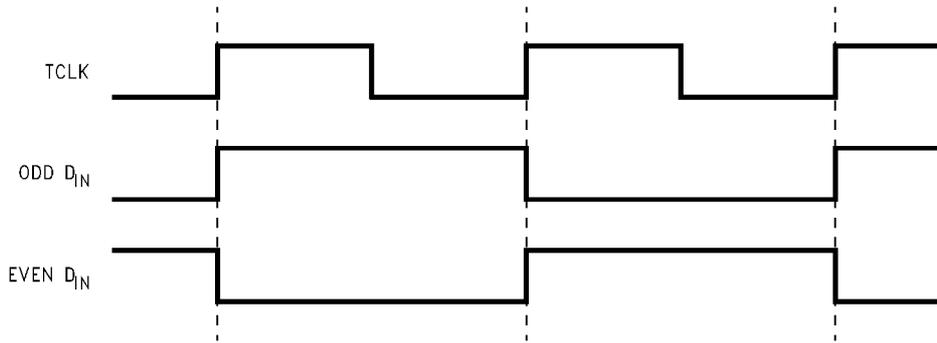


FIGURE 2. "Worst Case" Serializer ICC Test Pattern

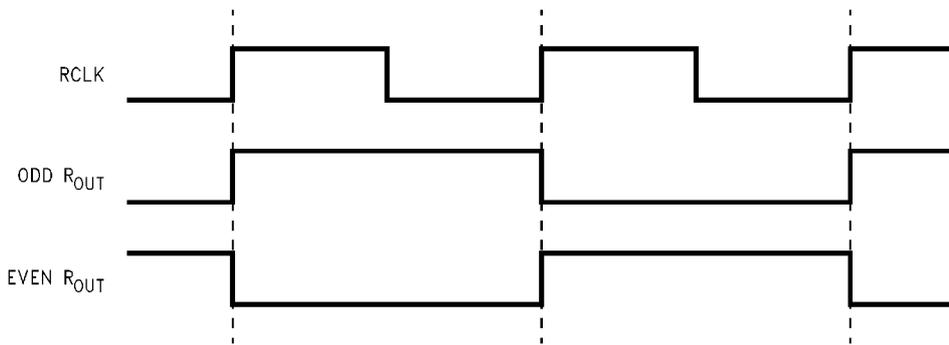


FIGURE 3. "Worst Case" Deserializer ICC Test Pattern

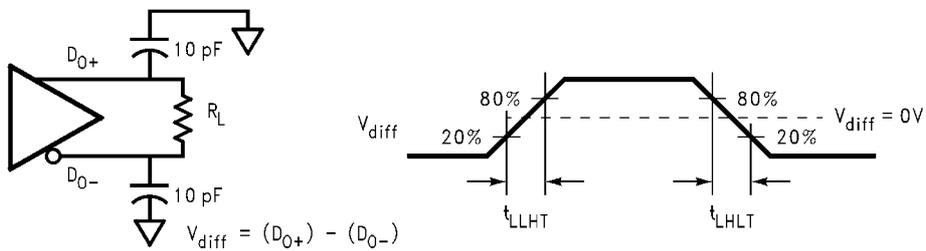


FIGURE 4. Serializer Bus LVDS Output Load and Transition Times

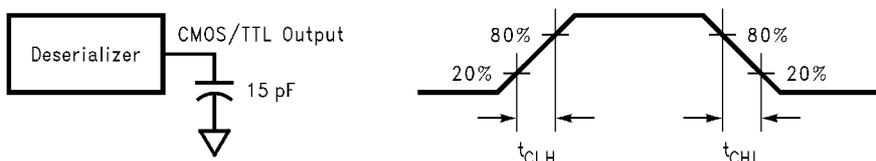


FIGURE 5. Deserializer CMOS/TTL Output Load and Transition Times

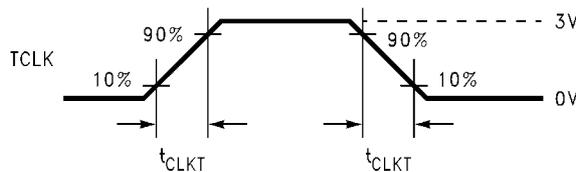
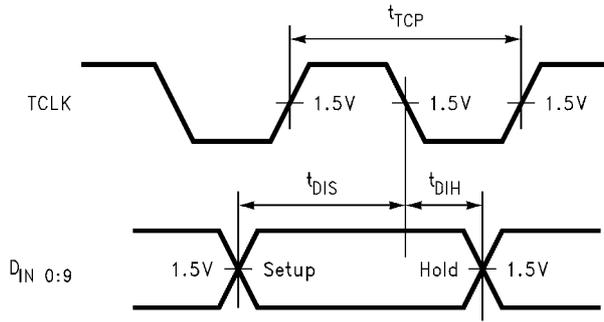


FIGURE 6. Serializer Input Clock Transition Time

AC タイミング図およびテスト回路 (つづき)



タイミングは TCLK_R \bar{F} が LOW の時を示しています。

FIGURE 7. Serializer Setup/Hold Times

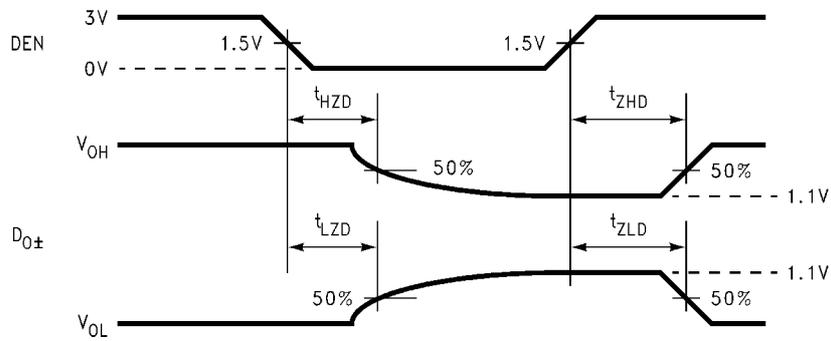
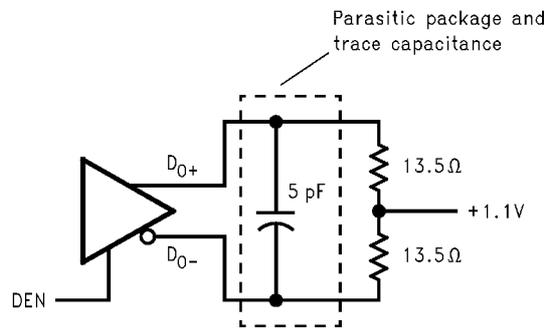


FIGURE 8. Serializer TRI-STATE Test Circuit and Timing

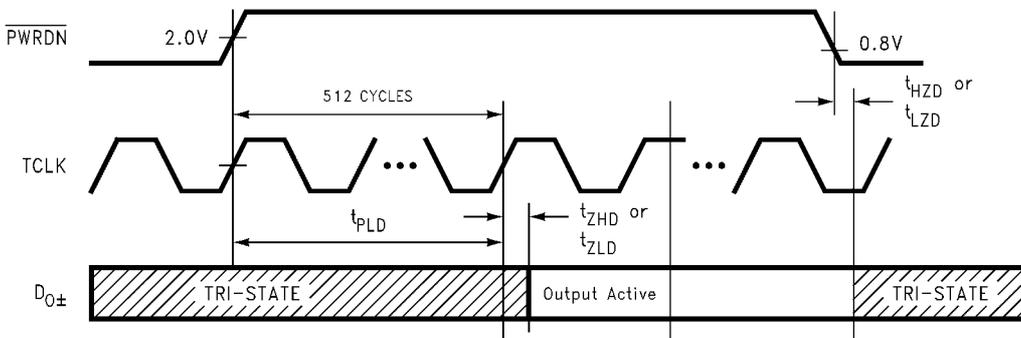


FIGURE 9. Serializer PLL Lock Time, and $\overline{\text{PWRDN}}$ TRI-STATE Delays

AC タイミング図およびテスト回路 (つづき)

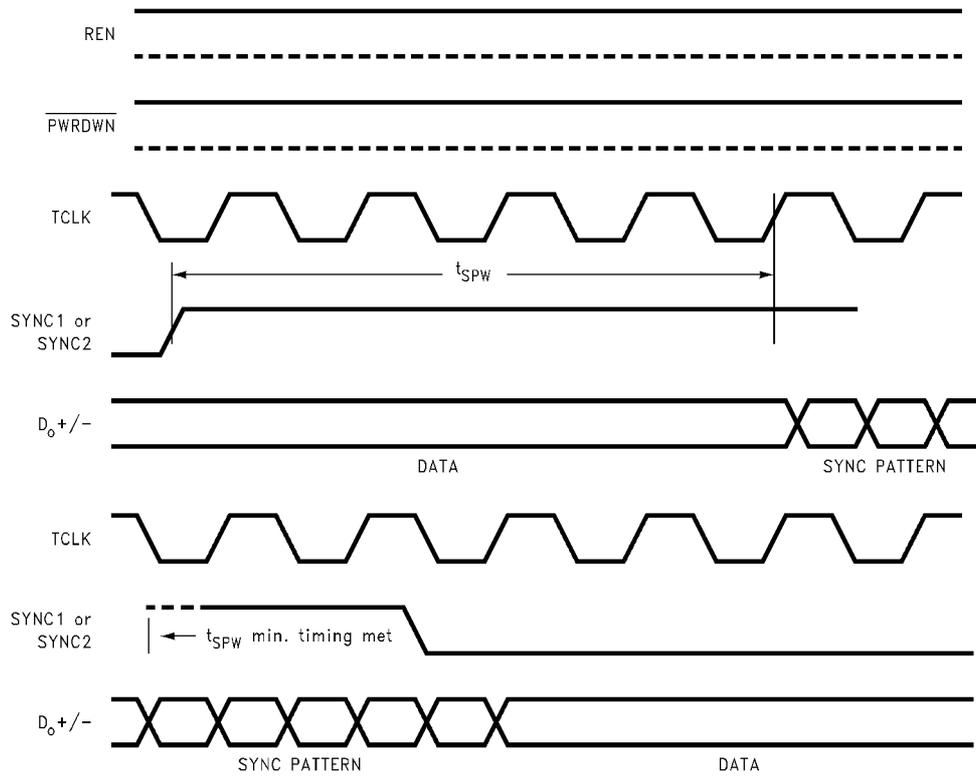


FIGURE 10. SYNC Timing Delays

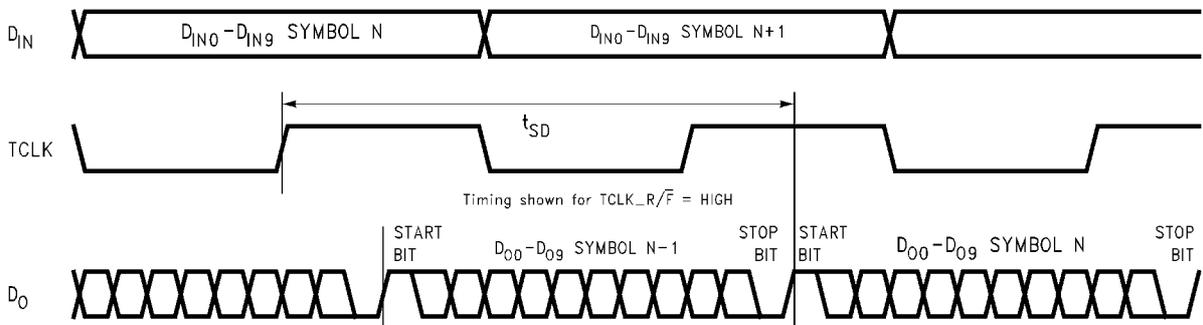


FIGURE 11. Serializer Delay

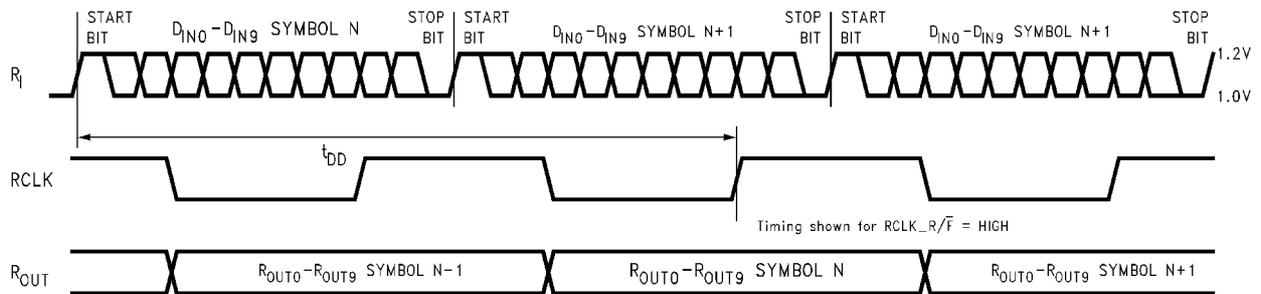
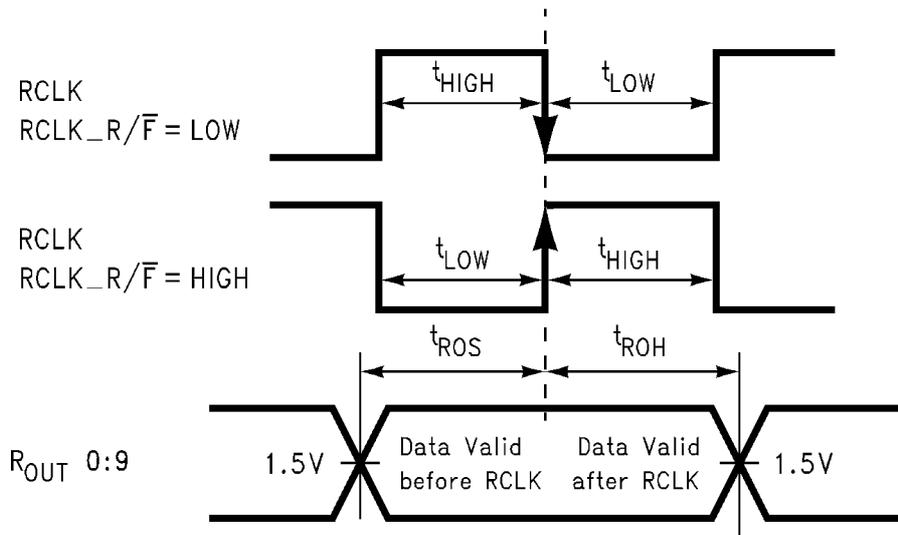


FIGURE 12. Deserializer Delay

AC タイミング図およびテスト回路 (つづき)



タイミングは RCLK_R/ \bar{F} が LOW の時を示しています。

$$\text{デューティ・サイクル } (t_{RDC}) = \frac{t_{HIGH}}{t_{HIGH} + t_{LOW}}$$

FIGURE 13. Deserializer Data Valid Out Times

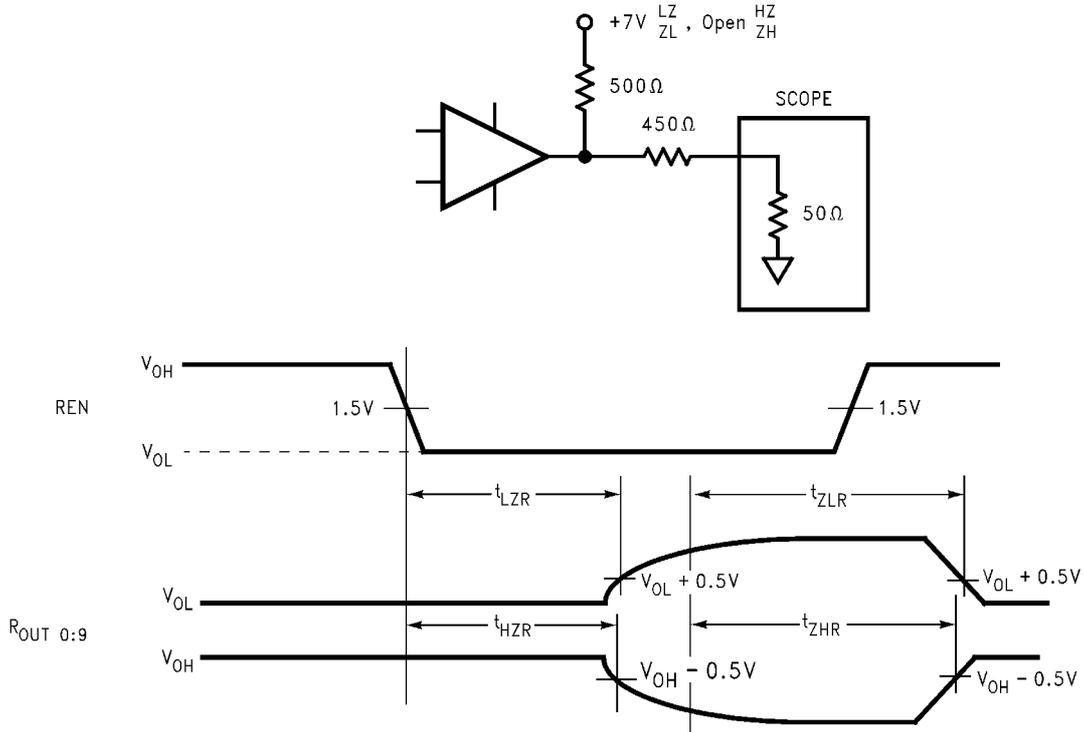


FIGURE 14. Deserializer TRI-STATE Test Circuit and Timing

AC タイミング図およびテスト回路 (つづき)

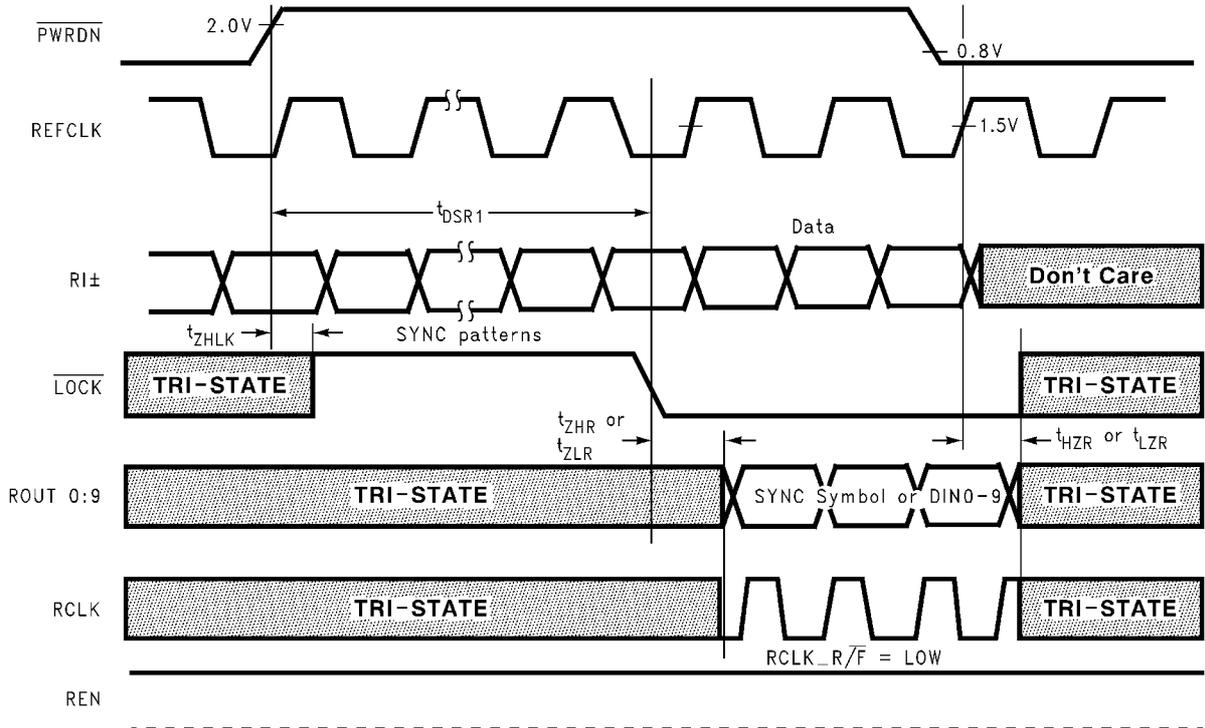


FIGURE 15. Deserializer PLL Lock Times and $\overline{\text{PWRDN}}$ TRI-STATE Delays

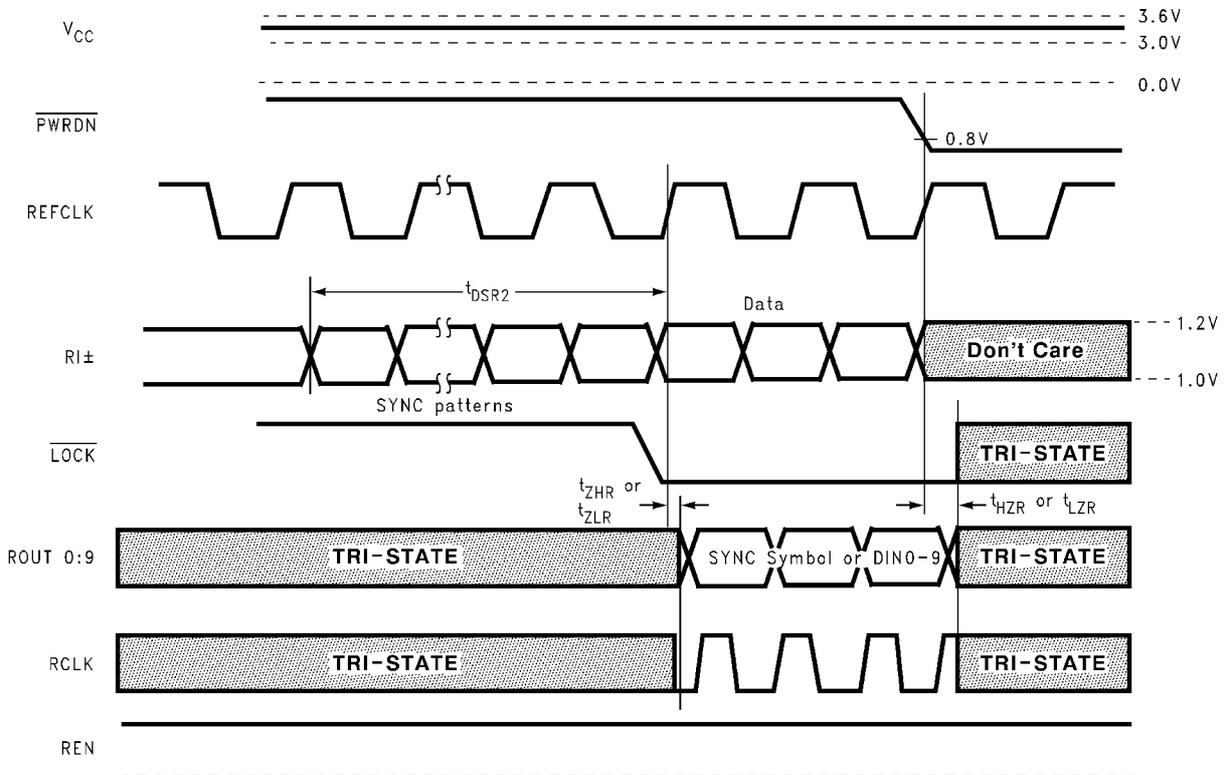
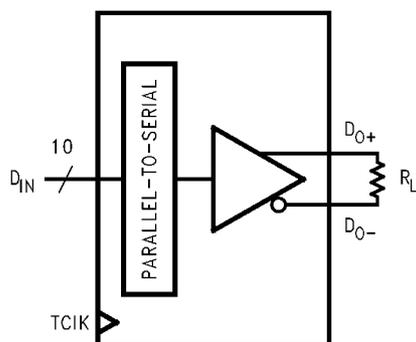


FIGURE 16. Deserializer PLL Lock Time from SyncPAT

AC タイミング図およびテスト回路 (つぎ)



$V_{OD} = (D_{O+}) - (D_{O-})$

差分出力信号は (D_{O+}) - (D_{O-}) として示します。デバイスはデータ転送モードです。

FIGURE 17. V_{OD} Diagram

アプリケーション情報

SCAN921025 と SCAN921226 の使用

シリアライザとデシリアライザは、10 ビットのパラレル LVTTTL データを最大 800Mbps のシリアル Bus LVDS で転送する送受信ペアのチップセットです。内蔵の PPL が入力データをシリアル化し、2 ビットのクロック情報をデータ列に埋め込みます。デシリアライザの内蔵 PLL は、別の基準クロック (REFCLK) を用いて受信データ列からクロック情報とデータを抽出します。また、デシリアライザは受信クロック情報から PLL のロック状態を決定し、ロックが外れたとき LOCK 出力を HIGH にアサートします。

電源に関する考慮事項

シリアライザ、デシリアライザともに CMOS デバイスであるため、どちらも低消費電力です。さらに定電流源の性質を持つ差動の Bus LVDS の採用により、CMOS 設計における周波数と I_{CC} の相関カーブの勾配が小さくなっています。

デシリアライザの電源投入

SCAN921226 は、適切なシーケンスを守ればいつでも電源をオンにできます。REFCLK 入力はデシリアライザが電源オンされる前から入力できますが、入力データにロックさせるために供給し続けなければなりません。デシリアライザの出力は、データ受信を検知して入力データ列にロックがかかるまでは TRI-STATE のままです。

データ転送

シリアライザとデシリアライザが電源オンとなれば、データ転送のために両者が位相ロックされる必要があります。位相ロックはデシリアライザが入力データにロックするかまたはシリアライザが SYNC パターンをデシリアライザに送出して行われます。シリアライザの SYNC1 ピンまたは SYNC2 ピンを HIGH にすると、シリアライザは SYNC パターンを送出します。デシリアライザの LOCK は、デシリアライザが入力データにロックするまで HIGH のままです。デシリアライザの LOCK 出力をシリアライザの SYNC 入力に接続すると、デシリアライザのロックに必要な SYNC パターンの送出を制御できます。

デシリアライザでは、入力データにロックもできます。必要な操作は、同デバイスに電源を投入し、「ランダム・ロック」回路でデータ列を探し、そのデータ列にロックするだけです。

デシリアライザの LOCK 出力が LOW でも、デシリアライザの出力ピン (ROUT0 ~ 9) に出力されるデータは有効です。ただし、伝送中にロックが外れた場合は除きます。これについては、後述の「ロック喪失からの復帰」の項で詳しく述べます。

ノイズ・マージン

デシリアライザのノイズ・マージンとは、デシリアライザが確実にデータを受信できる、入力ジッタ (位相ノイズ) の総和です。さまざまな環境条件やシステム上の要因が関係します。

シリアライザ: TCLK ジッタ、 V_{CC} ノイズ (ノイズ帯域幅と帯域外ノイズ)

伝送メディア: ISI、ラージ V_{CM} シフト

デシリアライザ: V_{CC} ノイズ

ロック喪失からの復帰

データ転送中にデシリアライザのロックが外れた場合、すでに受信したデータのうち最大 3 サイクル分が無効となります。これはロック検出回路の遅延によるためです。ロック検出回路は、ロック喪失を検知するために 4 列分の無効なクロック情報を受信する必要があります。クロック情報が失われているため、該当サイクルのデータも失われます。したがって、入力データ列にデシリアライザがロ

ック直し、デシリアライザの LOCK ピンが LOW になったあとでも、少なくとも先行の 3 サイクル分のデータにはビット・エラーの可能性があまりありません。

デシリアライザは、先に述べたように、SYNC パターンの再送信をシリアライザに命令すると、入力データ列にロックし直せます。あるいは、ランダム・ロックの方法でもロックし直せますが、その場合は受信するデータ・パターンによっては余計に時間がかかることがあります。

活線挿抜 (ホット・プラグ)

次に示す規則を守れば、どの BLVDS デバイスも活線挿抜が可能です。挿入時には、最初にグラウンド・ピンを接触させ、続いて V_{CC} ピン、最後に I/O ピンを接続します。抜くときには、最初に I/O ピンを抜き、続いて V_{CC} ピン、最後にグラウンド・ピンを抜きます。Figure 21 に、活線挿抜時のランダム・ロックを示します。

PCB 設計の考慮事項

Bus LVDS であるシリアライザとデシリアライザは、それぞれ可能な限りエッジ・コネクタに近い位置に配置してください。複数のデシリアライザを用いるアプリケーションでは、スロット・コネクタからデシリアライザまでの距離が、シリアライザにはバックプレーン上のスタブとして見えます。スタブ長が長くなるとバス・インピーダンスが下がり、シリアライザから見ると負荷が増えたことになり、またデシリアライザから見るとスレッショルド・マージンが低下することになります。デシリアライザは、スロット・コネクタの位置から 1 インチ以内でできる限り近くに配置してください。シリアライザの Bus LVDS 出力では遷移時間が非常に短いため、スタブ長をできる限り短くするのが信号の完全性を確保する最も良い方法です。

伝送メディア

シリアライザとデシリアライザは、PCB の配線パターンがツイスト・ペア・ケーブルを介して、バックプレーンの一対一の構成でも使用できます。一対一の構成の場合、伝送メディアを終端する必要のあるのはレシーバ側のみです。一対一の構成では、シリアライザとデシリアライザのグラウンド電位を比較した場合に、オフセットが生じている可能性があるので注意してください。また、Bus LVDS では、レシーバの入力ピンでの同相電圧範囲が $\pm 1.2V$ になります。

SCAN921226 にバイアスをかける場合の安全な方法

DS92LV1210、DS92LV1212 の入力スレッショルド感度が $\pm 100mV$ であるのに対して、SCAN921226 は $\pm 50mV$ の高い入力スレッショルド感度を持っています。これは、SCAN921226 の差動ノイズ・マージンがほかより大きいことを考慮したものです。しかし、レシーバの入力ピンが活発に駆動されていないと、SCAN921226 は高い感度のために、信号と間違えてノイズを拾ってしまい、意図せずロックする場合があります。この現象は、たとえば入力ケーブルが外れたときなどに発生します。

レシーバの回路基板に外付け抵抗をいくつか追加すると、ノイズを拾わないようにできます。通常は、大きな値の抵抗を使用して、レシーバの非反転入力にはプルアップし、レシーバの反転入力にはプルダウンします。レシーバの入力が、作動中のドライバに接続されていないときでも、プルアップ抵抗 (R_1) から終端抵抗 (R_2) を通ってプルダウン抵抗 (R_2) へと流れる電流により、レシーバの入力にバイアスがかけられます。プルアップ抵抗とプルダウン抵抗の値は、終端抵抗の両端の電圧降下が $+15mV$ になるような値を選んでください。安全なバイアスのかけ方については、Figure 18 を参照してください。

アプリケーション情報 (つぎ)

t_{DJIT} と t_{RNM} を使用した信号品質の検証

パラメータ t_{RNM} を求める前に、レシーバが適切なサンプリングを行うために必要とするデータ・ビットの理想的なタイミング幅を求めます。理想的なビット幅に対し、外部ノイズ源に許容されているタイミングが t_{RNM} となります。 t_{RNM} にはトランスミッタ・ジッタが含まれています。

t_{DJIT} と t_{RNM} についてはタイミング・チャートを図示した Figure 19、20 を参照してください。また t_{RNM} の詳細は、アプリケーション・ノート AN-1217 “How to Validate BLVDS SER/DES Signal Integrity Using an Eye Mask” を参照してください。

テスト・マスクで電圧方向のリミットは、SCAN921226 レシーバの入力スレッショルドである $\pm 50\text{mV}$ です。

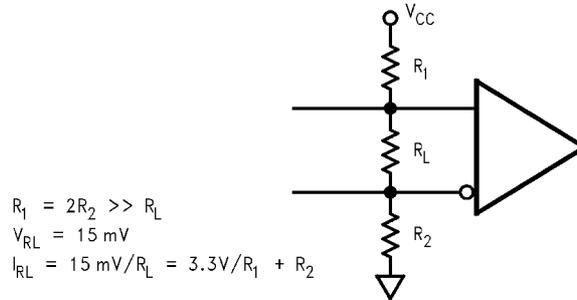


FIGURE 18. Failsafe Biasing Setup

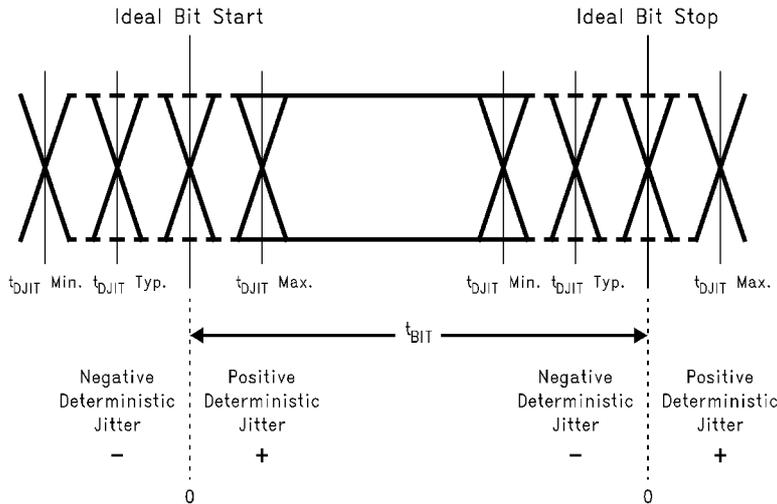
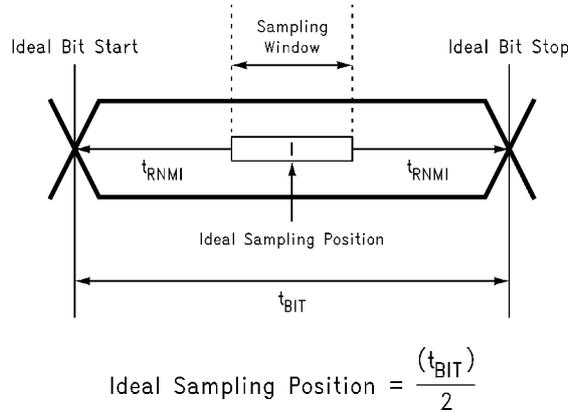


FIGURE 19. Deterministic Jitter and Ideal Bit Position



t_{RNM-L} は上図の左側で理想的なノイズ・マージンを示し、理想値に対して早いときに負の値となります。
 t_{RNM-R} は上図の右側で理想的なノイズ・マージンを示し、理想値に対して遅いときに正の値となります。

FIGURE 20. Ideal Deserializer Noise Margin (t_{RNM}) and Sampling Window

アプリケーション情報 (つぎ)

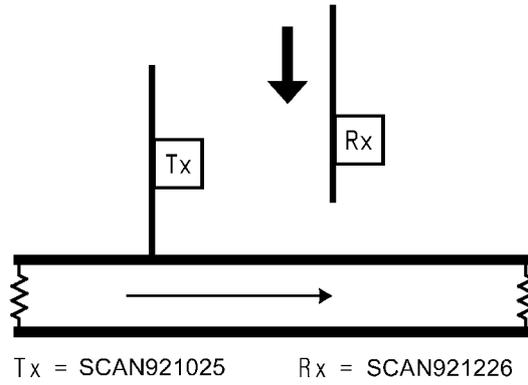
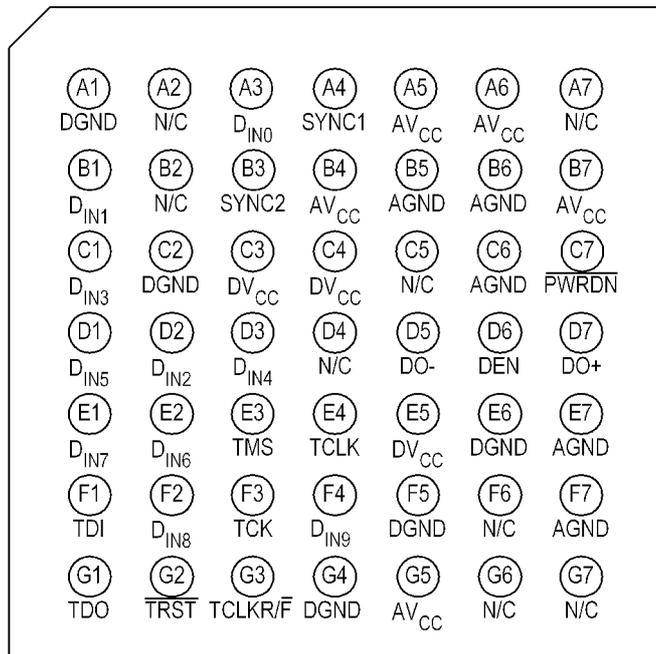


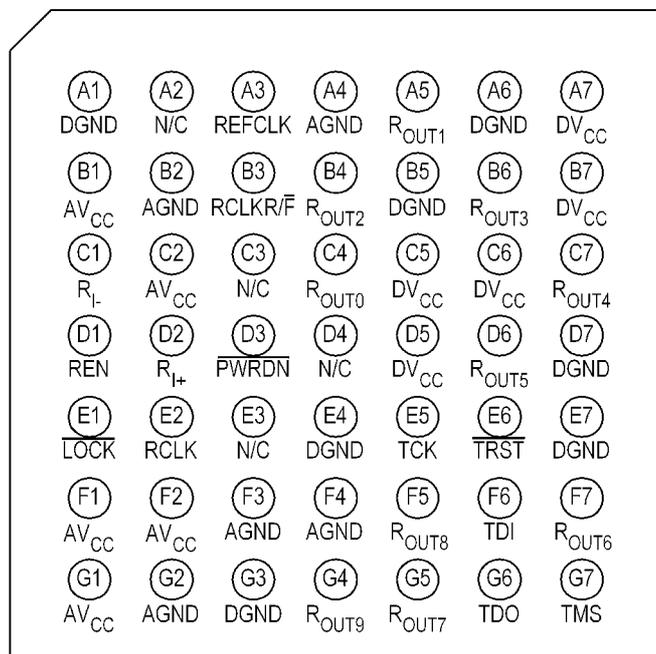
FIGURE 21. Random Lock Hot Insertion

配置図

SCAN921025SLC - Serializer
(Top View)



SCAN921226SLC - Deserializer
(Top View)



シリアルライザ端子説明

ピン名称	I/O	ピン番号	説明
DIN	I	A3, B1, C1, D1, D2, D3, E1, E2, F2, F4	データ入力。LVTTTL レベル入力。10 ビットの内部入力レジスタにデータがロードされます。
TCLKR \bar{F}	I	G3	送信クロックの立ち上がり / 立ち下がりエッジ選択。LVTTTL レベル入力。DIN データの取り込みを行う TCLK のエッジを選択します。HIGH で立ち上がり、LOW で立ち下がりエッジとなります。
DO +	O	D7	+シリアル・データ出力。非反転 Bus LVDS 差動出力です。
DO -	O	D5	-シリアル・データ出力。反転 Bus LVDS 差動出力です。
DEN	I	D6	シリアル・データ出力イネーブル。LVTTTL レベル入力。LOW で Bus LVDS 出力は TRI-STATE になります。
PWRDN	I	C7	パワーダウン。LVTTTL レベル入力。PWRDN を LOW にドライブすると、PLL をシャットダウンし出力を TRI-STATE にして、デバイスを低消費電力のスリープモードにします。
TCLK	I	E4	送信クロック。LVTTTL レベル入力。30MHz ~ 80MHz のシステム・クロックを入力します。
SYNC	I	A4, B3	同期パターンを Bus LVDS シリアル出力に送出するために 1024 クロック以上アサート (HIGH) します。SYNC が 1024 クロック以上アサートされていれば、同期パターンはその後も続けて出力されます。TTL レベル入力。2 つの SYNC 入力は内部で OR されています。
DVCC	I	C3, C4, E5	デジタル電源
DGND	I	A1, C2, F5, E6, G4	デジタル・グラウンド
AVCC	I	A5, A6, B4, B7, G5	アナログ電源 (PLL およびアナログ回路)
AGND	I	B5, B6, C6, E7, F7	アナログ・グラウンド (PLL およびアナログ回路)
TDI	I	F1	IEEE 1149.1 をサポートするテスト・データ入力。IEEE 1149.1 に従いデフォルト値を HIGH に設定するためプルアップ抵抗を内蔵しています。
TDO	O	G1	IEEE 1149.1 をサポートするテスト・データ出力。
TMS	I	E3	IEEE 1149.1 をサポートするテスト・モード・セレクト。IEEE 1149.1 に従いデフォルト値を HIGH に設定するためプルアップ抵抗を内蔵しています。
TCK	I	F3	IEEE 1149.1 をサポートするテスト・クロック入力。
$\overline{\text{TRST}}$	I	G2	IEEE 1149.1 をサポートするテスト・リセット入力。IEEE 1149.1 に従いデフォルト値を HIGH に設定するためプルアップ抵抗を内蔵しています。
N/C	N/A	A2, A7, B2, C5, D4, F6, G6, G7	開放のままとして何も接続しないでください。

デシリアライザ端子説明

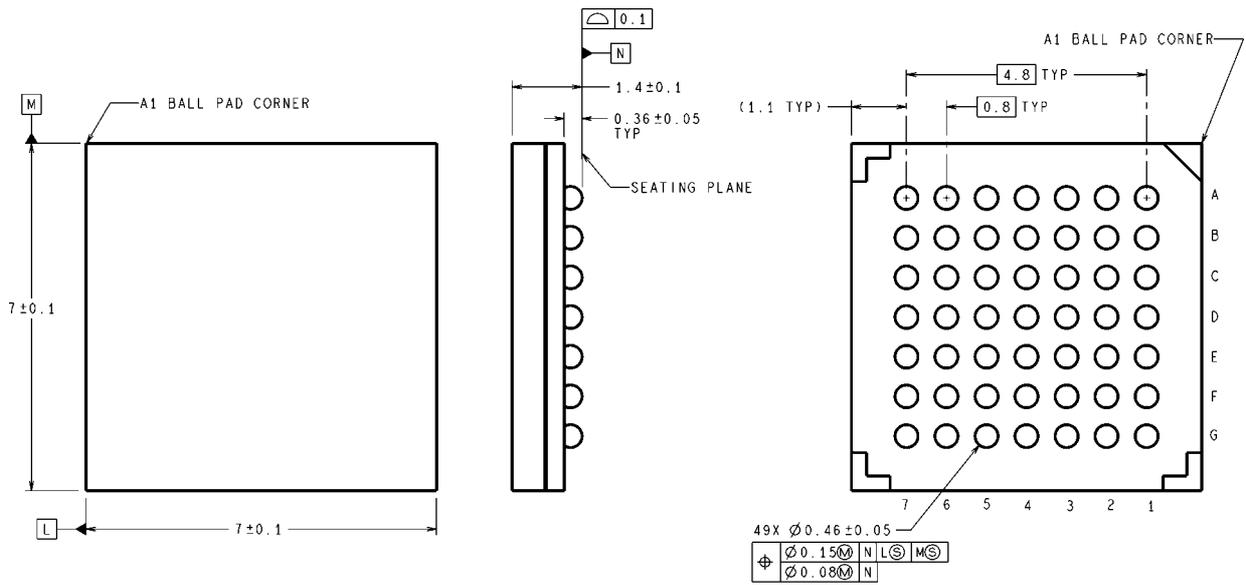
ピン名称	I/O	ピン番号	説明
ROUT	O	A5, B4, B6, C4, C7, D6, F5, F7, G4, G5	データ出力。± 9mA CMOS レベル出力。
RCLKR \bar{F}	I	B3	取り込みクロックの立ち上がり / 立ち下がりエッジ選択。TTL レベル入力。ROUT データの取り込みを行うRCLKのエッジを選択します。HIGHで立ち上がり、LOWで立ち下がりエッジとなります。
RI +	I	D2	+シリアル・データ入力。非反転 Bus LVDS 差動入力です。
RI -	I	C1	-シリアル・データ入力。反転 Bus LVDS 差動入力です。
\overline{PWRDN}	I	D3	パワーダウン。TTL レベル入力。 \overline{PWRDN} をLOWにドライブすると、PLLをシャットダウンし出力をTRI-STATEにして、デバイスを低消費電力のスリープ・モードにします。
\overline{LOCK}	O	E1	デシリアライザのPLLがロックしたとき、埋め込みクロックのエッジで \overline{LOCK} がLOWになります。CMOSレベル出力。トータム・ボール構成のため、複数のデシリアライザによる直接のワイヤード・オア接続はできません。
RCLK	O	E2	取り込みクロック。埋め込みクロック情報から抽出されたパラレル・データ周期のクロックです。ROUTの取り込みに用いられ、CMOSレベル出力です。
REN	I	D1	出力イネーブル。TTL レベル入力。LOWのときROUT0 ~ 9と \overline{LOCK} およびRCLKをTRI-STATEにします。
DVCC	I	A7, B7, C5, C6, D5	デジタル電源
DGND	I	A1, A6, B5, D7, E4, E7, G3	デジタル・グラウンド
AVCC	I	B1, C2, F1, F2, G1	アナログ電源 (PLL およびアナログ回路)
AGND	I	A4, B2, F3, F4, G2	アナログ・グラウンド (PLL およびアナログ回路)
REFCLK	I	A3	内部 PLL に対する REFCLK 供給ピン
TDI	I	F6	IEEE 1149.1 をサポートするテスト・データ入力。IEEE 1149.1 に従いデフォルト値をHIGHに設定するためプルアップ抵抗を内蔵しています。
TDO	O	G6	IEEE 1149.1 をサポートするテスト・データ出力。
TMS	I	G7	IEEE 1149.1 をサポートするテスト・モード・セレクト。IEEE 1149.1 に従いデフォルト値をHIGHに設定するためプルアップ抵抗を内蔵しています。
TCK	I	E5	IEEE 1149.1 をサポートするテスト・クロック入力。
\overline{TRST}	I	E6	IEEE 1149.1 をサポートするテスト・リセット入力。IEEE 1149.1 に従いデフォルト値をHIGHに設定するためプルアップ抵抗を内蔵しています。
N/C	N/A	A2, C3, D4, E3	開放のままとして何も接続しないでください。

デシリアライザ真理値表

INPUTS		OUTPUTS		
\overline{PWRDN}	REN	ROUT [0:9]	\overline{LOCK}	RCLK
H (4)	H	Z	H	Z
H	H	Active	L	Active
L	X	Z	Z	Z
H	L	Z	Active	Z

- 1) \overline{LOCK} Active は、選択したデータ列について \overline{LOCK} 出力がデシリアライザの状態を反映することを示しています。
- 2) RCLK Active は、デシリアライザがロックしても RCLK が作動することを示しています。ROUT を基準とする RCLK のタイミングは RCLK_R \bar{F} によって決まります。
- 3) ROUT と RCLK は、 \overline{LOCK} が HIGH になると TRI-STATE 状態になります。
- 4) パワーアップ中

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS

SLC49A (Rev B)

Order Number SCAN921025SLC or SCAN921226SLC
 NS Package Number SLC49A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2003 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上