

完全差動アンプのアプリケーション：ライン終端、高速ADCの駆動、および差動伝送ライン

By Jim Karki

Systems Specialist, High-Performance Linear

はじめに

Analog Applications Journalの2000年8月号では Texas Instruments の完全差動アンプを紹介し、その基本的な動作を説明しました。2000年11月号ではゲインとノイズを解析することにより、このトピックをさらに深く掘り下げて研究しました。この号では、伝送ラインやADCの入力の駆動といったいくつかの標準的なアプリケーションについて研究します。

計算と式を簡素化するために、このアプリケーション・ノートでは、開ループ・ゲインが非常に大きい($A_F \gg 1$)のために、その影響が解析に含まれないような周波数でアンプが使用されているものとします。

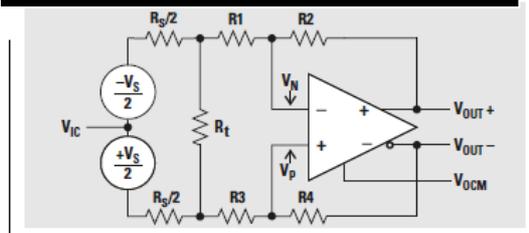
回路解析は、対称帰還(symmetrical feedback)が使用されている(つまり $1 = 2$ である)ことを前提としています。アプリケーションの回路について詳細に論じる前に、少し回り道をして、終端処理が帰還係数にどのように影響し、どのように帰還係数を決定づけるかを調べてみましょう。

入力信号源の終端処理

伝送ラインの反射を小さくするために、高速システムでは通常、二重終端が使用されます。二重終端を使用すると、伝送ラインを信号源と同じインピーダンスで終端処理できます。共通の値は50、75、100、600 です。信号源が差動方式の場合は、終端はラインとラインの間に配置されます。信号源がシングルエンド方式の場合は、終端はラインからグラウンドに対して配置されます。

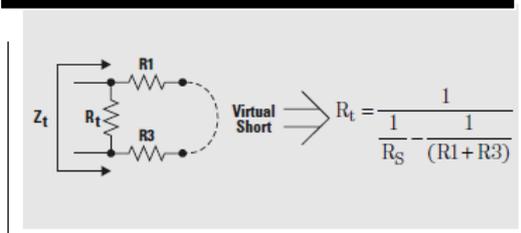
図1は、差動信号源の終端処理の一例です。回路は平衡な状態にあり、 V_{IC} を中点として、 V_S と R_S の片側半分ずつが各入力につながっています。 R_S は信号源インピーダンス、 R_t は終端抵抗です。この回路は平衡ですが、(1)正しい終端処理 (2)ゲイン設定という2つの問題を解決する必要があります。

図1. 差動入力信号の終端処理



$A_F \gg 1$ であり、アンプがリニア動作である限りは、アンプの動作は $V_N \approx V_P$ に保たれます。したがって、2つのノード間には1次近似的に、図2に示すような仮想接地が見られます。終端インピーダンスは、並行結合「 $R_t \parallel (R_1 + R_3)$ 」になっています。正しい終端の R_t の値は、図2のように計算されます。

図2. 差動終端インピーダンス



R_t が求められれば、必要なゲインはテブナン等価回路を生成することで求められます。この回路は、 R_t と、アンプの入力抵抗 R_1 および R_3 の間で分断されます。 V_{IC} はこの時点では関係ないため、除外します。次に、

$$V_{TH} = V_S \times \frac{R_t}{R_t + R_S},$$

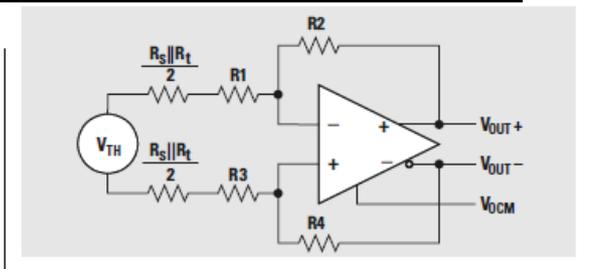
および $R_{TH} = R_S \parallel R_t$ (半分ずつが各側につながっています) となります。結果として生成されるテブナン等価回路を図3に示します。正しいゲインは次のように計算されます。

$$\frac{V_{OUT}}{V_{TH}} = \frac{R_F}{R_G + \frac{R_S \parallel R_t}{2}}$$

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご利用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

ここで、 $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$ となります。

図3. 差動テブナン等価回路



V_{TH} について代入すると、これは次のようになります。

$$\frac{V_{OUT}}{V_S} = \frac{R_F}{R_G + \frac{R_S \parallel R_t}{2}} \times \frac{R_t}{R_S + R_t}$$

ここで、 R_F は帰還抵抗(R_2 または R_4)、 R_G は入力抵抗(R_1 または R_3)です。対称性を保つために、必ず次のように、両方の側でゲインが等しくなるようにしてください。

$$R_2 = R_4 \text{ および } R_1 = R_3$$

例として、平衡差動信号源50Ωを終端処理する場合に、信号源からアンプの差動出力までのゲインが全体として1になるようにしたいと仮定してみましょう。まず、 R_1 と R_3 の値を選択することから設計を開始し、次に R_t と帰還抵抗を計算します。

終端により形成された分圧回路を使用した場合は、アンプにはゲイン約2が必須であると仮定するのが妥当です。また、高速アンプ用には帰還抵抗値約500Ωが妥当です。これらの仮定を使用して、249Ωと等価の R_1 および R_3 を選択します。次に、下記の式から R_t を計算します。

$$R_t = \frac{1}{\frac{1}{R_S} - \frac{1}{(R_1 + R_3)}} = \frac{1}{\frac{1}{50} - \frac{1}{(249 + 249)}} = 55.6 \Omega$$

(最も近い標準1%値は56.2Ωです)。次に、帰還抵抗の値を計算して、ゲインを設定します。

$$R_F = \frac{V_{OUT}}{V_S} \times \left(R_G + \frac{R_S \parallel R_t}{2} \right) \times \frac{R_S + R_t}{R_t}$$

$$= 1 \times \left(249 + \frac{50 \parallel 56.2}{2} \right) \times \frac{50 + 56.2}{56.2} = 495.5 \Omega$$

(最も近い標準1%値は499 Ωです)。

解を、抵抗の標準1%値とともに図4に示します。

図5は、シングルエンド方式の信号源の終端処理例です。 R_S は信号源インピーダンス、 R_t は終端抵抗です。この回路は不平衡であるため、(1) 正しい終端 (2) ゲイン設定 (3) 平衡 という3つの問題を解決する必要があります。

図4. ゲイン = 1の場合の差動回路の解

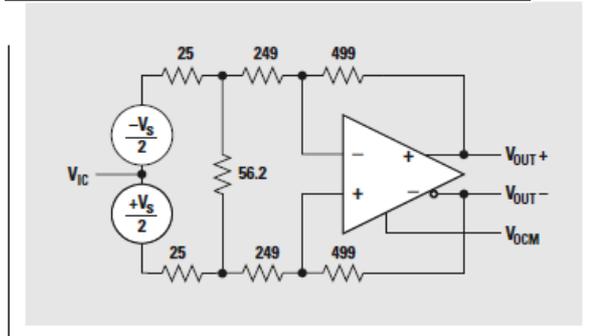


図5. シングルエンド入力信号の終端処理

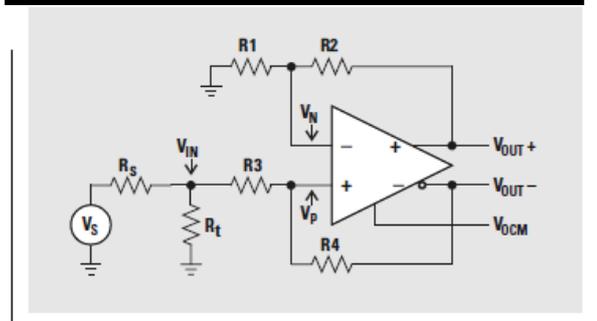
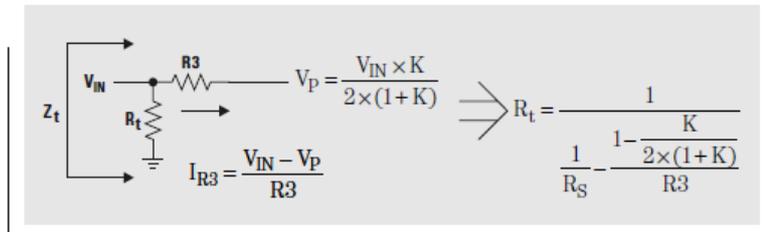


図6. シングルエンド終端の ac インピーダンス



ラインから V_{IN} のアンプ入力を見込む終端インピーダンスを判定するには、 V_S と R_S を除去して、他のすべての信号源を短絡します。AF \gg 1 であり、アンプがリニア動作である限りは、アンプの動作は $V_N \approx V_P$ に保たれます。 V_N では、 V_{OUT+} での電圧が、次の式で求められる抵抗比率によって分圧されます。

$$\frac{R_1}{R_1 + R_2}$$

アンプが平衡であると仮定すると、次のようになります。

$$V_{OUT+} = K \times \frac{V_{IN}}{2}$$

ここでKはアンプの閉ループ・ゲイン($V_{OCM} = 0$)であり、終端インピーダンスは R_t と次の式で求められる抵抗の並行結合となります。

$$\frac{V_{IN}}{I_{R3}} = \frac{R3}{1 - \frac{K}{2 \times (1+K)}}$$

次に、正しい終端用の R_t の値が図6に示すように計算されます。

R_t が求められれば、必要なゲインはテブナン等価回路を生成することで求められます。この回路は、 R_t と、アンプの入力抵抗 R_3 の間で分断されます。

$$V_{TH} = V_S \times \frac{R_t}{R_t + R_S},$$

そして、 $R_{TH} = R_S \parallel R_t$ となります。

結果として生成されるテブナン等価回路を図7に示します。ゲインは、次の式により設定されます。

$$\frac{V_{OUT}}{V_{TH}} = \frac{R_F}{R_G},$$

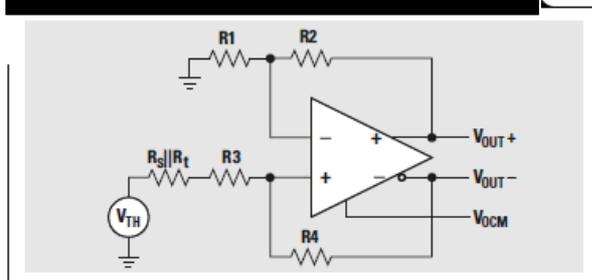
ここで、 $R_F = R_2 = R_4$ 、 $R_G = R_1 = R_3 + R_S \parallel R_t$ 、および $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$ となります。 V_{TH} について代入すると、これは次のようになります。

$$\frac{V_{OUT}}{V_S} = \frac{R_F}{R_G} \times \frac{R_t}{R_S + R_t}.$$

対称性を保つために、必ず次のようになるようにしてください。

$$R_2 = R_4 \text{ および } R_1 = R_3 + (R_S \parallel R_t)$$

図7. シングルエンドのテブナン等価回路



例として、シングルエンド信号源50Ωを終端処理する場合に、信号源からアンプの差動出力までのゲインが全体として1になるようにしたいと仮定してみましょう。まず、 R_3 の値を選択することから設計を開始し、次に R_t と帰還抵抗を計算します。これは、当初のいくつかの仮定を後から改良するプロセスの反復となります。

$R_t = 50\Omega$ であり、アンプにはゲイン2が必要になるという仮定から始めることにします。また、高速アンプの帰還抵抗値としては約500Ωが妥当です。これらの仮定を使用して、 $R_1 = 249\Omega$ および $R_3 = R_1 - R_S \parallel R_t = 249\Omega - 25\Omega = 224\Omega$ を選択します。次に、下記の式から R_t を計算します。

$$R_t = \frac{1}{\frac{1}{R_S} - \frac{1 - \frac{K}{2(1+K)}}{R_3}} = \frac{1}{\frac{1}{50} - \frac{1 - \frac{2}{2(1+2)}}{224}} = 58.7 \Omega$$

次に、帰還抵抗の値を計算します。

$$R_2 = \frac{V_{OUT}}{V_S} \times R_1 \times \frac{R_S + R_t}{R_t} = 1 \times 249 \times \frac{50 + 58.7}{58.7} = 460.9 \Omega,$$

$$\text{and } R_4 = \frac{V_{OUT}}{V_S} \times (R_3 + R_S \parallel R_t) \times \frac{R_S + R_t}{R_t} \\ = 1 \times (224 + 50 \parallel 58.7) \times \frac{50 + 58.7}{58.7} = 464.7 \Omega.$$

ゲインが2ではなく次の値になるため、プロセスが反復性であるとみなすことができます。

$$\frac{460.9}{249} = 1.85;$$

そして、 R_t は計算により、50Ωではなく58.7Ωとなります。これらの計算をさらに2回繰り返すと、次のような結果になります。

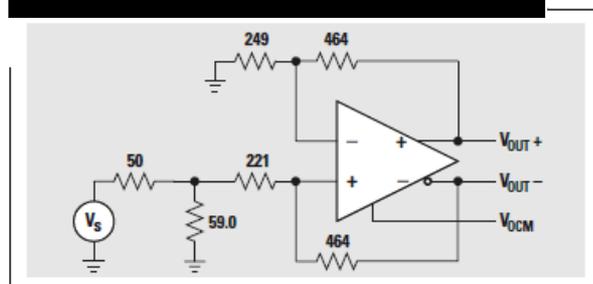
$R_3 = 221.9 \Omega$ (最も近い標準1%値は221Ω)

$R_t = 59.0$ (標準1%値)

$R_2 = R_4 = 460.9$ (最も近い標準1%値は464Ω)。

解を、抵抗の標準1%値とともに図8に示します。

図8. ゲイン = 1の場合のシングルエンド回路の解



スプレッドシートを使用すると、反復のプロセスが非常に簡単になります。また、部品値を補正して、標準的に使用可能な値に近づけることが容易に可能になります。

前述のことから、負荷の終端処理というのは理論上それほど重要なことに思えなくても、実際に終端処理を正しく行うには多少の工夫が必要になることが分かります。

アクティブ・アンチエイリアス・フィルタリング

完全差動アンプの主なアプリケーションのひとつに、差動入力を備えたADC用のローパス・アンチエイリアス・フィルタがあります。

アクティブ1次ローパス・フィルタは、図9のように帰還にコンデンサを追加することで容易に生成できます。平衡帰還を使用した場合、伝達関数は次のようになります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_F}{R_G} \times \frac{1}{1 + j2\pi f(R_F C_F)}$$

ここで、 $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$ および $V_{IN} = (V_{IN+}) - (V_{IN-})$ です。伝達関数内に生成された極は、s平面内にある負の実軸上の実極です。

図10のように R_O と C_O を出力に配置して受動実極を生成することにより、2極ローパス・フィルタを生成できます。平衡帰還を使用した場合、伝達関数は次のようになります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_F}{R_G} \times \frac{1}{1 + j2\pi f(R_F C_F)} \times \frac{1}{1 + j2\pi f \times 2 \times R_O C_O}$$

ここで、 $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$

および $V_{IN} = (V_{IN+}) - (V_{IN-})$ です。

伝達関数に生成された第2の極も、s平面内にある負の実軸上の実極です。コンデンサ C_O は、実線で示すように、出力と出力の間に差動方式で配置できます。または、破線で示すように、(値が2倍の)コンデンサ2つを、各出力とグラウンドの間にひとつずつ配置することもできます。通常、 R_O は低い値になり、極周波数より高い周波数では、 R_O と C_O との直列結合によりアンプに負荷がかかります。この余分な負荷のために、アンプの出力で余分な歪みが発生することになります。これを回避するには、極のスタガ比を調整して、 $R_O C_O$ 極が $R_F C_F$ 極よりも高い周波数に来るようにするとよいでしょう。

パタワース、ベッセル、チェビシェフ等の古典的なフィルタ・タイプ(2次以上)は、実極では実現できません — これらのフィルタには、複素極が必要となります。複素極ペアの生成には複素帰還(MFB)トポロジーが使用されますが、図11に示すように、このトポロジーは完全差動アンプに容易に適応させることができます。 R_4 と C_3 を出力に追加することで、3次フィルタがひとつ形成されます。

コンデンサ C_2 と C_3 は、実線で示すように、差動方式でそれぞれ入力と入力の間、および出力と出力の間に配置できます。または、破線で示すように、同相電圧除去比(common-mode noise rejection)の向上のため、値が2倍のコンデンサ2つを各入力(または各出力)とグラウンドの間にひとつずつ配置することもできます。

このフィルタ回路の伝達関数は次のようになります。

$$\frac{V_{OUT}}{V_{IN}} = \left[\frac{K}{-\left(\frac{f}{FSF \times f_c}\right)^2 + \frac{1}{Q} \frac{jf}{FSF \times f_c} + 1} \right] \times \frac{1}{1 + j2\pi f \times 2 \times R_4 C_3}$$

ここで、 $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$

および $V_{IN} = (V_{IN+}) - (V_{IN-})$ です。

図9. 1次アクティブ・ローパス・フィルタ

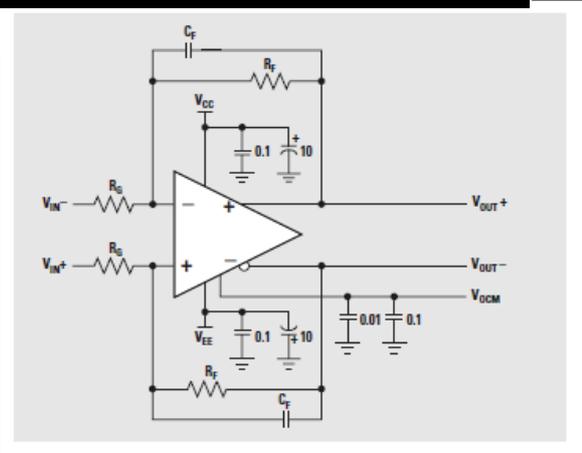


図10. 1次アクティブ・ローパス・フィルタ(第2の受動極がある場合)

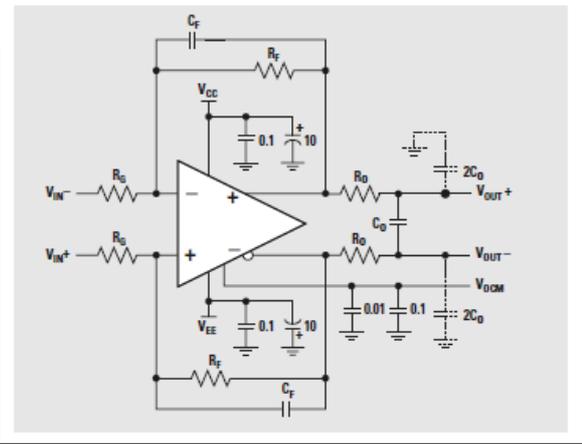
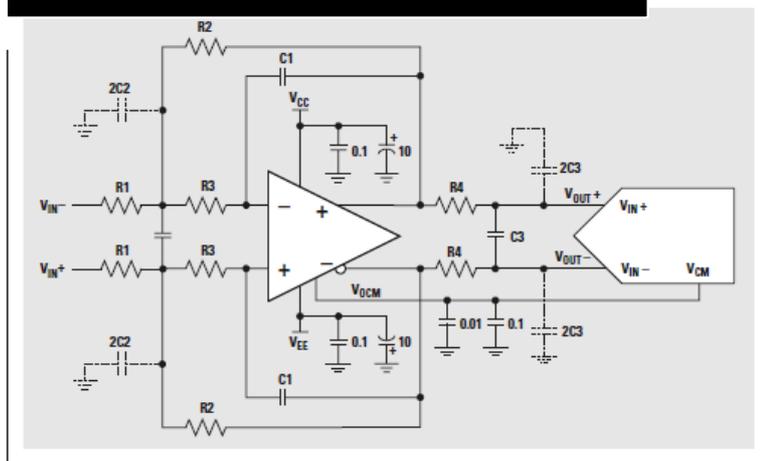


図11. ADCを駆動する3次ローパス・フィルタ



$$K = \frac{R_2}{R_1}, \text{FSF} \times f_c = \frac{1}{2\pi\sqrt{2} \times R_2 R_3 C_1 C_2},$$

$$\text{and } Q = \frac{\sqrt{2} \times R_2 R_3 C_1 C_2}{R_3 C_1 + R_2 C_1 + K R_3 C_1}.$$

Kは通過帯域ゲインを設定し、 f_c はフィルタの cutoff 周波数であり、FSFは周波数スケリング係数、Qはクオリティファクタです。

$$\text{FSF} = \sqrt{\text{Re}^2 + |\text{Im}|^2}, \text{ and } Q = \frac{\sqrt{\text{Re}^2 + |\text{Im}|^2}}{2\text{Re}},$$

ここで、Reは複素極の実数部であり、Imは虚数部です。

$R_2 = R$ 、 $R_3 = mR$ 、 $C_1 = C$ 、 $C_2 = nC$ と設定すると、次のような結果になります。

$$\text{FSF} \times f_c = \frac{1}{2\pi RC\sqrt{2 \times mn}} \text{ and}$$

$$Q = \frac{\sqrt{2 \times mn}}{1 + m(1 - K)}.$$

まず、設計中のフィルタ・タイプのゲインとQに必要な比率mとnを決定した後、Cを選択して、必要な f_c のRを計算します。

R_4 と C_3 を選択して、3次フィルタに実極を設定します。この極は注意して設定する必要があります。通常、 R_4 は低い値になり、極周波数より高い周波数では、 C_3 との直列結合によりアンプに負荷がかかります。この余分な負荷のために、アンプの出力で余分な歪みが発生することになります。これを回避するには、実極を複素極ペアの cutoff 周波数よりも高い周波数に配置します。

図12は、2次バターワース・ローパス・フィルタのゲインと位相レスポンスです。この場合のコーナー周波数は1MHzに設定され、実極は R_4 と C_3 により15.9MHzに設定されています。使用されている部品は次の通りです。

$R_1 = 787\Omega$ 、 $R_2 = 787\Omega$ 、 $R_3 = 732\Omega$ 、 $R_4 = 50\Omega$ 、 $C_1 = 100\text{pF}$ 、 $C_2 = 220\text{pF}$ 、 $C_3 = 100\text{pF}$ 、および完全差動アンプ製品THS4141。周波数が高い場合は、寄生素子が原因で信号がフィードスルーする可能性があります。

V_{OCM}

差動入力を備えたADCの多くでは、正しい V_{OCM} は出力として提供されます。通常ならば、必要になるのはバイパス・コンデンサを付加することだけです。0.1 μF と0.01 μF は良い組み合わせです。 V_{OCM} が提供されない場合は、図13に示すように、 V_{OCM} を駆動するためのADCの正負の基準電圧を使用してサミングノードを形成することにより生成できます。サミングノードでの電圧は、 $+V_{\text{REF}}$ と $-V_{\text{REF}}$ の

図12. 1MHzの2次バターワース・ローパス・フィルタ (実極15.9MHz)

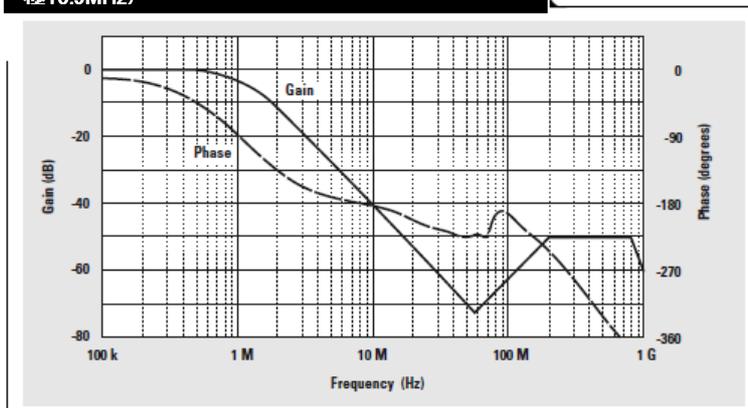
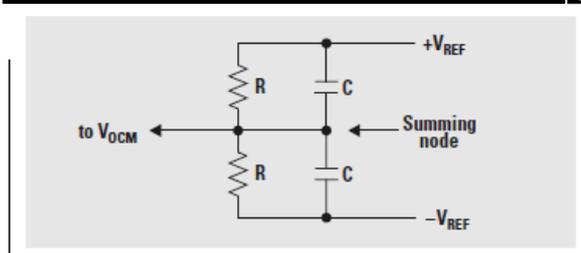


図13. ADCの基準電圧から V_{OCM} を駆動する



間の中点値です。 V_{OCM} 入力の負荷によっては、サミングノードの電圧をバッファリングする必要があるかもしれません。

電源バイパス

各電源レールの、アンプから数インチ以内の場所に6.8 μF ~10 μF のタンタル・コンデンサを配置して、低周波電源バイパスを実現する必要があります。0.01 μF ~0.1 μF のセラミック・コンデンサをアンプの各電源ピンの0.1インチ以内に配置して、高周波電源バイパスを実現する必要があります。

レイアウトの考慮事項

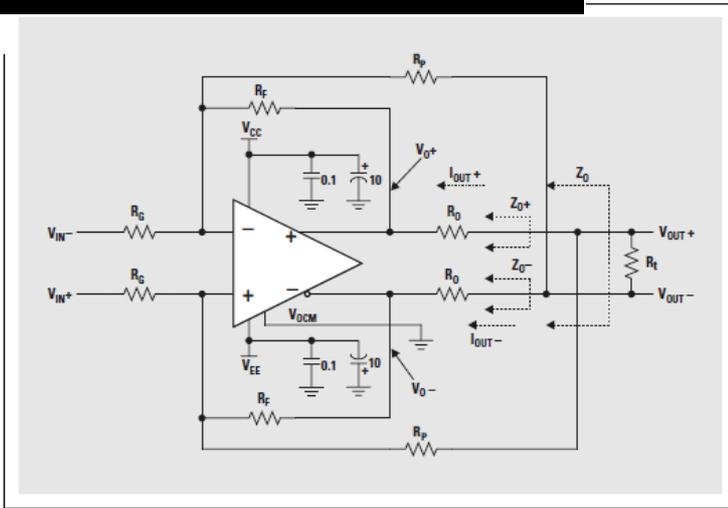
すべての高速アンプの場合と同様に、ピン付近や任意の回路配線付近のグラウンド・プレーンを除去して、アンプの入力での寄生容量を最小限に抑える必要があります。

また、表面実装部品を使用して、配線引き回しは可能な限り直線になるようにしてください。

正帰還を利用してアクティブ終端処理を実現する方法

差動方式による伝送ラインの駆動は、完全差動アンプの代表的な用途です。正帰還をアンプで使用することにより、図14のようにアクティブ終端処理が実現できます。正

図14. 正帰還を使用してアクティブ終端を実現する



帰還が原因で、出力ライン・インピーダンスは出力抵抗 R_O よりも大きく見えます。それでも、抵抗の両端での電圧低下は実際の値によって変化するため、効率が增大する結果となります。

このアプリケーションでは、対称帰還を使用することが重要となります。

二重終端を使用すると、アンプの出力インピーダンス Z_O は、伝送ラインの特性インピーダンスと等しくなります。ラインの遠端は、同じ値の抵抗、すなわち $R_t = Z_O$ で終端処理されます。平衡を正しく取るために、差動出力の片側半分ずつに Z_O が半分ずつ配置され、 $Z_O = 2 \times Z_{O\pm}$ となります。

出力インピーダンスを計算するには、入力をグラウンドに接続して、 V_{OUT+} と V_{OUT-} の間に電圧源または電流源を挿入します。

対称性があるために、 $Z_{O+} = Z_{O-}$ 、 $V_{OUT+} = -(V_{OUT-})$ 、 $V_{O+} = -(V_{O-})$ となります。片側のインピーダンスを計算すると、解が得られます。

$$Z_{O+} = \left(\frac{V_{OUT+}}{I_{OUT+}} \right) \parallel R_P, I_{OUT+} = \frac{(V_{OUT+}) - (V_{O+})}{R_O},$$

$$\text{and } V_{O+} = (V_{OUT-}) \times \left(\frac{-R_F}{R_P} \right).$$

ラインの各側でのアンプの出力インピーダンスは、次のようになります。

$$Z_{O\pm} = \left(\frac{R_O}{1 - \frac{R_F}{R_P}} \right) \parallel R_P. \tag{1}$$

正帰還はまた、順方向ゲインにも影響します。この影響、および $R_O \sim R_t \parallel 2R_P$ 間の分圧回路を決定づける、 $V_{IN} = (V_{IN+}) - (V_{IN-})$ から $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$ までのゲインは次のようになります。

$$A = \frac{V_{OUT}}{V_{IN}} = \frac{R_F}{R_G} \times \frac{1}{\frac{2R_O + R_t \parallel 2R_P}{R_t \parallel 2R_P} - \frac{R_F}{R_P}}. \tag{2}$$

最初に R_F と R_O の値を選択すれば、設計は容易に達成できます。次に R_P の必要値を計算して、必要な Z_O を求めます。次に、 R_G を計算して必要なゲインを求めます。

例: 必要なゲインが1であり、 $R_F = 1k\Omega$ と $R_O = 10\Omega$ を使用して、 100Ω のラインを正しく終端処理する必要があると仮定します。 Z_O と R_t の正しい値は 100Ω ($Z_{O\pm} = 50\Omega$)です。式1を整理すると、次の結果になります。

$$R_P = \frac{R_F - R_O}{1 - \frac{R_O}{Z_{O\pm}}} = \frac{990 \Omega}{1 - \frac{10 \Omega}{50 \Omega}} = 1.24 \text{ k}\Omega.$$

式2を整理すると、次のようになります。

$$R_G = \frac{R_F}{A} \times \frac{1}{\frac{2R_O + R_t \parallel 2R_P}{R_t \parallel 2R_P} - \frac{R_F}{R_P}}$$

$$= \frac{1 \text{ k}\Omega}{\frac{20 \Omega + 100 \Omega \parallel 2.48 \text{ k}\Omega}{100 \Omega \parallel 2.48 \text{ k}\Omega} - \frac{1 \text{ k}\Omega}{1.25 \text{ k}\Omega}} = 2.49 \text{ k}\Omega.$$

標準値に最も近い回路定数は：

$R_F = 1k\Omega$ 、 $R_P = 1.24k\Omega$ 、 $R_G = 2.49k\Omega$ 、 $R_t = 100\Omega$ 、 $R_O = 10\Omega$ となります。出力電圧波形($V_{OUT} = 2V_{PP}$)と、図15のアクティブ終端および標準終端を比較します。

[$V_O = (V_{O+}) - (V_{O-})$ 、および $V_{OUT} = (V_{OUT+}) - (V_{OUT-})$]

標準終端の場合、 $R_F = 1k\Omega$ 、 $R_P =$ オープン値、 $R_G = 499\Omega$ 、 $R_t = 100\Omega$ 、 $R_O = 50 \Omega$ となります。

標準終端を使用した場合、出力抵抗では電力 $20mW$ が消費されますが、これとは対照的に、アクティブ終端を使用した場合に消費される電力は $6.25mW$ です。つまりアクティブ終端を使用すると、消費電力を69%も節約できます。

アクティブ終端にはもうひとつ、任意の電源電圧で出力電圧シングが事実上増加するという、特に低電圧アプリケーションの場合に非常に魅力的な特長があります。

結論

高速システムでは、正しいライン終端処理を行うには、終端抵抗について考慮し、ゲイン設定抵抗を補正して対称的な帰還を維持することが必要となります。

統合完全差動アンプは、差動方式のADC入力駆動に非常に適しており、アンチエイリアス・フィルタリングと同相電圧設定の容易な手段を提供します。

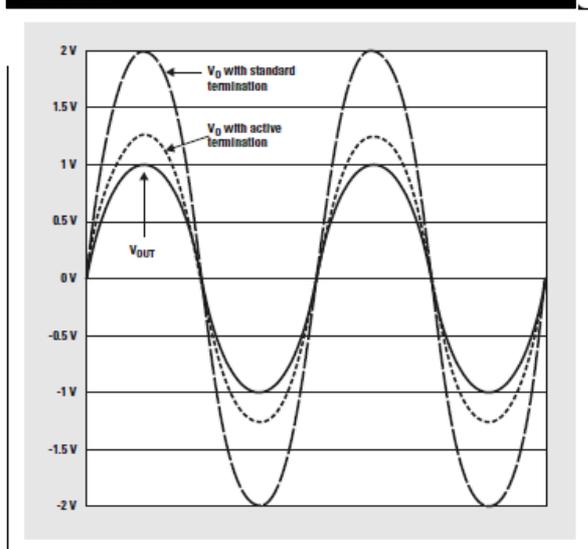
完全差動アンプは差動伝送ラインの駆動にも非常に適しており、アクティブ終端によりその効率をさらに向上させることができます。

関連ウェブサイト

www-s.ti.com/sc/techlit/slyt018

amplifier.ti.com

図15. アクティブ終端と標準終端を使用した場合の出力波形



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上