高速インターフェイス・テクノロジーの概要.................. 3-7
ネットワークトポロジー ............ 9-11
SerDesアーキテクチャ.......... 13-23
終端とレベル変換............... 25-32
回路設計とレイアウトの
ガイドライン.................... 33-39
ジッタ概論...................... 41-52
インターネットメディアとシグナル・
コンディショニング ................ 53-69
半導体のI/Oモデル............... 71-76
設計課題への対応............... 77-96

http://www.tij.co.jp
2008
高速インターフェイス・テクノロジーの概要 ........................................................................ 3
1.1 差動信号テクノロジー ............................................................................................ 3
1.2 LVDS – 小振幅差動信号方式 ................................................................................ 4
1.3 CML – 電流モード・ロジック ............................................................................... 5
1.4 LVPECL – 低電圧ポジティブ・エミッタ結合ロジック ... 6
1.5 最適なテクノロジーの選択 .................................................................................. 6
ネットワーク・トポロジー .............................................................................................. 9
2.1 ポイント・ツー・ポイント ....................................................................................... 9
2.2 マルチポイント / マルチドロップ ................................................................. 10
2.3 SerDes アーキテクチャ ......................................................................................... 11
2.4 信号テクノロジーの混在環境 .............................................................................. 11
2.5 インターフェイス・テクノロジーの選択 ............................................................. 11
SerDesアーキテクチャ ..................................................................................................... 13
3.1 はじめに ................................................................................................................ 13
3.2 パラレル・クロック SerDes ............................................................................... 13
3.3 エンベド・クロック ( クロック埋込み型 ) SerDes14
3.4 8b/10b SerDes ........................................................................................................ 15
3.5 FPGA 直結型 SerDes............................................................................................. 16
3.6 アプリケーション ...................................................................................................... 17
パラレル・クロック SerDes ..................................................................................... 17
エンベド・クロック ( クロック埋込み型 ) SerDes ................................................. 18
8b/10b SerDes .............................................................................................................. 20
FPGA 直結型 SerDes .................................................................................................. 21
3.7 概要比較 .................................................................................................................. 22
3.8 まとめ .................................................................................................................... 23
終端とレベル変換 ........................................................................................................ 25
4.1 終端とインピーダンス整合 ..................................................................................... 25
4.2 マルチドロップとマルチポイント ................................................................. 25
4.3 AC 結合 .................................................................................................................... 26
4.4 DC バランス ........................................................................................................... 27
コンデンサの選択 ......................................................................................................... 28
4.5 レベル変換 .............................................................................................................. 29
4.6 フェイルセーフ ........................................................................................................ 31
M-LVDS フェイルセーフ ......................................................................................... 32
回路設計とレイアウトのガイドライン ........................................................................ 33
5.1 PCB 伝送線路 ........................................................................................................... 33
5.2 伝送損失 ................................................................................................................ 34
5.3 PCB のピア ............................................................................................................... 35
5.4 バックプレーン・サブシステム .......................................................................... 36
5.5 インターフェース・メディアとシグナル・コンディショニング ........................................... 53
6.1 ジッタ概論 .............................................................................................................. 41
6.2 そのほかのジッタ源 ............................................................................................. 46
6.3 パターン依存性とアイ / ダイグラム ................................................................... 49
6.4 AI / マスク ........................................................................................................... 51
インテークとメディアとシグナル・コンディショニング .................................................. 53
7.1 ケーブルの物理的特性と電気的特性 ................................................................... 53
7.2 シグナル・コンディショニングの特性 ..................................................................... 57
ケーブルや PCB トレースで生じるメディア損失 ......................................................... 57
プリエンファシス・ドライバとディエンファシス・ドライバ ................................................ 58
先入入力を制御できる可変イコライザ ........................................................................ 61
適応状態の選択とインピーダンス整合 ........................................................................ 61
アダプティブ・イコライザ .............................................................................................. 61
クロストーク .................................................................................................................. 62
反射 .................................................................................................................................. 62
7.3 プリエンファシス / ディエンファシスとイコライザの併用 ......................................... 64
7.4 ランダム・ノイズ ................................................................................................. 64
7.5 リクロック・レシーバ ( リクロック ) .................................................................... 65
7.6 ビット・エラー・レート ( BER ) とジッタ ( ランダムと確定 ) ............................. 66
プリエンファシスのアイダイアグラム ............................................................................. 66
プリエンファシスのアイダイアグラム ............................................................................. 68
PE/EQ の組み合わせ ..................................................................................................... 69
目次

半導体のI/Oモデル ................................................. 71
8.1 入力 / 出力パッファ情報仕様 ................................ 71
8.2 IBIS のビヘイビア図 ....................................... 72
8.3 ステート出力モデル ......................................... 72
8.4 IBIS モデルの作成 .......................................... 73
8.5 散乱パラメータ (S パラメータ) ........................... 74
8.6 SPICE モデル .............................................. 76

設計課題の解決方法 ............................................... 77
9.1 クロック分配とシグナル・コンディショニング .......... 77
ポイント・ツー・ポイントでのクロック分配 .......... 77
マルチポイントでのクロック分配 ..................... 77
クロック・コンディショナ ................................. 78
9.2 システム・クロック分配 .................................. 80
ATCA 同期クロック・インタフェイス ..................... 80
MicroTCA 同期化クロック・インタフェイス ........ 81
9.3 FPGA 性能の補完 ........................................ 82
FPGA の伝送距離を延長する SerDes ................... 82
重要な負荷容量 ............................................ 83
LVDS レベル変換 .......................................... 84
9.4 放送ビデオ ................................................ 85
9.5 SerDes 距離の延長 ........................................ 86
ケーブル・エクステンダ・チップセットの利点 ...... 87

設計課題への対応 ................................................ 87
得られる延長距離の一例 ................................. 88
シグナル・コンディショニングによる
伝送距離の延長 ........................................ 88
パワーセーバー・イコライザ ........................... 89
9.6 M-LVDS：RS-485 に代わる高速短距離伝送 .......... 90
9.7 冗長性 .................................................... 91
9.8 高速差動ネットワークのテストイティ ................ 92
機能テスト .............................................. 94
ループバック ........................................... 94
9.9 DVI / HDMI .............................................. 95
高データレートと低価格の長いケーブル .......... 95
表皮効果と誘電体損失の補償 .......................... 95

付録：テクニカル・リファレンス .............................. 97
10.1 外部刊行物 .............................................. 97
10.2 アプリケーション・ノート一覧 .................... 97
10.3 索引 ................................................. 98
10.4 言語 ..................................................... 100
10.5 共通的なデータシート・パラメータの一覧 .... 101
ナショナルセミコンダクター（現テキサス・インスツルメンツ）が1997年に初版を公開したLVDSオーナーズ・マニュアルは、10年間にわたって、「頼りになるデザインガイド」として業界から評価を受けてきました。元々LVDSは、スケーラブル・コヒーレント・インターコネクト（SCI）に開発された小振幅差動信号方式をIEEE 1596.3-1996標準規格として規定したものですが、現在のテクノロジーの発展に大きく貢献するまでに至る過程の一端を、本マニュアルが支えてきたことになります。

LVDSは現在、通信ネットワークの分野に普及していると同時に、ノートパソコン、オフィス・イメージング、産業用画像処理、テスト機器や測定機器、医療、自動車などで広く使われています。LVDSは、きわめて小さな消費電力と優れたノイズ耐性で高速なデータ伝送を実現した小振幅差動信号方式として、魅力的なソリューションの1つです。また、Bus LVDSやマルチポイントLVDSの誕生など、アプリケーションの要件に合わせながら10年間にわたって発展を続けてきました。たとえば最新のLVDS製品は、3Gbpsを超えるデータレートを実現しながら、低消費電力とノイズ耐性という特長を依然として維持しています。

現在、多くのアプリケーションで今までよりも高速なデータレートと長い伝送パスが必要とされるようになっています。電流モード・ロジック（CML）やシグナル・コンディショニングを検討しなければならないケースも増えています。そこでこの第4版では、これらLVDSやCMLの実践的な設計手法のほか、LVPECLやLVCMOSに関する説明も追加しました。

本オーナーズ・マニュアルは有用な最新情報を掲載しています。冒頭には三種類の汎用的な高速インターフェイス・テクノロジー（LVDS（B-LVDSとM-LVDSを含む）、CML、LVPECL）の概要と、それぞれの特性、アプリケーションに応じた最適なテクノロジーの選択方法を説明しています。そのほか、レベル変換、ジッタ、シグナル・コンディショニング、推奨設計手法などにも触れています。この実践的な情報がインターフェイス関連の設計課題を解決する正しいソリューションの選択のためにお客様の一助となれば幸いです。
高速インターフェイス・テクノロジーの概要

1.1 差動信号テクノロジー

高速差動信号テクノロジーの選択肢は多岐にわたります。どの差動テクノロジーも一般的には同じような特長を持っていますが、性能や消費電力、あるいは対象とするアプリケーションは、それぞれで大きく異なります。広く使用されている差動信号テクノロジーの特性の一部を表1-1に示します。

表1-1. 業界標準のさまざまな差動信号テクノロジー

<table>
<thead>
<tr>
<th></th>
<th>標準規格</th>
<th>最高データレート</th>
<th>出力振幅 (V_{OD})</th>
<th>消費電力</th>
</tr>
</thead>
<tbody>
<tr>
<td>LVDS</td>
<td>TIA/EIA-644</td>
<td>3.125 Gbps</td>
<td>± 350 mV</td>
<td>低</td>
</tr>
<tr>
<td>LVPECL</td>
<td>N/A</td>
<td>10+ Gbps</td>
<td>± 800 mV</td>
<td>中から高</td>
</tr>
<tr>
<td>CML</td>
<td>N/A</td>
<td>10+ Gbps</td>
<td>± 800 mV</td>
<td>中</td>
</tr>
<tr>
<td>M-LVDS</td>
<td>TIA/EIA-899</td>
<td>250 Mbps</td>
<td>± 550 mV</td>
<td>低</td>
</tr>
<tr>
<td>B-LVDS</td>
<td>N/A</td>
<td>800 Mbps</td>
<td>± 550 mV</td>
<td>低</td>
</tr>
</tbody>
</table>

LVDSとM-LVDSは、それぞれANSI/TIA/EIA-644AとANSI/TIA/EIA-899として、業界標準化団体によって仕様が規定されています。一部のメーカーのデータシートの中にはLVDS I/O(または擬似LVDS)を盛り込んだものがありますが、コモンモード電圧などの重要なパラメータ要件を満たしていないデバイスも存在します。そのため、LVDS仕様であるANSI/TIA/EIA-644Aへの準拠が、重要な検討項目の1つになります。

電流モード・ロジック(CML)と低電圧ポジティブ・エミッタ結合ロジック(LVPECL)の用語は業界内で広く使われていますが、実際にはどちらも、正式な標準化組織によって規定された標準規格に適合していません。そのため、実装方法とデバイス仕様はメーカーごとに違いがあります。AC結合が広く使われている理由はスレッショルドの違いを解決するためにあって、そうしないと互換性の問題が発生する可能性があるからです。

なお、一覧表に掲載した各テクノロジーはいずれも差動で動作するため、優れたノイズ耐性やデバイスに起因するスイッチング・ノイズが小さいといった差動信号方式に共通なメリットは、どのテクノロジーでも得られます。
LVDS ドライバとレシーバの典型的なペアを図1-1に示します。ドライバには3.5mA（公称）の電流源が内蔵されています。レシーバの入力インピーダンスが高いため、実質的にすべての電流は100Ωの終端抵抗を流れ、結果として350mV（公称）の電圧がレシーバ入力端に発生します。レシーバのスレッショルドは100mV以下として保証されており、0Vから2.4Vの広いコモンモード範囲全域での感度が維持されます。こうした特長が組み合わされれば、優れたノイズマージンや、ドライバとレシーバ間のコモンモード・シフトに対する許容量が実現されます。電流の方向が変わるとレシーバ端の電圧は、振幅が同じでも極性が変わります。ロジック1とロジック0はこのようにして保証されます。

各差動信号テクノロジーに共通するメリットは図1-2に示す単純な図からもわかります。1つは電流源が常にオンの状態にあり、方向の変化によってロジック1とロジック0を駆動している点です。常時オンという性質から、大電流トランジスタのターンオンとターンオフ（シングルエンド・テクノロジーで必要）で生じるようなスイッチング時のノイズ・スパイクとEMIがほとんど発生しません。もう1つは、差動ペアの2本のラインが隣接しているため大きなノイズ耐性が得られる点です。ペアの一方に吸収されるクロストーク、あるいはEMIによって重畳するノイズは、通常は隣接ラインにも生じます。レシーバは2本のチャネル間の差電圧に応答するため、ペアの両方のラインに現れた「コモンモード」ノイズはレシーバの入力端で打ち消されます。また、2本の隣接ラインには等しい電流が反対方向に流れるため、EMIの発生もわずかです。

### 1.2 LVDS - 小振幅差動信号方式

信号振幅が代表値で350mVと小さく、消費電力も小さいLVDSは、最高3.125Gbpsのデータレートを実現できるきわめて効率の高いテクノロジーです。終端方式の単純さ、消費電力の低さ、ノイズ発生量の小ささなどを特長とするLVDSは、データレートが数十Mbpsから3Gbps以上の場合に最適です。

![図1-2. 差動信号波形](image1)

![図1-3. 代表的なデータレートとケーブル駆動強度](image2)
高いデータレートを必要とする場合は CML や LVPEL のようなテクノロジーが適当です。図 1-3 と図 1-6 からわかるように、CML と LVPECL は 10Gbps を超える高データレートにも対応します。このような高データレートを実現するため、きわめて高速かつシャープなエッジレートと、一般におよそ 800mV の信号振幅を採用しています。このような理由から CML と LVPECL は一般に LVDS よりも消費電力が大きくなります。

シャープで高速なエッジには大量の高周波成分が含まれています。ケーブルや FR-4 トレスの伝送損失は周波数に伴い大きくなるため、これらのテクノロジーで長いケーブルやトレスを駆動する場合はほとんど、信号の調整（シグナル・コンディショニング）が必要となります。ケーブルやトレスで生じる減衰や信号歪みの影響を緩和するプリエンフィシジションやイコライゼーションなどのシグナル・コンディショニング方式などに関する詳しい説明は、59 ページの「インテラコネクト・メディア」を参照してください。

1.3  CML – 電流モード・ロジック

CML は 10Gbps を超えるデータレートにも対応可能な高速のポイント・ツー・ポイント・インターフェイスの一種です。図 1-4 に示すように、CML の特長の 1 つは、ドライバとレシーバの両方に終端ネットワークが一般に統合されている点です。CML では正電源レールに対するプルアップ・プルアップが採用され、プルアップ抵抗の代表値は 50Ω です。CML はほとんどが AC 結合で実装されているため、データは DC バランスが必要です。DC バランス・データのテストでは、1 と 0 の個数が平均として等しくなるデータ・コーディングが必要です（33 ページの「DC バランス」を参照）。
1.4 LVPECL – 低電圧ポジティブ・エミッタ結合ロジック

LVPECL と PECL は両方とも、1960 年代に開発された伝統的な ECL テクノロジーから派生して誕生しました。ECL はグラウンドと - 5.2V 電源を必要とします。負電源が必要なことと他のロジック・ファミリと互換性がないことから、正電源レールを用いたポジティブ・エミッタ結合ロジック (PECL) と呼ばれるテクノロジーが開発されました。ECL、PECL、LVPECL はいずれも、最も高い正の電源レールよりもおよそ 2V 低い終端レールに対して 50Ω で終端を行ないます。ECL ドライバは通常 700mV から 800mV を生成する低インピーダンスのオープン・エミッタ出力です。出力段は飽和を避けるためにアクティブ領域に保たれ、結果として極めて高速かつバランスの取れたエッジレートが得られます。

LVPECL の特長の 1 つはシャープかつバランスの取れたエッジと高い駆動能力です。欠点は消費電力が比較的大きい点と、場合によっては専用の終端電圧を必要とする点です。

1.5 最適なテクノロジーの選択

既存のさまざまな差動テクノロジーの中からアプリケーションに最適な信号テクノロジーを選択する際に、何らかの指針が必要なことは明らかです。テクノロジーの選択で考慮すべき事項は次のとおりです。

- 必要な帯域
- ケーブル、バックプレーン、長いトレースの駆動能力
- 消費電力の見積もり
- ネットワーク・トポロジー（ポイント・ツー・ポイント、マルチドロップ、マルチポイント）
- シリアルまたはパラレルでのデータ伝送
- クロック分配またはデータ分配
- 業界標準への準拠
- シグナル・コンディショニングの必要性と入手性
高速インターフェイス・テクノロジーの概要

LVDS は最も広く使用されている差動信号インターフェイスです。低消費電力、低 EMI、優れたノイズ耐性を備えた LVDS は、多くのアプリケーションに適します。また、LVDS は入力コモンモード範囲が広いため、他の差動信号テクノロジーと比較的簡単に組み合わせられます。DC から最高 3.125Gbps まで動作する最新世代の LVDS を使用すれば、ほとんどのアプリケーションで LVDS のメリットが得られます。このクラスのマルチギガビット LVDS デバイスにはプリエンファシスとイコライゼーション機能が内蔵されているので、損失性ケーブルやプリント回路基板 (PCB) トレースを渡る信号伝送にも対応します。

3.125Gbps を超えるデータレートを必要とするアプリケーションには、おそらく CML テクノロジーが必要となるはずです。また、特定のコミュニケーション・スタンダード (PCIe、SATA、HDMI など) の場合は、独自の信号テクノロジーを規定するか、信号振幅や Vcc に対するリファレンスなどの条件を CML と整合した形で規定する必要があります。

データレートが 2Gbps から 3.125Gbps の範囲の選択肢は、機能、性能、電力要件によって異なります。シグナル・コンディショニングを必要としない比較的短い距離の伝送では、デバイスの消費電力とジッタを主に検討します。ジッタが最も小さいテクノロジーは CML で、消費電力が最も小さいテクノロジーは LVDS です。

長い距離の伝送ではメディア内での損失が支配的となるため、対象となるデータレートとメディアの組み合わせに適した信号の調整機能を備えたデバイスが適します。LVDS と CML の両方とも、イコライゼーションやプリエンファシス、あるいはディエンファシスといったテクニックを使用します。詳しくは 63 ページの「シグナル・コンディショニングの特性」を参照してください。伝送メディアの損失特性や最適なシグナル・コンディショニングを理解しておくとデバイス選択の判断に役立ちます。

図 1-6. 3 種類の汎用的な差動信号テクノロジーの代表的な対象分野

<table>
<thead>
<tr>
<th>最高データレート (bps)</th>
<th>LVDS</th>
<th>LVPECL (データとクロック)</th>
<th>CML</th>
</tr>
</thead>
<tbody>
<tr>
<td>10G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>10G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>5G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>5G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>3G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>3G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>2G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>2G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>1G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>1G</td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>100M</td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>
ネットワーク・トポロジー

「ネットワーク・トポロジー」の用語は、通常、物理的な接続形態またはネットワーク・ノードの配置を意味します（たとえば、リング、メッシュ、スター、バス、ツリーなど）。このセクションでは、一般的なインターリーケクトまたは伝送メディア（たとえばプリント回路基板 (PCB) トレースまたは銅線）を対象に、代表的な信号トポロジー、つまり信号ドライバとレシーバの配置について説明します。さらに、一般的な差動信号方式がこれら配置で動作すると思われる仕組みと、各トポロジーに最適な差動信号テクノロジーを判断します。

ポイント・ツー・ポイントとマルチポイントの 2 つは特に基本的なトポロジーです。ポイント・ツー・ポイント・トポロジーは、単一の信号ドライバと単一の信号レシーバのみで構成され、マルチポイント・トポロジーは複数のドライバと複数のレシーバで構成されます。

2.1 ポイント・ツー・ポイント

ポイント・ツー・ポイント・トポロジーは単一の信号ドライバと単一の信号レシーバのペアのみで構成されます。インターリーケクトに用いられるメディアはきわめて単純です。あるメディアから別のメディアに接続（例えば、プリント回路基板のトレースをコネクタを介してケーブルに接続）する回数は、通常は最小限に抑えなければなりません。メディアの接続回数が少なければ、シンナルバスは、おそらく良好に管理されたインピーダンスを有することになります。インピーダンスが管理された環境ではきわめて高いシグナル・レートが実現されます。すべての差動信号テクノロジーはポイント・ツー・ポイント・トポロジーで動作するほか、特に、LVDS、CML、LVPECL は、ポイント・ツー・ポイントでの信号伝送を前提として開発されています。インターネット・デバイスのうち、LVDS、LVPECL、または CML を採用したデバイスには、マルチギガビット伝送を実現するために、高速なエッジ特性を備えた出力ドライバが搭載されています。高速なエッジ信号はわずかなインピーダンス不連続の影響を受けやすいため、十分なインターリーケクト設計が求められます。

LVDS ドライバとレシーバのペアをポイント・ツー・ポイント・トポロジーで構成した典型的な例を図 2-1 に示します。低ジッタの信号伝送を実現するには、インターリーケクト・インピーダンスの管理、適切なドライバ負荷、インターリーケクトの終端などがキーポイントになります。
2.2 マルチポイント / マルチドロップ

マルチポイント・トポロジーは、ポイント・ツー・ポイント・トポロジーとは違って、インターコネクトを共有する複数のドライバと複数のレシーバで構成されます。マルチポイント・トポロジーの派生形として、単一の信号ドライバと複数レシーバで構成されたトポロジーを「マルチドロップ」と呼びます（図2-2）。

マルチドロップ・トポロジーの典型例を図2-2に示します。ドライバがバスの遠端にある場合にのみ、その反対側にあるレシーバ端での終端が適切です。そのほかの条件では（たとえばドライバがバスの中間に接続されている場合など）バスの両端で終端する必要があります。

マルチポイント・トポロジーでよく用いられる派生形の1つが、2個のドライバとレシーバのペアで構成され、単一のインターコネクトを介して2点間で信号を送受信する、「半二重」トポロジーです（図2-3）。

図2-2. マルチドロップ・トポロジー

図2-3. 半二重トポロジー
マルチドロップ・トポロジーの設計では、複数のドライバ/レシーバと共通信号バスとの物理的接続が課題となります。デバイス負荷とデバイス接続（スタブ）に起因して共通信号バスに生じるインピーダンスの不連続の問題を克服しなければなりません。マルチドロップ・トポロジーで誤りのない信号伝送を実現するには、負荷が接続された状態でのインピーダンス整合と、制御された信号エッジを有するドライバの使用が必要となります。

LVDSから派生したBus LVDS（B-LVDS）とマルチポイントLVDS（M-LVDS）は、マルチポイントに最適化されたテクノロジーです。B-LVDSはLVDSの多くの特性を引き継いでいますが、駆動電流がはるかに大きく（代表値で10mA）、エッジレートが制御されています（LVDSと比較すると緩やか）。B-LVDSではエッジレートが制御されているため、複数の負荷と負荷に伴うスタブを有するマルチドロップ構成であっても、反射の発生はわずかです。ただしエッジレートが緩やかなことから、B-LVDSのデータレートは一般に1Gbps以下に制限されます。

マルチドロップ・アプリケーションでB-LVDSが使われるようになったため、このようなネットワークに適したLVDSの派生テクノロジーを標準規格として策定する機運が高まりました。M-LVDSは、強い駆動能力、制御された緩やかなエッジ、感度の高い入力スレッショルド、広いコモンモード電圧など、マルチドロップ・アプリケーションに必要とする特性のすべてが盛り込まれています。

2.3 SerDes アーキテクチャ

帯域を増やすにはパス・スピードを上げる方法とチャンネルの並列度を高める方法があります。高速インターフェイスが出現する前は後者の方法がしばしば選択され、低電圧トランジスタ・トランジスタ・ロジック（LVTTL）とバックプレーンを用いて、きわめて広いビット幅のバスが構築されてきました。同時に、低速なLVTTL信号を单一のビット・ストリーム（シリアライザ）に変換し、データを高速に伝送したあと、レシーバ（デシリアライザ）で再分配する方法も広く使われるようになり、シリアライザ/デシリアライザの頭文字を取ってSerDes（サーデス）と呼ばれます。さまざまなSerDesアーキテクチャとそれぞれの特長は、19ページの「SerDesアーキテクチャ」セクションで説明します。

2.4 信号テクノロジーの混在環境

ハードウェア・プラットフォームで、クロック、データ、制御信号にそれぞれ個別の要件が課されることは珍しくありません。特にモジュールによって構成されるシステムの場合、カード対カードまたはボックス対ボックスの伝送には、複数のメーカーと複数のテクノロジーの混在も想定されます。このような理由から、LVDS、LVPECL、CMLが同一プラットフォーム内に共存する可能性があり、異なる信号テクノロジー間での信号変換がシステム設計の課題になります。

変換手段として単純なのは各差動チャネルにコンデンサを直列に挿入して2つのネットワークをAC結合する方法です。この手法はDCオフセットとスレッショルドの違いを吸収しますが、DC的にバランスの取れているデータが必要です。データにDCバランスがない場合はDC結合で何らかの終端ネットワークによってテクノロジー間の変換を実現します。

変換ネットワークの詳細については31ページの「終端とレベル変換」を参照してください。

2.5 インターフェイス・テクノロジーの選択

インターフェイス・デバイスとインターフェイス・テクノロジーの選択は重要な設計課題の1つです。エラーがなく信頼性の高い信号伝送がすべてのシステムで不可欠です。最初の選択はトポロジー（接続形態）です。ネットワークは、ポイント・ツー・ポイントでしょうか、それともマルチドロップでしょうか。SerDesは必要でしょうか。その次に、帯域、パワー・バジェット、ジッタ・バジェットの検討を進めていきます。

LVDSは最も広く使われている高速インターフェイスで、低消費電力と広いコモンモードの2つのメリットがあります。LVPECLは一般に消費電力は大きくありますが、優れたギミック性能を備え、高データレートをサポートします。CMLデバイスはLVPECLと同様な性能を発揮し、かつ構成が単純で、通常は終端が内蔵されている点がメリットです。
3.1 はじめに

現在の通信システムできわめて重要なバックボーンではシリアル・インターコネクト（SerDes）の採用が進められています。シリアルライザ / デシリアライザ（SerDes）の選択はシステムのコストと性能に大きく影響を与えます。選択の過程は迷路のように感じられるかもしれませんが、具体的なアプリケーション要件に伴う基本的なアーキテクチャにSerDesデバイスを落とし込んで考えていく。アーキテクチャの違いを理解すれば特定のアプリケーションに適切なSerDesがわかります。このセクションでは4種類のSerDesアーキテクチャを検証し、また、それぞれがシステムで担う役割について説明します。

3.2 パラレル・クロック SerDes

パラレル・クロックSerDesは、PCIやUTOPIA、プロセッサ・バス、制御バスなど、「データ/アドレス/制御線」で構成されるパラレル・バスをシリアルライザする目的に使われます。パラレル・クロックSerDesアーキテクチャでは、バス全体を単一のマルチプレクサでシリアライズするのではなく、n対1マルチプレクサを複数設けて、それぞれがバスの一部分を個別にシリアライズします。変換されたシリアル・データ・ストリームは、レシーバラッチとデータの復元に使用するクロック信号ペアと並行して、並列にレシーバへと送られます。クロックとデータは別々のペアで伝送されるため、ペア間スキューを最小限に抑えないと適切なデシリアライズ処理が行なえません。

図3-1. パラレル・クロック・シリアルライザの構成例
3.3 エンベデッド・クロック (クロック埋込み型) SerDes

クロック埋込み型アーキテクチャでは、データとクロックがトランスミッタによって単一のシリアル信号ペア上でシリアル化されます。シリアル・ストリームの各サイクルの先頭に1つのLowと1つのHighで構成される2ビットのクロック・ビットが埋め込まれ、シリアルライズされた各ワードの開始と終了を囲む (ゆえに「スタート/ストップ・ビット SerDes」とも呼ばれる)、シリアル・ストリーム内に周期的な立ち上がりエッジを形成します。このアーキテクチャはデータ・ペイロードのワード幅がバイトの倍数に制約されないというメリットがあり、バス幅は10ビット、16ビット、18ビット、24ビットなどのデバイスがあります。

図3-2. 18ビット エンベデッド・クロック・シリアライザの構成例

データ・ペイロードの各ビットは時間とともに0か1に変化しますが、クロック・ビットは常に0、1で変化しないため、デシリアライザはクロック・エッジを検出して同期します。ロックしたあとはデシリアライザは、ペイロード・データのパターンに関係なくシリアル・ストリームからデータを復元します。この自動同期化機能を一般に「ランダム・データへのロック」と呼び、外部システムからの介入を必要としません。この機能はレシーバがリモート・モジュールにあるシステムから直接制御できないようなアプリケーションで特に有効です。レシーバがロックするのは送られてくるエンベデッド・クロックであって外部クロックではないので、トランスミッタとレシーバの入力クロックの要件は緩やかです。

図3-3. エンベデッド・クロックの周期的な遷移
SerDes アーキテクチャ

3.4 8b/10b SerDes

LVTTL 8b/10b シリアライザ LVDS または CML

図 3-4. 8b/10b シリアライザ・コーディングの構成例

8 ビット/10 ビット (8b/10b) シリアライザは、パラレル・データの各バイトを 10 ビット・コードにマッピングし、その 10 ビット・コードを単位としてシリアライズします。10 ビット伝送コードは 1980 年代前半に IBM によって開発されたもので、各サイクルには複数個のエッジが必ず存在し、また、データの DC バランス (1 の送信数と 0 の送信数が等しい状態) が保証されています。送られてくるデータ・ストリームにレシーバが同期できるように、ストリーム中には多くの遷移が設定されています。また、DC バランスがあるため、AC 結合負荷、長いケーブル、光モジュールなどの駆動も可能です（詳細は 33 ページの「DC バランス」を参照）。

アイドル中などに 10 ビット・コード・ワードの境界をレシーバがリアル・ストリーム中から識別できるように、トランスマッタはコンマ・キャラクタと呼ばれる特殊なシンボルを送信して境界を示します。コンマ・キャラクタのビット・シーケンスには通常のデータ・トラフィックには現れない特殊なパターンが割り当てられ、レシーバのコード位置合わせに欠かせないマーカーとしての役割を担います。コードの位置合わせが行なわれたあとは、10 ビット・コードをバイト・データにマッピングし、また無効な 10 ビット・コードが検出された場合はエラーフラグを出力します。

一般的に 8b/10b デシリアライザは外部リファレンス・クロックを使用してクロック復元とデータ・ストリームのデシリアライザ処理を行います。すなわち、デシリアライザ側で、ソースのリファレンス・クロック周波数に厳密に等しく、かつ、ジッタが厳密に制御されたクロックが必要です。
3.5 FPGA 直結型 SerDes

FPGA はここ 10 年にわたって、主にプログラミングの自由度の高さから、デジタル・ロジックの実装手段として主役の位置を占めるようになりました。FPGA 直結型 SerDes は、クロックやデータ復元、シグナル・コンディショニング、クロック合成、ジッタクリーニングなどのアナログ主体の機能を提供し、FPGA アーキテクチャを補完するとともに、CAT-5 ケーブルや同軸ケーブルなどの安価で長いインターコネクトを使い、さらに高データレート伝送をサポートします。

このアーキテクチャではシリアライズ処理とデシリアライズ処理は 2 段の回路で構成されます。複数の低速データビットを少ないビット数の LVDS ストリームに 1 段目で統合し、2 段目で低速 LVDS ストリームを一対の高速シリアル・チャネルにマルチプレックスします。1 段目部分を FPGA に実装することは難しくありません。一方で、最適なアナログ回路を搭載したディスクリート SerDes が、高速なシリアライズ処理を受け持つ。

FPGA 直結型 SerDes の FPGA 側は LVDS のパラレル・インターフェイスで構成されるため、システムの EMI、パワー、ノイズの影響を抑えながら、ボード上のトレース本数の削減と高速なデータレートを実現します。LVTTL など従来のシングルエンド・インターフェイスで生じるスイッチング・ノイズやスキーの問題は起こりません。

このような SerDes デバイス・ファミリには、一般に、ディエンファシス、DC バランス、チャネル・イコライゼーションなどの信号調整機能（シグナル・コンディショニング）が内蔵されています。これら機能によって、長いパスにわたる高データレートの信号伝送が実現されます。

FPGA の普及、ボード・トレース数削減の要求、そして帯域幅向上に対するニーズによって、回路をインテリジェントに分割したこのようなアーキテクチャの適用が拡大しています。
3.6 アプリケーション

パラレル・クロック SerDes

パラレル・クロック SerDes は、「データ+アドレス+制御線」で構成される従来の広いバスのシリアライズに使用され、「仮想的なリボン・ケーブル」の単方向ブリッジとして動作します。

図 3-7. アドレスと制御線とデータ信号で構成される従来の広いパラレル・バスを収容するパラレル・クロック SerDes

パラレル・クロック SerDes からは、少ないワイヤ（特にグラウンド）、低消費電力、長いケーブルに対する駆動能力、低ノイズ/低EMI、ケーブル/コネクタの低コスト化など、シリアライズ処理以外でのメリットが得られます。単一のシリアル・ペアに制限されることなく任意のバス幅での構成が可能なのか、高データレートに起因する設計課題も回避できます。パラレル・クロック SerDes は、コスト性能比に優れるとともに、数メートルのケーブルで従来の広いパラレル・バスを伝送できるほど優れた現実的な方法です。一般的なチップセットのバス幅は 21 ビット、28 ビット、48 ビット、70 ビットです。

図 3-8. プロセッサ・バスのラック間単方向拡張

ノートパソコンのディスプレイ、ラック間あるいはシェルフ間のデータコム/テレコム/インターネット、ビデオ/カメラ・リンクなどが一般的なアプリケーションです。
エンベデッド・クロック (クロック埋め込み型) SerDes

エンベデッド・クロック SerDes は、raw データ、制御信号、パリティ・フレーム、同期ステータスなど、多種の信号を伝送するアプリケーションに適合します。18 ビットをシリアル化するアプリケーション例を図 3-9 に示します。18 ビットのトランスミッタを使って、パリティやフレームなどの 2 本の付加的ビットとデータをシリアライズしています。データを含むすべてのビットは A/D コンバータのサンプリング・レートでシリアライズされるので、データ・バッファや追加ロジックは必要ありません。

図 3-9. DS92LV18 SerDes で構成した信号処理システムの構成

このようなアプリケーションにパイプ指向の 8b/10b SerDes を使用すると回路の複雑化を招いてしまいます。まず、データ以外の非パイプ指向の制御情報をバッファし、パイプ形式として送信しなければなりません。また、リンク同期の開始点で K28.5 コンマ・キャラクタを送信する必要があり、追加ロジックが必要となります。このような「非データ」パイプによって SerDes はデータ変換レートよりも高速に動作しなければならず、結果としてパックプレーンやケーブルの設計要件が厳しくなるとともに、アイドル挿入/除去のようなフロー制御メカニズムも必要になります。このようなパッファがすでに設けられているようなデータ通信システムもありますが、データ通信アプリケーション以外の多くは、このような追加処理とバッファを追加しなければなりません。
データ・アクイジション データ処理

図 3-10. 8b/10b SerDes の構成例

エンベッド・クロック SerDes のもう 1 つの特長がランダム・データへの自動受信ロックです。この機能は、レシーバがリモート・モジュール内にあってシステムから直接制御できない場合や、1 つのトランスミッタから複数のレシーバにブロードキャストするようなシステムでとくに有用です。ブロードキャストの場合、パスに挿入したレシーバ・モジュールは、他のデバイスの動作を中断させるトレーニング・パターンやトレーニング・キャラクタなどのトラフィックを必要とせずに、そのままランダム・データにロックします。

図 3-11. ブロードキャスト・トポロジーでレシーバは活線挿入時ランダム・データに自動ロック
一部のエンベデッド・クロック・シリアライザは、送られてくるエンベデッド・クロックの立ち上がりエッジにロックしその状態を維持しますが、初回の同期動作中のみ高調波への誤ったロックを防ぐためにリファレンス・クロックが必要とします。そのため、送信クロックとリファレンス・クロックのジッタ要件は厳しくなくてよく、他の SerDes に比べて少なくとも一桁は緩やかであり（表 3-12 参照）、クロック発振器やクロック分配ネットワークのコストを抑えられます。多くの場合、レシーバのリファレンス・クロックの生成には、PC 用の安価な発振器が使用できます。

表 3-12. 一般的の SerDes チップセットとエンベデッド・クロック SerDes チップセット (10, 16, 18 ビット) のクロック条件の比較

<table>
<thead>
<tr>
<th>主な仕様</th>
<th>エンベデッド・クロック SerDes</th>
<th>その他の SerDes</th>
</tr>
</thead>
<tbody>
<tr>
<td>シリアライザ / トランスミッタの入力クロック・ジッタの差</td>
<td>80 から 120ps rms</td>
<td>5 から 10ps ms</td>
</tr>
<tr>
<td>デシリアライザのリファレンス・クロックとシリアライザ送信クロックとの周波数差</td>
<td>± 50000 PPM</td>
<td>± 100 PPM</td>
</tr>
</tbody>
</table>

エンベデッド・クロック SerDes は、パケット化されていない raw データと制御信号を伝送する必要があるアプリケーションなど、非バイト指向のアプリケーションにも適合します。基局、自動車、画像処理 / ビデオ、A/D コンバータを使ったセンサ・システム、カメラ、あるいはリンクの他端にある処理ユニットと raw データをやり取りするイメージ・センサなどがアプリケーションの例です。

8b/10b SerDes

8b/10b SerDes は、バックプレーン、ケーブル、ファイバなどを渡るセルベースのトラフィックやパケット・トラフィックといったバイト指向データのシリアル化に適します。Ethernet、FibreChannel、InfiniBand など多くの標準規格が、1.0625Gbps、1.25Gbps、2.5Gbps、3.125Gbps の 8b/10b コーディングを採用しており、データレートの範囲に対応した多くの SerDes が市場で入手可能です。

8b/10b コーディングの最大ランニングレングス（シリアル・ストリームに含まれる連続 1 または連続 0 の最大数）は 5 ビットです。この特性によって、シリアル・ストリームのスペクトル成分は、電磁界放射を簡単に抑制できる程度に制限されます。たとえば、8b/10b コーディングを行なったデータレート 1Gbps のストリームの場合、一次高調波の最高周波数および最低周波数は 1GHz と 1GHz/5=200MHz です（基本周波数の最高と最低はそれぞれ 500MHz と 100MHz です）。

8b/10b シリアル・ストリームは DC バランスが保たれているため、ランニング・ディスパリティ、すなわち送信された 1 の数から送信された 0 の数を引いた値は、平均でゼロになります。8b/10b データコード・ワードは、+2、0、または−2 のディスパリティを持っているので、8b/10b シリアル・データ・ストリームのランニング・ディスパリティは、任意のコードを分解して見た場合でも、必ず +2 から−2 の範囲に収まります。

図 3-13. 8b/10b のランニング・ディスパリティの例
AC結合環境や光ファイバ・モジュールを信頼性高く駆動するには、コードがDCバランスサポートし、しかもランレングスが短くなければなりません。そのため、8b/10bコーディングは光シリアル・インターポケクトに適します。また、DCバランスはシンボル間干渉（ISI）を抑え、ケーブルへの駆動能力を高めます。

また、8b/10bコーディングはエラーチェックが可能なほか制御情報の送信も可能です。10ビット・コードのうち、8b/10bのコード・ワードに割り当てられているのはわずかであり、そのほかのコードは誤りであるとしてエラーチェックを行いません。8b/10bデジリアルライザは無効なコードを検出したとフラグを出力します。一般的なパリティ・ビットと同じレベルのエラーチェックが実現されます。この方法はエラーサポートビット数を数数することではできませんが、シリアル・リンクの性能を簡単にモニタできる点で優れています。多くの標準規格が、データのコード・ワードのほかに、パケット/フレーム・マーカー、フォールト・フラグ、位置あわせキャラクターといった制御ワードを8b/10bコード内に定義しています。8b/10bコーディングは、パケットの組み立てと分解を助けるこのような制御コード・ワードの存在もあって、通信データ処理システムに広く使われています。

FPGA直結型SerDes

FPGA直結型SerDesは、FPGAを使用したシステムで、損失性インターポケクト（ケーブル）でシリアル化した高速データを伝送したい場合に最適です。このSerDesはAC結合アプリケーションとDC結合アプリケーションの両方をサポートします。

図3-14. FPGA直結型SerDesを用いたシリアル・デジタルビデオトランスポート・アプリケーション

デジリアルライザは、外部リファレンス・クロックまたはコンマ・キャラクタがなくても、送られてくるデータに自動的にロックするため、「プラグ・アンド・ゴー」環境を簡単に実現できます。このSerDesはパケット化されていないrawデータの伝送を必要とするような非バイト指向システムに好適です。基地局、イメージング/ディスプレイ、ビデオ、センサ・システムなどのアプリケーションが考えられます。

送信側のディエンファシス、DCバランス、プログラマブル出力振幅、受信側のイコライゼーションなどの信号調整（シグナル・コンディショニング）機能が内蔵されているため、CAT-5ケーブルやFR-4バックプレーンなどの安価なインターコネクトを使って高データレートで伝送するアプリケーションに最適です。またシグナル・コンディショニング機能の内蔵化によってシステム全体の部品点数を減らすことができます。ボックス間インターコネクト、マシンビジョン、LED大型表示装置、医療イメージングなど、さまざまなバックプレーン・アプリケーションが考えられます。
3.7 概要比較

各 SerDes アーキテクチャは、特定のアプリケーションに最適なそれぞれ固有のメリットを有します。

低価格のパラレル・クロック SerDes は広いバスのシリアル化に便利です。クロックとデータをパラレルで送出するので受信側でクロックを復元する必要がなく、安価なデバイスが提供されています。ただし、複数のシリアル・データとクロックのペア間スキーを抑えるように、適切なケーブル設計が必要です。

エンベデッド・クロック SerDes は、データ以外の制御ビットのやりとりが必要なアプリケーションや、ランダム・データへのロック機能が必要なアプリケーションに適します。また、システムの送信クロック条件とリファレンス・クロック条件が緩いため、安価なクロック源が使えます。DC バランスに対応したコーディング回路が内蔵されていない点は AC 結合や光モジュールを駆動する際のデメリットとなります（ただし 24/32 ビット SerDes 製品には DC バランス機能が内蔵されているので、この問題は 10 ビット、16 ビット、18 ビット SerDes にのみ当てはまります）。

8b/10b SerDes はパイト指向のセル・データまたはパケット・データとの組み合わせに適します。簡単なエラーチェック機能のほか、シンボル間干渉 (ISI) を抑えるとともに AC 結合のインターコネクトや光ファイバを駆動できる DC バランスをサポートしています。ただし、8 ビットの整数倍ではないバス幅に 8b/10 SerDes を使用すると、バスをバイト単位に変換する追加回路や、SerDes リンクをより速いスピードで動作させる必要が出てきます。

表 3-15. SerDes アーキテクチャのメリット / デメリットの概要比較

<table>
<thead>
<tr>
<th>テクノロジー</th>
<th>メリット</th>
<th>デメリット</th>
</tr>
</thead>
<tbody>
<tr>
<td>パラレル・クロック SerDes</td>
<td>広いバスのシリアル化  低コスト  トランスミッタ / レシーバ自動同期</td>
<td>ベア / ワイヤが多く必要  ベア間の スキー要件が厳しい</td>
</tr>
<tr>
<td>エンベデッド・クロック (クロック埋め込み型) SerDes</td>
<td>10 ビット、16 ビット、18 ビット、24 ビット、32 ビット幅を提供  ランダム・データへのロック機能  クロック要件が緩やか</td>
<td>DC バランスが備えていない製品では、AC 結合アプリケーションや光ファイバ・アプリケーションには不適 (24/32 ビット SerDes を除く)*</td>
</tr>
<tr>
<td>8b/10b SerDes</td>
<td>DC バランス・コーディング  AC 結合アプリケーションや光ファイバ・アプリケーションに対応広く入手可能</td>
<td>バイト指向  クロック条件が厳格  同期にコンマ信号が必要</td>
</tr>
<tr>
<td>FPGA 直結型 SerDes</td>
<td>ボード・トレース本数、EMI、パワーやえる LVDS「パラレル」インターフェイスと DDR クロック  FPGA に整合性の高いインターフェイス  「あらゆる」データにロック  シグナル・コンディショニング  外部リファレンス・クロック不要</td>
<td>小規模なグルー・ロジックが FPGA 内に必要</td>
</tr>
</tbody>
</table>

* 24/32 ビット SerDes 製品群は DC バランス機能を有するため、AC 結合アプリケーションや光ファイバ・アプリケーションに適する。
FPGA 直結型 SerDes は、システムで FPGA を使用し、かつ、CAT-5 ケーブルや FR-4 トレースのような安価なインターコネクトでシリアル化した高速データを伝送したい場合に最適です。FPGA 側は LVDS のパラレル・インターフェイス (DDR) で構成されるため、システムの EMI、パワー、ノイズ感度を抑えながら、ボード上のトレース本数の削減と高速なデータレートを実現します。デシリアライザは外部リファレンス・クロックまたはコンマ・キャラクタがなくても送られてくるデータに自動的にロックするため、「プラグ・アンド・ゴー」環境を簡単に実現できます。

3.8 まとめ
ここ 10 年の間に複数の SerDes アーキテクチャが登場し拡大するアプリケーション・ニーズを満たしてきました。FPGA の普及、ボード・トレース数を削減したいというニーズ、そして帯域幅向上に対するニーズによって、FPGA 直結 SerDes のように回路をインテリジェントに分割したアーキテクチャの適用が広がっています。アプリケーションの性能を最大限に発揮させると同時に、システムのコストや複雑性を抑える SerDes を選択するには、それぞれの SerDes のメリットとデメリットを理解しておくことが重要です。
高速インターコネクトの性能を引き出すには、伝送メディアの特性インピーダンス（$Z_0$）と整合した適切な終端を用いることが必要です。インピーダンスの不連続を避けるとともに、適切な終端ネットワークが欠かせません。どのような終端ネットワークも目的は同じですが、アプリケーションに適した終端方式は、いくつかの事項を検討したうえで決定しなければなりません。

いくつかの簡単な問いかけから重要な情報が得られます。たとえば、
- 終端はドライバ/レシーバの外付けとするのか、それとも内蔵タイプを使うのか？
- トポロジーはポイント・ツー・ポイントか、それともマルチポイントか？
- 終端は DC 結合か、それとも AC（容量性）結合か？
- 終端はフェイルセーフとしても機能させるのか、あるいは異なるテクノロジー間のレベル変換としても機能させるのか？

内蔵型の終端は、レシーバのきわめて近くで終端できる（スタブ長の極小化）というメリットのほか、ボード面積と部品点数の点で有利です。内蔵型のデメリットは自由度があまり得られない点です。たとえば内蔵型の AC 終端は送られてくるデータが DC バランスであることを前提としています（詳細は33ページの「DC バランス」を参照）。また、終端を内蔵した LVDS レシーバは、負荷が大きいため、マルチドロップ構成には適しません。

4.1 終端とインピーダンス整合

反射を防ぐには、伝送メディアの特性インピーダンス（$Z_0$）が一定で、かつ、負荷終端と等しくなければなりません。しかし信号パスに、ビア、コネクタ、トレース、ケーブル、あるいはそれらの組み合わせが存在する場合、このような条件を維持することはきわめて難しくなります。また、負荷終端がフェイルセーフネットワークの一部を構成する場合、あるいはレベル変換ネットワークの一部を構成する場合も考えられます。このような課題に関する詳細は、伝送線路理論を説明した39ページの「回路設計とレイアウトのガイドライン」セクションを参照してください。

4.2 マルチドロップとマルチポイント

従来の LVDS より駆動能力が高い B-LVDS と M-LVDS は、いずれもマルチドロップ・アプリケーションとマルチポイント・アプリケーションを駆動できます（マルチドロップは単一のドライバと複数のレシーバで構成され、マルチポイントは複数のドライバと複数のレシーバで構成されるトポロジー）。どちらのトポロジーもバックプレーンの両端で整合終端している状態が推奨されます。終端抵抗値はバックプレーンの特性インピーダンスと整合するように選びます。ただし、バックプレーンの特性インピーダンスは100 Ωと考えられます。コネクタやカードなどの追加負荷によって、実効インピーダンスは大幅に低下します。たとえば、通信で広く使われている ATCA（Advanced Telecom and Computing Architecture）の場合、バックプレーンの特性インピーダンスは130 Ωですが、カードが追加負荷となるため、バックプレーン両端の終端値は80 Ωに定められています。

図4-1. マルチポイントでの終端
4.3 AC 結合

AC 結合は、差動ペアの両方の信号に、標準的な抵抗性の負荷終端にコンデンサを直列に追加した終端方式です。この方式は、性能、互換性、システムの観点など、複数の理由によって用いられます。図 4-2 に AC 結合方式とコンデンサ両端の波形を示します。コンデンサは信号の DC 成分すべてを遮断するため、レシーバからは開始エッジと終了エッジのみが観測されます。この波形はネットワークを充電したあと、エネルギーは RC の時定数に基づいて緩やかに消費されます。

図 4-2. AC 結合と波形

図 4-2 に示す AC 結合方式には次のようなメリットがあります。

- レシーバの入力波形はバイアス電圧 (V_{BIAS}) を中点として振幅します。そのためレシーバを「スイート・スポット」（最適な環境）で動作させることができ、ジッタの抑制と性能の向上が図れます。
- CML と LVPECL は業界標準規格ではないため、デバイスのスレッショルドに厳格な規定がありません。異なるメーカーのドライバとレシーバを使用することが想定される場合、AC 結合によってメーカー間に存在すると思われるスレッショルドの差が吸収できます。
- AC 結合によってドライバとレシーバ間の DC バイアス差が吸収されます。したがって、テクノロジー間のレベル変換にきわめて有効です（詳細は後述）。
- AC 結合はカード間あるいはシステム間のグラウンド電位の違いを保護する働きもあります。グラウンド電位が異なる 2 系統のハードウェアをケーブルで接続する場合、電圧オフセットは差動ペアの動作に影響を与えるだけでなく、最悪の場合は信頼性を損ねる恐れがあります。AC 結合を行うことで DC 電位の差が吸収され、このような問題を回避できます。
AC結合は一般にCMLとLVPECLデバイスを用いた高信号レートのシステムで使われます。実際、多くのレシーバ・デバイスが終端コンデンサを内蔵しています。ただしAC結合を使う場合は、データはDCバランスが取れていなければならないといった制約があります。

AC結合とDC結合の両方のメリットを実現した画期的なI/OアーキテクチャがDS64EV400プログラマブル・イコライザの入力段に採用されています。このデバイスは、スレッショルドとコモンモードの違いに対してAC結合と同じように広い許容度を持つ一方で、DCバランスのデータを必要としません。

4.4 DCバランス

DCバランスとはデータセットに含まれる1と0の数の差が全体として等しい状態を指します。コンデンサを使用しAC結合すると、レシーバの終端ネットワークに電流が流れるのは波形の遷移時のみとなるため、DCバランスが必要になります。波形に遷移が存在しないと2つのレシーバ端子の電荷は同じ電位に向かって緩やかに放電するため、ノイズマージンが低下します。

図4-3.スタートアップ時のAC結合の差動ペア

AC結合回路のスタートアップ時の例を図4-3に示します。最初の時点で、両方の入力端子は1.2Vに保たれています。最初の正エッジ波形が到着すると、両端子は入力波形に追従して、互いが逆極性の方向に最大に振幅します。続いて負エッジ波形が到着して互いが逆極性の方向に最大に振幅した時点では、2つの端子間の差電圧はきわめて小さく、おそらくはビット・エラーが生じると考えられます。その後バランスの取れたビット（1と0が同数）が十分に伝送されると、両レシーバ端子は1.0Vと1.4Vの間で振幅するようになり、最終的には適切なノイズマージンが得られるようになります。この例ではスタートアップ時を示しましたが、同じ極性のデータまたは非バランス・データが長いビット・ストリングとして与えられた場合も同様です。非バランス・データではレシーバ端子間に大きな電圧差を維持できないため、ノイズマージンが減少します。

広く使われている8b/10bのような複数のコーディング方式が高度なDCバランスを保証しています。DCバランスの用語はデータセット全体の性質を表す目的で使用されるが、理想的な状態を基準とする短期的な偏移は別の指標で表現します。
<table>
<thead>
<tr>
<th>値 (10進)</th>
<th>値 (2進)</th>
<th>10ビット・コード</th>
<th>別コード</th>
</tr>
</thead>
<tbody>
<tr>
<td>HGF EDCBA</td>
<td>abcde fghj</td>
<td>abcde fghj</td>
<td></td>
</tr>
<tr>
<td>000 00000</td>
<td>100111 0100</td>
<td>011000 1011</td>
<td></td>
</tr>
<tr>
<td>000 00001</td>
<td>011011 0100</td>
<td>100010 1011</td>
<td></td>
</tr>
<tr>
<td>000 00010</td>
<td>101101 0100</td>
<td>010010 0011</td>
<td></td>
</tr>
<tr>
<td>000 00011</td>
<td>110010 1011</td>
<td>110010 0100</td>
<td></td>
</tr>
<tr>
<td>000 00100</td>
<td>110101 0100</td>
<td>001010 0101</td>
<td></td>
</tr>
<tr>
<td>000 00101</td>
<td>101010 1011</td>
<td>101001 0100</td>
<td></td>
</tr>
<tr>
<td>000 00110</td>
<td>011001 1011</td>
<td>011001 0100</td>
<td></td>
</tr>
<tr>
<td>000 00111</td>
<td>111000 1011</td>
<td>000111 0100</td>
<td></td>
</tr>
<tr>
<td>000 01000</td>
<td>111001 0100</td>
<td>000110 1011</td>
<td></td>
</tr>
<tr>
<td>000 01001</td>
<td>100101 1011</td>
<td>100101 0100</td>
<td></td>
</tr>
<tr>
<td>000 01010</td>
<td>010101 1011</td>
<td>010101 0100</td>
<td></td>
</tr>
</tbody>
</table>

図 4.4. 8b/10b クードの例

ランニング・ディスパリティ (RD) は DC バランスを基準とした瞬間ごとの偏移を示します。データセットが DC バランスとなっている場合、RD の値は、任意の点における理想値からのワーストケース偏移を表します。

図 4.5. ランレングスの例

ランレングス (RL) は瞬間ごとの連続した同じビットの個数です。データセットが DC バランスとなっている場合、ランレングス的最大値は、同じように理想からのワーストケース偏移になります。

ランレングスはジッタに影響を与える重要なパラメータです。信号がゼロスレッショルドを正確なビット幅で横切ったとき、確定的ジッタは最小になります。ランレングスが長いと RC による減衰によって信号振幅を下がり、ゆえにアイの開口が狭くなり、確定的ジッタは増大します。信号振幅の維持には十分に大きなコンデンサが有効です。

コンデンサの選択

AC 結合による信号減衰 (低下) の大きさは、RC 時定数、ビット幅 (t)、ランレングスによって決まります。ボード面積の点からは小さなコンデンサが望まれますが、容量の大きなコンデンサのほうが信号低下は少なくなります。0.25dB の信号低下 (3%) を保証するコンデンサの近似値は次の式で求めます。
高速アプリケーションの場合、コンデンサ容量は通常0.1μFから0.01μFの範囲です。また高周波伝送特性を配慮し、小型のコンデンサ（1005サイズ以下）を使用します。

4.5 レベル変換

複数の高速差動テクノロジーが混在したシステムではレベル変換が必要になります。差動テクノロジーのなかで最も広く使われているのがLVDSです。LVDSはまた、高速差動テクノロジーや比較して広いコモンモード入力範囲を有します。入力にこのような自由度があるため、LVDS製品は、ほとんどのLVDSまたはLVPECLデバイスに直接接続することが可能です。

LVDS入力は入力コモンモード電圧の範囲が広いため、汎用的な差動レシーバとしても見なすことができます。
CML と LVPECL の入力コモンモード電圧は狭い範囲にしかありません。そのため、図 4-8 に示すように、CML レシーバで規定される入力範囲は LVDS の出力電圧に適合しません。

差動 I/O テクノロジー

図 4-8. 差動テクノロジー

LVDS から LVPECL または LVDS から CML に差動信号を変換する場合、レシーバ側デバイスの入力特性を調べておくことが重要です。なお、LVPECL と CML の I/O 特性と終端方式は、デバイスごと、あるいはメーカーごとに異なります。

多くの IC メーカーのデータシートに記載されている共通的な仕様特性から、LVPECL または CML への変換には、図 4-9 と図 4-10 に示すインタフェイスがさまざまな条件で有効と考えられます。具体的な LVPECL デバイスまたは CML デバイスによっては、適切な性能を得るために、若干の回路変更が必要です。

図 4-9. LVDS から LVPECL
前の図に示したように、LVDS と他の差動テクノロジーは高速シグナルパス中に共存が可能です。4 通りある LVDS との組み合わせのうち 3 通りはいかなる外付け部品も必要としません。残りのケースは LVDS が CML を駆動する場合ですが、CML だけのアプリケーションはおそらくすでに AC 結合を使用していると考えられます。DC バランスを配慮した信号コーディングが市場の認知を広く得ているため、高速信号を AC 結合しても多くのアプリケーションでとくに制約はなりません。

4.6 フェイルセーフ

LVDS の入力には、入力が開放または短絡のときに対応する出力を High に固定する、フェイルセーフ回路が組み込まれている場合が少なくありません。内蔵フェイルセーフ回路は、通常の動作条件下で、短いケーブルの障害や入力端子のハング開放あるいは短絡を原因とする発振防止には十分堅牢に設計されています。一方、ノイズがきわめて多い環境や長いケーブルが取り外された場合、内蔵フェイルセーフだけでは発振を防ぐことができない可能性があります。この場合は、シールド付きケーブルの使用や、抵抗ネットワークを追加して内蔵フェイルセーフの強度を高めてください。

フェイルセーフ・ネットワークは、発振を確実に防止する十分なマージンを得なければならない一方で、レシーバのバランスおよび感度を損なってはならず、両者のトレードオフとして設計しなければなりません。この問題の詳細はアプリケーション・ノート AN-1194「LVDS インタフェイスのフェイルセーフ・バイアス」に述べられています。
M-LVDS フェイルセーフ

TIA/EIA-899 (M-LVDS) 規格はタイプ 2 レシーバで内蔵フェイルセーフを規定しています。タイプ 2 レシーバには 100mV のオフセットが適用され、デバイスのスイッチングポイントは 0V から 100mV だけシフトします。この機能によって効率的なフェイルセーフが実現されますが、ノイズマージンが減少するとともに、クロック・アプリケーションの場合はデューティ・サイクルに影響を与える可能性があります。

図 4-11. M-LVDS

内蔵オフセットを有するタイプ 2 レシーバは、「ワイヤード・オア」型のロジック・アプリケーションでの共通レシーバに最適です。ワイヤード・オアによって割り込みなど単一の差動ペア信号を複数のカードまたはデバイス間で共有できます。タイプ 2 レシーバの出力を開放にしておくと、共通信号はロジック Low に維持されます。他の任意のデバイスが信号を High に引き上げると割り込みが発生します。

図 4-12. ワイヤード・オア回路の例
5.1 PCB 伝送線路

プリント回路基板で一般的に用いられる伝送線路の構造を図 5-1 に示します。それぞれ長さ方向に均一な断面を有する信号ラインとリターン・パスで構成されています。マイクロストリップ・ラインは外層（表または裏）に信号トレースがあり、誘電層を挟んだグラウンド層または電源層の中にリターン・パスが存在します。ストリップラインは内層に信号トレスがあり、誘電体を介して信号トレスの上下をグラウンド層が挟んでいます。伝送線路の特性インピーダンスは構造の寸法と誘電体材料の特性によって決まります（インピーダンスが制御された伝送線路、とも呼びます）。

2 本の信号ラインを近づけて配置すると結合伝送線路ペアが形成されます。エッジ結合マイクロストリップ・ラインとエッジ結合またはブロードサイド結合ストリップラインの例を図 5-1 に示します。差動信号によってラインが励起される場合、結合した伝送線路を「差動ペア」と呼びます。また、各ラインの特性インピーダンスを奇モード・インピーダンスと呼びます。両ラインの奇モード・インピーダンスを合算すると差動ペアの差動インピーダンスが得られます。トレー

す寸法と誘電体材料属性のほか、相互結合を決める 2 本のトレスの距離が、差動インピーダンスに影響を与えます。2 本のラインをきわめて近くに隣接して配置した場合、たとえば S の 2W 未満のとき、差動ペアは「密結合差動ペア」になります。長い方向におわたって一定の差動インピーダンスを維持するには、トレース幅と間隔を長さ方向におわたって均一に保つとともに、2 本の信号の対称性を維持しなければなりません。

**シングルエンド・マイクロストリップ・ライン**

\[
Z_0 = \frac{87}{\sqrt{\varepsilon_r + 1.41}} \ln \left( \frac{5.98H + T}{0.8W + T} \right)
\]

**シングルエンド・ストリップライン**

\[
Z_0 = \frac{60}{\sqrt{\varepsilon_r}} \ln \left( \frac{1.9(2H + T)}{(0.8W + T)} \right)
\]

**差動マイクロストリップ・ライン**

\[
Z_{diff} = 2 \times Z_0 \times \left[ 1 - 0.46 \times e^{-\frac{S}{10H}} \right]
\]

**差動ストリップライン**

\[
Z_{diff} = 2 \times Z_0 \times \left[ 1 - 0.347 \times e^{-\frac{H}{10W}} \right]
\]

**コブラ（同一面）結合マイクロストリップ・ライン**

**ブロードサイド結合ストリップライン**

図 5-1. インピーダンスが制御された伝送線路
5.2 伝送損失

伝送損失は、およそ 1GHz よりも低い周波数では、周波数の二乗に比例する表皮損失が支配的になります。1GHz よりも高い周波数では、周波数に比例する誘電体損失が支配的になります。基板の材料特性によってボード・トレースの伝送損失は大きく左右されます。寸法は同じまま、Nelco4000-6、Getek、Roger の各材料を用いた 10 インチ (25.4cm) の結合マイクロストリップ・ラインの損失を図 5-2 に示します。

![図 5-2. 異なる基板材料に実装した 10 インチ・マイクロストリップ・ライン](image1)

基板材料に Nelco4000-6 を使って、同じ幅で実装した結合マイクロストリップ・ラインと結合ストリップラインの損失を、図 5-3 に示します。ストリップラインは大気よりも大きな損失を有する誘電体材料に挟まれる形で内層に配置されています。誘電体損失はストリップラインのほうがマイクロストリップ・ラインよりも大きくなります。

![図 5-3. Nelco4000-6 に実装した 10 インチ結合マイクロストリップ・ラインと結合ストリップライン](image2)
5.3 PCBのビア

ビアは、プリント回路基板の2つの層のトレース同士を接続するメッキ・スルーホールを指す用語として、広く使われています。ビアの構造は、ドーナツ型のパッド、メッキした円筒形のビア・バレル、そして電源層およびグラウンド層とのクリアランスを得るアンチパッドで構成されます。図5-4はビアの3D図です。

![図5-4. 差動ビアの3D図](image)

ビアの電気的挙動は、ビアの寸法、ボードの層構成、基板の材料特性によって変わります。円筒状のバレルはインダクタとして作用し、一方、パッドとアンチパッドは容量性として作用します。微小ホール・サイズのビアの場合、ビア構造は総体的には微小なインダクタとして作用します。ホール・サイズが大きく電源層またはグラウンド層を複数あるビアの場合、ビアは容量性の挙動を示すと考えられます。三次元電磁界ソルバーの助けを借りることで、制御されたインピーダンスを維持しながら、ビア構造の設計が可能です。

相互結合した100Ωの差動インピーダンスを有する2個の差動ビアの構造を図5-4に示します。ビアの寸法のほか、2個のビアの距離によって相互結合の強さと差動インピーダンスへの影響が決まります。

外層と内層とをつなぐ信号ビアの場合、内層から反対側の外層に至るビアの使用されていない部分がビア・スタブを形成します。ビア・スタブによって信号トレースには寄生容量が追加され、帯域が狭くなります。超高速アプリケーションでは、高度なボード加工技術を使用して、ビアの非使用部分に座ぐり (カウンターボア) を精度高く作成します。座ぐりを行なえばビア・スタブは削除されます。

内層と内層との接続には埋め込み (ベリード) ビアが使われます。ビアの長さは2つの層を隔てている誘電体層の厚みだけで済み、ビア・スタブは形成されません。
5.4 バックプレーン・サブシステム

典型的なボードの場合、信号は、ボード・トレース、部品のランディング・パッド、ビア、そして部品で構成されるインターコネクトを渡ります。ランディング・パッドとビアの寄生容量によって、ボード・トレースの特性インピーダンスにはインピーダンスの不連続が発生します。トレース幅や差動ペア間の間隔が変化した場合もインピーダンスの不連続が生じます。過度の寄生容量は周波数に比例しない挿入損失を招き、高データレート伝送のシグナル・インテグリティを悪化させます。

バックプレーン・サブシステムではコネクタとバックプレーンを介して2枚のカード同士が接続されます。図5-5にバックプレーン・サブシステムの単純化した典型例を示します。

![図5-5. 単純化したバックプレーン・サブシステム](image)

バックプレーン・コネクタは、機械的な強度を得るために、厚いバックプレーンのメッキ・スルーホールに押し入れるプレスフィット型が主流です。図5-6にバックプレーン・コネクタの内部構造を示します。典型的なバックプレーンの厚みは0.15インチ（3.8 mm）から0.20インチ（5.1 mm）の範囲で、合計で10層から20層の信号層、電源層、グラウンド層で構成されます。長いビアと比較的大きさのスルーホール・サイズ（およそ直径26 mil）は大きな容量性負荷となり、帯域を狭めるほか、クロストークに悪影響を与えます。
図5-6. VHDM HSDの断面図（提供 Teradyne 社）

20インチ・バックプレーンの伝送損失とクロストークの様子を図5-7に示します。ボード・トレースに起因する誘電体損失に加えて、コネクタ、ビア、ビア・スタブ、それに部品のランディング・パッドの寄生容量を原因とする損失が生じています。隣接チャネルから発生するクロストークは、対象となるラインに負の影響を及ぼします。クロストークは通常、バックプレーン・サブシステムの最大データレートを制限する因子となります。

図5-7. 20インチ・バックプレーンの伝送特性
5.5 デカップリング

高速デバイスの電源リードとグラウンド・リードは、低インダクタンス・パスを介して、PCBに接続しなければなりません。性能を正しく発揮させるには、1つまたは複数のビアを使って、電源ピンまたはグラウンド・ピンを近くの電源層またはグラウンド層に接続します。ビアのすぐ近くにビアを配置することが理想的で、トレース・インダクタンスの増加を防ぎます。ボード外層のすぐ下に電源層を割り当てれば、実効ビア長が短くなり、ビアに伴うインダクタンスを抑えられます。

図5-8. 低インダクタンスかつ大容量の電源層構成

バイパス・コンデンサはVDDピンのできるだけ近くに配置しなければなりません。バイパス・コンデンサをパッケージの角部分またはパッケージ下に配置するとループ面積を小さく抑えられます。そのような配置をすることで付加した容量が作用する周波数範囲が広がります。0402や0201サイズ、あるいはX7R特性の面実装コンデンサのように小型コンデンサを使用すると、コンデンサのボディ・インダクタンスを抑えられます。各バイパス・コンデンサは、図5-8に示すようにコンデンサのパッドにビアを設けて、電源層またはグラウンド層に接続します。

図5-8aと5-8b. デカップリング・コンデンサの配置例
0402 サイズの X7R 面実装コンデンサのボディ・インダクタンスはおよそ 0.5nH です。X7R コンデンサはおよそ 30MHz 以上の周波数で低インピーダンスのインダクタとして作用します。動作周波数を数百 MHz に広げると、100pF, 1nF, 0.03 μF, 0.1μF といった異なる容量を並列に構成したアレイが一般的に使われます。最も効果的なバイパス・コンデンサは、2 mil から 3 mil 程度の間隔で構成した電源層とグラウンドのサンドイッチ構造です。2 mil の FR-4 誘電体を使用した場合、PCB の 1 平方インチあたり、およそ 500pF が得られます。一部の例については前述の図 5-1 を参照してください。

高速デバイスの多くはパッケージ裏面に低インダクタンスなグラウンド接続を有します。このようなセンター DAP はビア・アレイを介してグラウンド層に接続しなければなりません。ビア・アレイは、グラウンドに対する実効インダクタンスを下げるとともに、面実装 (SMT) パッケージの放熱性能を高めます。DAP 接続部の周囲にビアを配置すると、適切な熱の拡散が実現されて、ダイ温度は可能な範囲でもっとも低くなります。PCB の両面それぞれにグラウンド層（図 5-1 のように）を割り当てた場合、高性能デバイスからの熱伝導に複数の経路が形成されます。PCB での放熱は、ひとつのデバイスの熱が別のデバイスに伝わって温度を上昇させ、局地的な高温を招いてしまうことが珍しくありません。熱伝導に複数の経路が存在すればこのような可能性は低くなります。

グラウンド DAP は放熱で極めて重要となりますが、パッドと DAP の間隔を十分に確保できないことで、図 5-8b に示すように、最適なデカップリング・レイアウトの実現が困難になる場合があります。そのような場合はデカップリング・コンデンサをパッド裏面に配置すると、インダクタンス成分の追加を最小限に抑えられます。VDD ビアをデバイス・ピンのできるだけ近くに配置し、同時に十分なハンダマスク対象範囲を確保することが重要です。ビアをそのままの状態にしておくと、パッドのハンダがビア・バレルに流れ込む恐れが生じます。この場合、ハング接続品質の低下を招きます。
6.1 はじめに

ジッタは、図 6-1 に示すように、確定成分とランダム成分の2種類から構成されます。確定的ジッタ (DJ) は、クロストーク、シンボル間干渉、電源からまわりこむノイズ、システム的な要因によって発生します。ランダム・ジッタ (RJ) は、サーマル・ノイズ、ショット・ノイズ、光メディアの散乱など、物理的な原因によって発生します。ランダム・ジッタは旧来から通常ガウス分布の形をした確率密度関数を用いて特性を表します。ガウス関数は範囲において無限なので、総ジッタ中のランダム・ジッタ成分は境界なしになります。

ランダム・ジッタの特性

ランダム・ジッタはガウス分布によって特性が表され、かつ、境界なしと仮定されます。このタイプのジッタの測定では標準偏差と平均を用いて分布を定量化します。RJ はガウス分布としてモデル化されるため、ビット・エラー・レート (BER) の関数であるピーク・ツー・ピーク・ジッタの予測に使用されます。

RJ の一般的な原因としては、ショット・ノイズ、フリッカ・ノイズ、サーマル・ノイズなどが考えられます。ショット・ノイズは帯域の広い「ホワイト」ノイズで、電子とホールが半導体中を動くときに発生します。ショット・ノイズの大きさは平均電流フローの関数です。フリッカ・ノイズは 1/f に比例するスペクトル分布を有します。フリッカ・ノイズは、酸化インターフェイス・トラップで電子がランダムに捕獲および放出されるときのキャリア密度の揺らぎが原因とする表面効果が原因です。サーマル・ノイズは広帯域の「ホワイト」ノイズとして表され、帯圧なスペクトル密度を有します。サーマル・ノイズは導体内の「自由」電子とイオン間でのエネルギー伝達によって発生します。
確定的ジッタ

確定的ジッタはより複雑です。確定的ジッタには、たとえばビットが変化するシーケンス（例：0-1-0-1）中で、それぞれのロジック・ステートに割り当てられた平均時間の違いに起因するデューティ・サイクル歪み（DCD）など、データ依存の成分が含まれるからです。このような歪みは、立ち上がり時間と立ち下がり時間との違いや、デバイスのスレッショルドのばらつきによって生じます。

DCDとシンボル間干渉（ISI）は遷移密度が変化したときに生じるデータ履歴の関数であり、ビット・シーケンス（シンボル）中の位置に応じて信号がレシーバ・スレッショルドに到達するまでに要する時間差に起因します。またISIは、伝送メディア上をデータ（シンボル）の周波数成分が均一ではない速度で伝搬したときに起こります。たとえば、エッジ密度の関数としてジッタが変化したときに、ISIが生じます。

図 6-2. 総ジッタのヒストグラム

総ジッタ（TJ）のヒストグラムはTjの確率密度関数（PDF）を表し、このためDJとRJの発生プロセスが独立している場合、総PDFはDJとRJPDFの畳み込みになります。ヒストグラムからDJを排除するとガウス分布が現れるはずです。RJのヒストグラムにDJを追加すると、分布は広がる一方でガウスの裾は保たれ、平均は左の分布と右の分布とに事実上分かれます。2つのヒストグラムの平均の差がDJで、裾部分がRJ成分を表します。DJは有限なので、より多くの測定サンプルを蓄積しても値は変わりません。ランダム・ジッタは境界なしなので、総ジッタ中のRJ成分はサンプル・サイズを増やすにつれて大きくなります。
デューティ・サイクル歪み

デューティ・サイクル歪み (DCD) ジッタの主な要因は 2 つです。1 つは、トランスミッタへのデータ入力が理論的に完璧であっても、トランスミッタのスレッショルドが理想レベルからオフセットしていれば、トランスミッタの出力にはデータ信号のエッジ遷移スルーレートの関数として DCD が現れる場合です。

スレッショルド・レベルが正確に 50%で、デューティ・サイクルが 50%の理想トランスミッタ出力を、図 6-3 に点線で示します。一方、実際の波形は、スレッショルド・レベルが正にシフトしていてトランスミッタ出力が歪んでいる様子を表しています。スレッショルド・レベルの正シフトによって、トランスミッタ出力波形のデューティ・サイクルは 50%よりも小さくなっています。逆にスレッショルドが負にシフトした場合、トランスミッタ出力波形のデューティ・サイクルは 50%よりも大きくなるはずです。

図 6-3. タイミング・シフトを原因とする DCD ジッタ

ソフトウェアが生成したベスト・フィット・クロックとの比較でタイム・インターバル・エラー (TIE) を測定すると、各データ・ビットの立ち上がりエッジの正のタイミング・エラーと、各データ・ビットの立ち下がりエッジの負のタイミング・エラーが得られます。得られた TIE のトレンド波形はデータレートの半分に等しい基本周波数を有します。スレッショルド・シフトが正か負かによって、データ信号を基準にした TIE トレンド波形の位相は異なります。

システム中に他のジッタ源が存在しなければ、DCD ジッタのピーク・ツー・ピーク振幅はデータ信号全体にわたって理論的には一定です。ただし、ISI などのジッタ源が必ずといっていいほど存在するため、DCD 成分を分離することは簡単ではありません。DCD をテストするにはシステム/部品に 1-0-1-0 の繰り返しデータ・パターンを与え、その方法が考えられます。この方法を使うと ISI ジッタが排除されるため、表示されるトレンド波形とスペクトル波形の両方から DCD が簡単に分かります。ジッタをスペクトルで表示すると、ジッタの DCD 成分はデータレートの半分に等しい周波数の「突起」として表示されるでしょう。

DCD のもう 1 つの原因は、立ち上がりエッジ速度と立ち下がりエッジ速度の非対称性です。立ち下がりエッジ速度の方が立ち上がりエッジ速度よりも相対的に遅ければ、1-0-1-0 の繰り返しパターンのときデューティ・サイクルは 50%より大きくなり、相反的に立ち上がりエッジ速度が立ち下がりエッジ速度よりも相対的に遅ければ、デューティ・サイクルは 50%より小さくなります。
シンボル間干渉
データ依存性ジッタ (DDJ) を構成するシンボル間干渉 (ISI) は、伝送線路の帯域が部品の帯域、あるいはその両方が、送信信号の帯域よりも狭いときには発生します。時間領域の観点からは、伝送バスの帯域が不足していると、送信信号のエッジレートが緩やかになります。クロックのような周期的な信号の場合、エッジレートが小さいと信号エッジが丸くなり、場合によっては信号振幅が低下する可能性もあります。一方データの場合は、緩やかなエッジによって1-0と0-1の遷移タイミングが影響を受けます。

図6-4の波形で考えてみます。A点の前にある1010パターンは均一なビット・パルス幅と均一な遷移タイミングで構成されています。ここで、A点での連続した1によって伝送メディアは高レベルに充電され、B点で起こる0への遷移に長い時間を要するようになります。0への遷移が遅ければ、信号が安定したロー・レベルに到達する十分な時間がないうちに、C点で遷移が起こってしまいます。

ISIに起因するジッタは送信されるパターンによって異なります。伝送線路の帯域が不足している場合、ランレングスの長いデータ・パターンほどジッタは大きくなります。たとえば帯域が不足している条件で、PRBS-7 (ランレングス = 7) や8b/10b (ランレングス = 5) よりも、PRBS-23 (ランレングス = 23) のほうが、発生するISI DJは大きくなるでしょう。

長い1のストリングに続いてビット0がある場合、ビット0の負のピーク振幅は2つ理由で低下します。1つは、1が連続した長いストリングの直後はデータ信号のレベルが高くなっているため、真のロー・レベルに信号が遷移するまでに長い時間を要することが挙げられます。もう1つは、次にビット1が来る場合、信号が安定したロー・レベルに達する前にハイ・レベルに引き上げられてしまうためです。信号振幅が小さくなると信号がスレッショルド・レベルを横切るまでの距離がきわめて短くなって、次のビット1への遷移で負のタイミングエラーが発生します。この様子をジッタ・トレンド波形のC点に示します。
前述のB点での正のタイミング・エラーと同じ理由により、ジッタ・トレンド波形のD点で正のタイミング・エラーが生じています。長い0のストリングが続くとデータ信号は安定したロー・レベルに確定します。次に信号がハイ・レベルに遷移する場合、スレッショルド・レベルに達するまでに同様な理由で長い時間がかかり、結果として正のタイミング・エラーが生じます。

伝送パス上に存在するインピーダンス不連続や不適切な終端に起因した反射もISIの原因になります。インピーダンス不連続は帯域を狭めるだけではなく、反射した信号がエッジ遷移の前後または遷移中にトランスミッターかレシーバに到達した場合に、遷移タイミングは影響を受けます。データ信号が高速な場合、あるエッジ遷移で生まれた反射は複数のビットを経過したあとでないと現れてこない様子を、図6-5に矢印で示します。エッジ遷移のタイミング(C点)でトランスミッタかレシーバに現れた反射は、信号アイ・パターン上にDDJとして現れます。

反射エネルギー

図6-5. ISIパターン依存性ジッタと反射の例

反射に起因するジッタを抑えるには、インピーダンスの不連続を減らすとともに、伝送線路の遠端のできるだけ近くに適切な終端を配置してください。また、帯域不足に起因するジッタを抑えるには、帯域帯の伝送メディアか、送信プリエンファシスや受信イコライゼーションのデバイス、またはこれら3つをすべて採用してください。

帯域不足のほか、不適切な終端や物理メディア中のインピーダンス異常起因する信号反射もISIの要因の1つです。信号反射は図の右側に示すようにデータ信号の振幅に歪みを与えます。データ信号が高速な場合、あるパルスで生まれた反射は、インピーダンス異常存在する箇所までの物理的な距離に応じて、シリアル・パターン中の複数ビットが経過してあとでないと現れません。
周期的ジッタ

周期的ジッタ（PJ）は正弦関数ジッタとも呼ばれ、一定の周波数で繰り返されるジッタです。PJは周波数や振幅ともにピーク・ツー・ピーク値として表されます。このタイプのジッタはデータ・ストリームとは関係のない繰り返し成分で構成されます。クロストークとスイッチング電源ノイズが主な2つの原因です。

図 6-6. 周期的ジッタの例

PCI ExpressやシリアルATAなどの多くのコンピュータ・インターフェイスで、インターフェイスのEMI性能を高めるために採用されている特殊なスペクトル拡散クロック（SSC）も、PJの要因の1つです。SSCはデータ・クロックに周波数変調（FM）を与えます。放射エネルギーを広い周波数スペクトルに拡散してそれぞれの周波数のパワーを抑えます。SSCには機器の他の部分との干渉を引き起こす確率を下げる働きもあります。

6.2 そのほかのジッタ源

リンク中に存在する最大のジッタ因子はデータとクロックを伝送するメディア（媒体）です。また、適切に設計されたシステムであっても、ジッタ・バジェットにわずかに寄与する別の因子も存在します。これら因子は確定的ジッタ（DJ）の下層に分類されるもので、入力容量に起因するデータ依存性ジッタ（DDJ）、隣接チャネルのクロストークに起因する周期的ジッタ（PJ）、パターンに依存するDDJなどがあります。ジッタの影響度はアイ・ダイアグラムを使って解析します。
入力容量の影響

ビア容量やコネクタ容量と同様にデバイスの入力容量もISIの原因の1つです。入力容量はエッジレートの低下とジッタの増加を引き起こすローパスフィルタとして作用し、シリアルリンクやマルチポイントリンクに影響を与えます。レシーバの入力容量が5pFでデータレートが1.5Gbpsのとき、自己終端LVDS出力のような50Ωドライバでレシーバが駆動されると、入力容量によって駆動されるデバイス入力端のジッタが増加します。入力容量に起因するこのようなジッタは、データ・パターンとパターンが適用される速度に直接関係します。

パッファを介して信号をゼロジッタで伝送するには、入力容量で生じるジッタを打ち消す程度のイコライズ機能がパッファに必要です。また、入力容量が小さければジッタを抑制できるとともに、アイノイズの発生とアイの劣化を最小限に抑えられます。

FEXT/NEXT

遠端クロストーク(FEXT)と近端クロストーク(NEXT)はシステム性能を劣化させる周期的ジッタの要素であり、隣接のデータ・チャネルのクロック・チャネルに起因します。影響を与えるチャネルによって影響を受けるチャネルの信号雑音比(SNR)は悪化し、結果として影響を受けるチャネルのDJ量が増大します。クロストークには2種類があります。FEXTは、あるチャネルの遠端から影響を受けるチャネルに注入されるクロストーク・ノイズで、レシーバ端で測定されます。NEXTは隣接のトランスミッタによってレシーバ端に注入されるクロストークで、レシーバ端で測定されます。隣接トランスミッタが受信チャネルにクロストークを与えるNEXTと、影響を受けるチャネルで減衰するクロストークを遠端の隣接トランスミッタが影響を受けるチャネルに与えているFEXTを図6-7に示します。

図6-7. 遠端クロストークと近端クロストークの例
システムのクロストーク感度

クロストークは、ボードの高密度化、狭いピンピッチ、コネクタを通じる周波数の向上などに伴って、より大きな問題になっています。NEXT がシステムで問題になる様子を図 6-8 に示します。周波数が低ければチャネル損失は相対的に小さいため、レシーバ端で大きな信号雑音比 (SNR) が確保されます。周波数が高くなるとクロストークも大きくなり、さらにトレース幅、ビア、コネクタの微細化や、そのほかの非理想因子によって、チャネルの損失は大きくなります。結果としてレシーバの SNR は悪化し、レシーバ端でのジッタの増大とアイの縮小を招きます。

図 6-8. バックプレーン損失とクロストークの SDD21 特性の例

ある程度の近端クロストークが存在する条件でシグナル・コンディショニングを使用する場合は、レシーバ端で高い SNR を維持するためにイコライゼーションを行なうのではなく、システムのトランスミッター側でプリエンファシスを行なう案を検討してください。イコライザは信号、クロストーク・ノイズにかかわらず送られてくる信号の高周波成分を増幅します。一方で信号にプリエンファシスを与えると、チャネルが対処しなければならない NEXT の量が増える可能性があります。ただし、適切なボード・レイアウトを行なえば、システム内の FEXT と NEXT の量は抑えられます。

ビット・エラー・レート

通信などのアプリケーションでは、多くの場合に 10^{-12} ビットから 10^{-15} ビット中にエラーが 1 ビット未満となるような、きわめて厳しいビット・エラー・レート (BER) を保証しなければなりません。総ジッタによってビット・エラーの確率が決まります。総ジッタにはランダム・ジッタが含まれているので、このようなビット・エラー・レートを完全に保証するには、膨大な量の擬似ランダム・データを送信し、ビット・エラー・レート試験 (BERT) として知られる手法を用いて各ビットのエラーを確認する方法を実施しなければなりません。ビット・エラー・レートがきわめて小さい場合、BERT は多大な時間を要する作業となって、日常的に行うには現実的ではありません。代替として、アイ・パターン、あるいはバスタブ曲線によってシグナル・インテグリティが適切かどうかを確認し、ビット・エラー・レートを推定する方法が用いられます。
6.3 パターン依存性とアイ・ダイアグラム

アイ・ダイアグラムはジャッタやレシーバのアイ属性をグラフィカルに表す優れた手法です。立ち上がり/立ち下がり時間、オーバーシュート、リングイング、損失、ゼロ・クロス・ジャッタなど、レシーバやトランスミッタのアイ特性の質的測定が可能です。たとえば、さまざまなデータ・パターンを同じ桁数のままデータ・ランレンジングスを長くしながら送信すれば、メディアの誘導体損失と表皮損失に起因する DJ で構成される ISI の量が増えている様子を観察することができます。図 6-9. アイ・ダイアグラム測定環境のブロック図

図 6-10 に示すように、パターンのランレンジングスを長くすると、同じ桁数でもランレンジングスが長いほどジャッタ量が増加する様子が観測されます。たとえば 8b/10b エンコーディングの K28.5 パターンは、最大ランレンジングス 5 に続いてランレンジングス 1 で構成されます。ランレンジングス 7 の擬似ランダム・ビット・シーケンス (PRBS7) パターンは、最大 7 個の 1 に続いて 6 個の 1 が同じパターン内に現れます。同様に PRBS31 は 31 個の 1 と 30 個の 0 が現れます。

図 6-10. データ・パターン中のランレンジングスを長くしたときの DJ 量の増加を示すアイ・ダイアグラム
パターン・ランレングスによる劣化をさらに把握するために、K28.5 パターンと PRBS31 パターンによるアイの劣化を図 6-11 に並べて示します。K28.5 パターンは 1 と 5 の短いランレングスのため、PRBS31 パターンほどアイにストレスを与えていません。PRBS31 パターンは、垂直方向は 60mV、水平方向は 83ps までアイが開いています。このように 1 と 0 のランレングスを制限する目的もあり、多くのアプリケーションが 8b/10b パターンを採用しています。

アイ・パターンに着目すると、ワーストケースのランレングス・データを波形として確実にキャプチャするには、データの取得に要する時間に注意が必要です。PRBS31 パターンの場合、ワーストケースとなるランレングスは全パターン231回に一回しか存在しません。つまり 3.125Gbps の信号を使っても PRBS31 の繰り返し周期は 320ps × 231 = 0.687 秒もかからない。従って、アイ・ダイアグラムを十分に埋めるだけのサンプルを集めるには、きわめて長い時間を必要とします。そのため、アイの解析にはバスタブ曲線などの代替手段が開発されています。

図 6-11. 104 cm の FR-4 メディアを伝送後の K28.5 パターン（左）と PRBS31 パターン（右）の比較。パターンのランレングスでアイが劣化している様子を示す
アイ・マスク

アイ・マスクは、アイ・ダイアグラムと併用することで、多くの規格にとって信号の準拠性を確認できる有効なツールの1つになり得ます。アイ・マスクは規定の電圧と時間軸のウィンドウで構成され、アイに重ねることで、アプリケーションに必要な電圧マージンとタイミング・マージンがあるかどうかがわかります。InfiniBand, PCIe, SAS, 802.3などの規格は、トランスミッタとレシーバのそれぞれで、光と電気の両方でアイ・マスクを定義しています。

一例として信号データレート2.5GbpsのInfiniBand（×1）のレシーバ・アイ・マスクを図6-12に示します。アイ・マスクの作成に必要なサンプリング回数はそれぞれの規格を調べてください。一部の規格は、確定的ジッタとランダムのジッタの影響を的確に把握するのに必要なアイとしてサンプルすべきユニット・インターバル(UI)数を定めようとしています。

図6-12. InfiniBand 2.5Gbps 受信アイ・マスクを重ねたアイ・ダイアグラム

バスタブ曲線とアイ等高線

アイ等高線あるいはバスタブ曲線を使ってアイを調べる方法もあります。バスタブ曲線はBERTスキャンと呼ばれる場合もあります。バスタブ曲線は、アイ・ダイアグラムのゼロ・クロス点を横切る時間位置とBERの関係を用いて、アイ・ダイアグラムを統計的に見ようとするグラフィカルな手法です。バスタブ曲線の詳細は「T11.2 / Project 1316-DT/ Rev 2.0」に記載されています（Fiber Channel-MJSQ）。
ジッタのセクションで前述したように、ランダム・ジッタはガウス分布で境界なしであり、アイを閉じる方向に作用します。バスタブ曲線は、BER統計と、ジッタのランダム部分に起因するアイ縮小を示します。パターンもアイ縮小に影響を与えます。アイの特性を正確に明らかにした上でパターンとランダム・ジッタのワーストケースを理解するには、十分な時間をかけてパターンをサンプリングする必要があります。

アイの特性を把握するために必要な時間（ビット数 ÷ データレート）はバスタブ曲線の各データポイントごとに異なり、データレートが250Mbpsのときに10^{-12}オーダーのテストに必要な時間は、BER時間=10^{-12}ビット/250Mbps=40,000秒となります。ゆえにバスタブ曲線を使うときは、一般には10^{-7}から10^{-9}のオーダーでアイの特性を明らかにし、そこから10^{-12}を推定します。

アイ等高線はバスタブ曲線と同様にアイ・ダイアグラムの統計情報を示しますが、低いBERでのアイの特性を3D画像として示す点が異なります。この機能は目標BERに対するリンク・マージン量を判断するときや問題発生時の診断に有効です。

図6-13. BER等高線を示したアイ・ダイアグラムとバスタブ曲線の対応
高速シリアル・データ伝送に使用するケーブルとコネクタを選定する際には、メディアの選択がシステムの性能に影響を与えるという事実を忘れてはなりません。一般には差動特性インピーダンス 100Ω に制御されたメディアを選択します。インピーダンスが整合した適切なコネクタも必要です。このセクションでは、メディアに起因する歪みの影響を補償する方法を含めて、選択の重要性を考えていきます。

### 7.1 ケーブルの物理的特性と電気的特性

高速シリアル・データ・リンクに使われるケーブルで最も問題となるのが損失です。損失はデータレートを制限する主因になります。損失は周波数に比例し、データレートが高くなるほど大きな損失がケーブルで生じます。ケーブルの物理的な構造のうち損失に関係するのは長さとゲージです。

<table>
<thead>
<tr>
<th>ケーブル仕様</th>
<th>ケーブルの仕様</th>
</tr>
</thead>
<tbody>
<tr>
<td>ゲージ AWG</td>
<td>フィート (30.5cm) / Ω</td>
</tr>
<tr>
<td>20</td>
<td>96.2</td>
</tr>
<tr>
<td>22</td>
<td>60.6</td>
</tr>
<tr>
<td>24</td>
<td>38.2</td>
</tr>
<tr>
<td>26</td>
<td>24</td>
</tr>
<tr>
<td>28</td>
<td>15.1</td>
</tr>
<tr>
<td>30</td>
<td>9.5</td>
</tr>
<tr>
<td>40</td>
<td>0.93</td>
</tr>
</tbody>
</table>

各ゲージのケーブルの抵抗値と直径を表 7-1 に示します。数値の低いゲージのケーブルは信号品質に優れていますが、数値の高いゲージのケーブルに比べて重くコストも高く、また、ケーブルの復元力が強いため扱いが面倒です。ケーブルの曲げ剛性を弱めるには、より線を使って数値の低いゲージ・ケーブルを作ります。図 7-2 に、一般的な DVI ケーブルを切断して分解し、差動ペアを露出させた様子を示します。ケーブルの損失は中心導体のゲージ数によって変わります。

図 7-2 からわかるように差動ケーブル・ペアは各々シールドで囲まれています。シールドは、PCI-Express, SATA, DVI, HDMI ケーブルなど、高品質ケーブルで使用されています。このシールドはケーブル・ペアを流れる信号のローカルなリターン・パスとしても使用されます。閉じられたリターン・パスは低インピーダンス・パスを構成し、ケーブル・ペアから放出されるコモンモード・エネルギーを抑え、クロストークを減らします。シールドには通常、ケーブル・メーカーにとってコストの低い金属箔が用いられます。また、ペアの束全体をさらに外側シールドで覆いEMIを抑えています。外側シールドには通常は編み線が使われます。
DVI ワイヤ・ペアのうち一組を図 7-2 で分解しています。ケーブルの損失は中心導体のゲージ数によって変わります。

図 7-2. 内部構造を露出させた DVI ケーブル

図 7-3. DVI ケーブル損失とワイヤ・ゲージ
異なる品質の DVI ケーブルを使用した測定結果の一例から、20 メートルの 28 AWG DVI ケーブルの減衰量は 30 メートルの 24 AWG DVI ケーブルとほぼ同じことがわかります。したがって、中心導体 AWG のゲージ数が小さいケーブルのほうがリンク・セグメントの延長に適します。

ケーブル・タイプの選択ではクロストークの影響も考慮しなければなりません。隣接する 2 組のペア間のクロストークがきわめて大きいとシリアル・リンクの SNR が悪化します。CAT-6 ケーブルを使用した例（図 7-3）からわかるように、クロストークによってリンク・セグメントの実用領域は 1.2Gbps に制限されています。同じ長さの InfiniBand ケーブルと比べた場合、5GHz まで、クロストークは信号損失から 30dB を下回ることがありません。

図 7-4. InfiniBand ケーブルと CAT-6 ケーブルのクロストーク差

コストの低いツイストペア・ケーブルは、高データレートに対応するケーブルとして、業界で広く使われています。ケーブルあたり 4 組のペアが組み込まれている CAT-5 ケーブルは、20 ～ 30 円 (1m) 程度という低価格で手に入れます。ツイストペア・ケーブルの欠点はスキーです。ペア内スキーとペア間スキーの両方がツイストペア・ケーブルで問題になります。ペア・ケーブルの揺れ数はそれぞれの束で異なる、しかも 100m のケーブルであれば 1 メートルごとにも異なります。さらに、個々のペアはそれぞれの長さが管理されずに製造されるためペア内スキーも生じます。ペア内スキーが存在するとコモンモードは差動モードに変換され、高周波での信号損失が増大します。

スキーが厳しい許容度を導入しているのが、PCI-Express、SATA、InfiniBand、DVI、HDMI の各ケーブルです。目的とするレシーバにすべてのデータ・レーンが同じビット・クロックで同時に到着しなければならないこれらのアプリケーションでは、スキーがきわめて重要です。ケーブル・メーカーは、5Gbps で動作する PCI-Express "Gen 2" のような高データレート環境で、ペア内スキーを管理する新しい手法を模索しています。
ケーブルの両端にはコネクタが存在します。コネクタは電気的な不連続（インピーダンス不整合）やクロストークの要因になるほか、損失を増加させます。SATAのような双方向リンク・セグメントの場合、ケーブルで最も重要となる仕様はペア間のアイソレーション特性です。SATAコネクタでは各ペアとケーブル束の周囲にメタル・シールドを設けてクロストークとEMIを抑えています。ハイスピード・コネクタのテクノロジー自体はCATケーブルで使われるプラスチック製のRJ-45コネクタからはるかに進歩を遂げていますが、CATケーブルのコスト効率を生かそうと、一部のメーカーがクロストークを抑えるハイスピード・コネクタを開発しています。

図7-5. ケーブル端の例（すべてが超高速アプリケーションに適しているわけではない）

シグナル・コンディショニング・デバイスはケーブルで生じるリニアな損失を補償します。そのため、コネクタによって生じる大きな損失やインピーダンス不連続は、イコライゼーションとプリエンファシスでは対処できません。リンク・セグメントの帯域はコネクタ・ケーブルなどすべてを含んだメディアのパラメータのリニア領域で決まります。
インターコネクト・メディアとシグナル・コンディショニング

### 表 7-6. アプリケーションに応じたケーブル・メディアの選択

<table>
<thead>
<tr>
<th>ケーブル・タイプ</th>
<th>ケーブル構造</th>
<th>データレート (Gbps)</th>
<th>主な市場</th>
<th>ケージ (AWG)</th>
<th>一般的なメディア長 (m)</th>
</tr>
</thead>
<tbody>
<tr>
<td>デュアル DVI</td>
<td>データ 6、クロック 1、制御 3</td>
<td>1.65</td>
<td>民生用デジタル・ビデオ</td>
<td>22, 24, 26, 28</td>
<td>5 ～ 30</td>
</tr>
<tr>
<td>HDMI</td>
<td>データ 3、クロック 1、制御 3</td>
<td>1.65</td>
<td>民生用デジタル・ビデオ</td>
<td>24, 26, 28</td>
<td>5 ～ 30</td>
</tr>
<tr>
<td>CAT-5e</td>
<td>データ 4</td>
<td>最高 3.125</td>
<td>幅広い分野</td>
<td>24, 26, 28</td>
<td>10</td>
</tr>
<tr>
<td>PCI-Express Gen2</td>
<td>X1、X2、X4、X8</td>
<td>5</td>
<td>パソコン</td>
<td>24, 26, 28</td>
<td>1 ～ 10</td>
</tr>
<tr>
<td>SATA-2</td>
<td>双方向データ・ペア 1組</td>
<td>3</td>
<td>ストレージ・アプリケーション</td>
<td>24, 26</td>
<td>1 ～ 10</td>
</tr>
</tbody>
</table>

### 7.2 シグナル・コンディショニングの特性

このセクションでは、ソースから出力されたデータ・ビットがさまざまなタイプのメディアを通過する過程で遭遇する複数の障害を論じます。実際のシグナル・コンディショニングの手法を使用して、具体的なチャネル障害に対応します。

ケーブルやPCBトレースで生じるメディア損失

損失でも最も支配的となるのが、データ・ビットをポイント・ツー・ポイントで伝えるケーブルまたはPCBトレースの帯域不足です。ケーブルとPCBトレースには表皮損失と誘電体損失の2つの損失の仕組みが存在します。これらの損失はそれぞれ異なる影響を周波数に依存して信号に与え、解決方法は損失要素ごとに異なります。

1. 表皮損失: 表皮効果とは高周波電流の大部分が導体の表面（表皮）を伝わる現象です。結果として導体の実効抵抗は周波数が高くなるにつれて高くなります。表皮損失は信号周波数の平方根に直接比例するため、緩やかな周波数ロールオフの特性となります。

2. 誘電体損失: 他の導体と誘電体材料によって絶縁されている導体を信号が通過する過程で、誘電体材料が信号エネルギーの一部を吸収する現象です。誘電体損失は信号周波数に直接比例するため、急峻な周波数ロールオフの特性となります。

表皮損失と誘電体損失は、単一ビットを複数ビット周期に広げてしまうシンボル間干渉と基本的に同じ仕組みによって、高周波バイナリ信号のエッジレートを低下させます。ただし表皮損失と誘電体損失の影響度は上述のように異なります。また、表皮損失はケーブルで支配的なメカニズムですが、PCBトレースでは誘電体損失が優勢です。すなわち、メディア・タイプに応じた完璧な補償を行うには、それぞれに合った補償が必要となります。

この種のISIには、程度を軽減して対処する方法と、補償を行なって対処する方法が考えられます。1つは高品質かつ低損失なメディアを使用することです。もう1つは信号を補償するシグナル・コンディショニングICを使用することです。ただしメディアの選択には、線材コストや据付コストのほか、既存の設備を高データレートで動作させるのであれば設備更新が必要となるなど、数々の制約が存在します。一方、シグナル・コンディショニングを採用してプリ（デイ）エンファシスとイコライゼーション（EQ）を適用すれば、高性能を実現できます。

プリ (ディ) エンファシスとイコライゼーションの2つは、メディアに起因する損失を個々のケースに合わせて排除する、いずれも重要な信号の調整手段です。テキサス・インスツルメンツ(TI)のDS25BR110やDS16EV5110など、メディア損失を補償する先進の機能を搭載したシグナル・コンディショニング・デバイスの多くに、両方の手法(EQ と PE/DE)が集積されています。
プリエンファシス・ドライバとディエンファシス・ドライバ

プリエンファシス (PE) とディエンファシス (DE) は、データに含まれる特定周波数成分に減衰（もしくは増幅）を適用させて、損失問題に対処しようとする方法です。メディア損失によって信号のエッジは緩やかになり ISI が生じます。このような特性を補償するために、プリエンファシス・ドライバあるいはディエンファシス・ドライバは、波形の平坦部分（低周波成分）に比べてエッジ部分（高周波成分）のエネルギーを増強するように働き、メディアと PE/DE ドライバを組み合わせた系全体の周波数応答は相対的に平坦になり、結果としてケーブル遠端でのアイ・ダイアグラムが確保されます（図 7-7 参照）。

プリエンファシスまたはディエンファシスの適用量は、一般にピーク・ツー・ピーク振幅 (A) と安定部分のピーク・ツー・ピーク振幅 (B) の比で表します。

図 7-7. プリエンファシスとイコライゼーションを適用した前後の波形

図 7-8. 信号の特定部分に変調を適用

PE = 20×log10(A/B) : 送信V_{OD} = B
DE = 20×log10(B/A) : 送信V_{OD} = A
プリエンファシスとディエンファシスは補償方法が異なります。プリエンファシスはエッジのエネルギーを増強して各エッジにオーバーシュートを設けます。ディエンファシスはエッジはそのままで振幅の安定部分を減衰させます。比較を表7-9に示します。

表7-9. プリエンファシスとディエンファシスの違い

<table>
<thead>
<tr>
<th>項目</th>
<th>プリエンファシス</th>
<th>ディエンファシス</th>
</tr>
</thead>
<tbody>
<tr>
<td>代表的な信号テクノロジー</td>
<td>LVDS</td>
<td>CML</td>
</tr>
<tr>
<td>出力ピーク・ツー・ピーク振幅</td>
<td>PE比によって増加</td>
<td>DEがない場合と同じ</td>
</tr>
<tr>
<td>消費電力</td>
<td>増える</td>
<td>同じ</td>
</tr>
<tr>
<td>一般的な指標</td>
<td>正dB (+3dBなど)</td>
<td>負dB (−3dBなど)</td>
</tr>
<tr>
<td>受信アイ・オープニング</td>
<td>PEなしと同じ</td>
<td>DE比によって減少</td>
</tr>
</tbody>
</table>

プリエンファシス幅とディエンファシス幅は、アナログ時定数か、データ幅（通常はデジタル・クロックに由来）に関連する遅延ブロックの、2つの要因によって決まります。クロックなどの正確なタイミング情報を持たないシグナル・コンディショニングICのプリエンファシス幅とディエンファシス幅は、通常、ビット幅のおよそ半分から全部の範囲です。

イコライゼーション

イコライゼーションは受信端で高周波データを増強するように作用する手法で、結果的にメディアの高周波減衰特性が補償されます。補償しようとするメディア損失と（理想的には）正確に反対の周波数応答となるハイパス・フィルターを、イコライザ回路内のRLCネットワークによって構成します（図7-10）。

図7-10. 逆のチャネル応答（青）と整合したイコライザ応答（緑）
2 種類のイコライザ回路

イコライザ回路はおおまかにパッシブ回路とアクティブ回路の2種類に分けられます。パッシブ回路は低い周波数成分を
減衰します。アクティブ回路は高い周波数成分を増幅するように作用し、増幅には電源が必要です。アクティブ・イコ
ライザはさらに、固定型、可変型、アダプティブ型の3種類に分類できます。

パッシブ：パワーサーバー・イコライザ

パワーサーバー・イコライザの DS38EP100、DS80EP100 などは、電源接続を必要とせず、すなわち DC 電力を消費せずに、
超高データレートのケーブルやバックプレーン・トレースをイコライズするユニークなソリューションです。パワーサー
バー・イコライザによって、イコライザ組み込み型バックプレーンやイコライザ内蔵型ケーブル / コネクタなど、新し
いアプリケーションが創出されます。

パワーサーバー・イコライザは、オノツップの抵抗、インダクタ、コンデンサのみによって低周波成分を減衰し、イ
コライゼーション機能を実現します。そのため、パワーサーバー・イコライザはあらゆる信号テクノロジー (LVDS、
CML、LVPECL) との組み合わせが可能です。レシーバに与えられる波形はディエンファシス・ドライバを用いたとき
の波形と似ています。つまり、レシーバにアイ・オープンングが確保される一方で、振幅は減衰された状態になります。

パワーサーバー・イコライザの特長

- 配置の自由度が高い - データバス中のどこにでも配置できる（データバス上のバックプレーンなど）
- 双方向 - データはいずれの方向にも通過できる
- 特性が完全に線形 - カスケードにした複数のパワーサーバー・イコライザの後段にアクティブ・イコライザを配
置すれば信号レベルの復元が可能

アクティブ・イコライザ

アクティブ・イコライザは、名前が示すように、信号の低周波は減衰せずに高周波のみをアクティブ・トランジスタを使っ
て増幅する方法です。アクティブ・イコライザは、ディエンファシス・ドライバや PE のない LVDS ドライバを用いた場
合など、信号振幅が小さい場合に有効です。また、ほとんどのアクティブ・イコライザは高入力振幅を許容する点も便
利です。イコライザ・チップ内部には信号のエッジを立てフル振幅に復元する複数のゲイン段が設けられています（図
7-11）。この復元は非リニアな処理なので、アクティブ・イコライザはカスケードにすることはできません。
イコライザが理想的であることは稀であり、何らかの ISI は常に残ります。出力ジッタを増やすこのような残存 ISI は残存確定的ジッタと呼ばれ、適切に設計されたイコライザは送られてくるジッタを 0.2UI 未満に低減します。ユニット・インターバル (UI) は対象となるデータレートの 1 ビット時間の周辺と同じです。

固定イコライザ
あらかじめ決められた長さのケーブルと規定のデータレートを対象に補償を行なうよう設計されたイコライザです。固定イコライザにはイコライズ特性がプリセットされていて、何らかの量の昇圧 (dB を単位) を与えるデバイスとしても見なされます。

固定イコライザの出力ジッタは規定されたチャネル条件に最適化されているため、イコライザが基準とするチャネル長に比べて実際のチャネルが短すぎる場合あるいは長すぎる場合は十分な性能が得られません。固定イコライザは、伝送チャネルの構成がわかった場合、かつ、変化しない場合にのみ使用します。

適宜量を制御できる可変イコライザ
可変イコライザは、伝送チャネル長がシステムごとに違う場合や、データレートとは独立してイコライゼーション量を設定したい場合に有効です。可変イコライザを使用するとイコライゼーション特性の一部が設計者に委ねられます。可変イコライザ (固定イコライザも同様) の適用量は、イコライザを通過する実際のデータ・パターンとは関係なく独立しています。

可変イコライザには複数のイコライゼーション特性があらかじめ定義されていて、デバイスの CMOS 入力ピン (DS25BR100 など) かシリアル・バス (DS64EV400 の SMB など) を使って切り替えます。異なる長さのメディア (ケーブルやトレース) であっても、固定イコライザを使用したときのようなジッタの悪化は、単一の可変イコライザ・デバイスでイコライザが可能です。ただし、チャネル損失に応じた適正なイコライゼーション特性をシステム設計者が設定またはプログラムしなければなりません。

アダプティブ・イコライザ
アダプティブ・イコライザは、何らかの内蔵アルゴリズムを使用して、接続されているメディアにとって最適なイコライゼーション量を、独立かつ自動的に決定しようと試みるイコライザ・デバイスです。一般には、ケーブル・タイプ、データレート、データ・パターン (8b/10b など) をアルゴリズムに教える必要があります。結果としてアダプティブ・イコライザは、メディア・タイプ、データレート、データ・パターンの限られた組み合わせに対してのみ適切に機能します。アダプティブ・イコライザは、メディア長がそれなりに変わる可能性がある場合や、システム設計者がメディア長さを制御できない場合に必要です。LMH0344, LMH0034, DS15EA101 は、同軸ケーブルと CAT-5 ケーブルのケーブル長に応じて自動的にイコライズを行なう、最新のアダプティブ・イコライザ製品の一例です。
クロストーク

クロストークとは、FEEXT/NEXTセクションで述べたように、対象のデータ・ビットに別の信号ソースから望ましくない結合が重畳した現象を指します。クロストークは一般に、複数のデータ・ストリームが近接してルーティングされ、かつ、互いに結合（EMIを介して）してしまうときに発生します。ケーブルの場合は複数の導体が同じケーブル内に存在しているとクロストークが発生します。コネクタの場合はコネクタの物理的な構造によって発生します。

図7-12.さまざまなメディアで観測されたクロストーク例

クロストークはデータレートが高くなるほど大きくなり、しばしば、同じケーブルまたはコネクタで複数のデータ・ラインを伝送するときの制限因子となります。図7-12に示すように、3GHzで受信信号とほぼ等しいクロストークが現れています。クロストークはデータが同じケーブルまたは同じコネクタで双方向で流れるときに特に大きくなります。このような条件のとき、受信信号はケーブルによって減衰されますが、近端クロストークは強い強度で結合します。

クロストークを補償するには複雑なDSP手法と影響を与える信号の知識が必要です。DSPを用いた手法が実用にならない高データレートではクロストークを補正することは極めて困難です。クロストークはイコライゼーションでは補正できません。リニアなイコライゼーションは、所望の信号とともに高周波クロストーク成分も増強してしまうからです。

以上の説明からわかるように、予防こそがクロストークに対処する最善の方法です。システム設計者はできるだけ緩やかなエッジレートを採用すべきです。高周波のエネルギーが少なくなるためクロストークを抑えることができます。エッジレートを緩やかにしきすると、ISIが増加するとともに所望の信号の減衰が大きくなります。両者のトレードオフを注意深く検討する必要があります。一般にエッジレートはビット周期の1/3よりも遅くしてはなりません。また、導体ペアが個別にシールドされたケーブルを選択するときと、高性能な低クロストーク・コネクタを採用しなければなりません。

反射

反射はシャープなエッジを持つ高周波信号をインピーダンス不連続点に伝送したときに発生します。インピーダンスの不連続が適切に終端されたチャネルでは、トランスミッタから送出された信号はレンバで完全に吸収されます。つまり、適切（理想的）に終端されていれば反射は起こりません。しかし、途中にインピーダンスの不連続が存在すると、信号の一部が信号源に向かって反射します。
たとえば、ソースの終端が負荷と整合していなければ、信号はトランスミッタに向かって反射して戻ってきます。また、レシーベは同じ信号をソースとしてコピーされた減衰を含んだ複数の信号を異なるタイミングで受信するでしょう。信号が複数回にわたってレシーバ端に到達すると ISI が発生します。このような反射の原因となるインピーダンスの不連続は、コネクタ、PC ボード、ビア、そして不適切な終端抵抗部分に存在します。また、高速 I/O ピンの入力容量 (53 ページの「入力容量の影響」セクションも参照) や不適切な終端による集積回路のリターン損失の悪化も、反射の原因になります。

リニアなイコライザは信号パスのどこに不連続が存在するかを知ることができません。また、チャネルが長い場合は、反射がレシーバに届くまでに相対的に長い時間を要します。所望の信号と反射信号をDSPを用いず見分けることは困難です。すなわち、いかなるハイスピード・イコライザも反射を補償することはできません。

反射対策は、クロストークの場合と同様に、高性能コネクタの採用と高周波設計ガイドラインを遵守するしかありません。使用する回路のリターン損失と入力容量特性を十分に検討する必要があります。一般に、対象のデータレートにおけるリターン損失は-10dB よりも優れているければならず、入力容量は2pF 以下なければならない。TI は、DS25BR100やDS64EV400など、このような要件を満たす複数のシグナル・コンディショニング IC を提供しています。また、エッジレートを緩やかにすると、図 7-13 に示すように反射は大幅に小さくなります。

図 7-13. レシーバ入力端のアイ・ダイアグラムで見たエッジレートの効果
データレート = 600Mbps、IBIS モデル・シミュレーションによる波形
7.3 プリエンファシス / ディエンファシスとイコライザの併用

プリエンファシス / ディエンファシス(P/E/DE)とイコライザ(EQ)は、P/E/DEはドライバ端で、EQはレシーバ端で、それぞれISIの問題を補正しようという目的を両方ともに有します。送信側と受信側両者の構成をシステム設計者が決定できる場合、同一の信号チェーンにP/E/DEとEQを併用して、より高い性能を得る方法が考えられます。ただし、その場合は、P/E/DEドライバ特性、伝送メディア、受信イコライザ特性など、いくつかの事項を考慮しなければなりません。

まず、これらのシステム・パラメータがすべてが合っていなければなりません。ミスマッチすると残存確定的ジッタを増やす要因になる可能性があります。次に、反射とクロストークの増加についても注意が必要です。伝送側にP/E/DEドライバを使用すると、クロストーク、反射、さらには電磁界放射を招く多くの高周波エネルギーが追加されます。このような高周波成分は受信イコライザでさらに増幅されます。また、プリエンファシス・ドライバは多くの電力を必要とする点にも留意が必要です。

したがって、はじめに受信イコライゼーションを最大量で適用する方法が適切です。イコライゼーションだけでは不十分な場合にエンファシス・レベルを上げていきます。DS25BR100/110/120/150バッファ・ファミリは、このような要件に対応します。システム内での併用に便利なP/E機能とEQ機能が複数の設定とともに搭載されています。

7.4 ランダム・ノイズ

ランダム・ノイズは、電子が持つランダムな性質と、電子が電気的チャネル内で情報を持ち運ぶときのランダムな衝突に起因して発生します。すべての電子部品はある程度のランダム・ノイズを有しますが、このノイズは最終的にはノイズ電圧として現れ、データ・エッジのランダム・ジッタの要因になります。

ランダム・ノイズの対数は、電子が持つランダムな性質と、電子が電気的チャネル内で情報を持ち運ぶときのランダムな衝突に起因して発生します。すべての電子部品はある程度のランダム・ノイズを有しますが、このノイズは最終的にはノイズ電圧として現れ、データ・エッジのランダム・ジッタの要因になります。ランダム・ノイズはほとんどがガウス分布を持ち、rmsまたはピーク・ツー・ピーク値で測定します。後者の測定は固有のビット・エラー・レート(BER)を仮定します。

ランダム・ノイズはランダム・ジッタの予見不可能であり、そのためイコライゼーションでは補償できません。
7.5 リクロック・レシーバ（リクロッカ）

ランダム・ジッタ（RJ）、クロストーク、反射、残存Deterministicジッタ对策では、もう1つのシグナル・コンディショニング・デバイスであるリクロッカを検討してください。リクロッカは、送られてくるデータを調べ、内部のローカル・クロック・ソースを信頼データ・パターンに揃えます。リクロッカは完全な整合を完了した後、リカバ・クロックと呼ばれる内蔵クロックを使用して、送られてくるデータを再サンプリングします。このような処理と関連する回路を使ってCDRシステムの中核を形成します。

サンプリング（またはリラッチまたはリクロック）では、送られてくるデータをアイ・オープニングの正確な中央でストローブし、結果をバイナリの1または0として記録します。このようなストローブ回路の理想出力には振幅ジッタもタイミングジッタも含まれません。実際の内部クロック源は、ある程度の残存RJを生むタイミング・ジッタを有します。また、クロック・リカバ回路は、過度のDJやRJが存在するデータに対しては、位置合わせができません。また、入力アイ・パターンが部分的に閉じていると、サンプリングによってクリーンなアイ・ダイアグラムが出力として得られる可能性もありますが、ビット・エラーも生じます。

図7-14. イコライゼーションとリクロッキングを使った復元信号
したがって、ビット・エラー・レート・テスト (BERT) を行なって、エラーを起こさずにシステムが動作することを確認しなければなりません。ビット・エラーを招かず、CDR システムが許容できる入力ジッタ量を入力ジッタ許容 (IJT) と呼びます。LMH0346 などのリクロッカは 0.6 UI のジッタが存在するデータも復元可能です。

チャネル ISI で生じるジッタは、最も優れた CDR テクノロジーが取り扱える量を超える場合もあります。そのため、イコライゼーションを使った損失性メディアの補償シグナル・コンディショニングの効果を示すために、損失性メディアを通過する信号のアイ・ダイアグラムを検証してみます。長い PCB トレースやケーブルが減衰を与えた帯域が不足していることは、メディアを通過した後の擬似ランダム・パターンの高速信号を見れば容易にわかります。図 7-15 に示すように垂直方向と水平方向に間違ったアイ・パターンが得られます。

7.6 ビット・エラー・レート (BER) とジッタ (ランダムと確定)

ジッタには、ランダム・ジッタ (RJ) と確率的ジッタ (DJ) の 2 種類があることはすでに述べました。DJ は有限な大きさで予測可能です。一方の RJ は、大きさがランダムで、一般には平均がゼロで Σ がデータシート記載の二乗平均平方根 (rms) 秒となるガウス分布に従います。システムのビット・エラー・レートの要件に基づいて、RJ を注意深く抑えなければなりません。ガウス分布を仮定した場合、1e-12 BER を達成するには、システム設計者は 14 Σ までのランダム・ジッタの広がりを許容しなければなりません。

同様に 1e-15 BER の場合は、広がりは 16 Σ まで許容しなければなりません。また、複数のジッタ源が存在する場合、式 7-15 に示すように、各 RJ 因子は rms 形式で加算し、各 DJ 因子はそのまま加算しなければなりません。総ジッタは下流側のリクロッカや SerDes が取り扱える量、すなわち IJT 仕様値よりも小さくなければなりません。

式 7-15. すべての因子を加えた総ジッタ値の計算:

総ジッタ (TJ) = Nsigma × sqrt(RJ1² + ... + RJn²) + DJ1 + ... + DJn < IJT (レシーバ)

イコライゼーションを使った損失性メディアの補償

シグナル・コンディショニングの効果を示すために、損失性メディアを通過する信号のアイ・ダイアグラムを検証してみます。長い PCB トレースやケーブルが減衰を与えた帯域が不足しているときは、メディアを通過した後の擬似ランダム・パターンの高速信号を見れば容易にわかります。図 7-15 に示すように垂直方向と水平方向に間違ったアイ・パターンが得られます。

図 7-15. 擬似ランダム LVDS 信号をメディアなし (左) でオシロスコープに直接接続した場合と、同じ信号を 71.1cm の FR-4 トレースを介してオシロスコープに接続した例 (右)
入力イコライゼーションはデバイスの入力側に接続されている実際の損失性線路と整合がとれるように設計します。イコライザは、インターコネクトに存在するメディア起因のAC損失を補償しようと試みます。71.1cm(28インチ)のFR-4トレースと入力イコライゼーションを有するデバイスを通過した前後の信号を図7-16に示します。71.1cmのトレースによって3.125Gbpsの信号に近い8dBの損失が生じています。イコライザ・デバイスにはトレースの8dB損失に近い逆のゲインが設定され、この場合ではおよそ7.5dBです。

図7-16. ストリップラインを通過前の3.125GbpsのNRZ PRBS-7信号(左)とイコライザ・デバイス通過後の信号(右)(V:125mV/div、H:50ps/div)

イコライザ用いるとケーブル・メディアを数百メートルまで延長できます。DVI、CAT-5、あるいは類似のタイプのケーブルを長く使用するアプリケーションが一例として挙げられます。次に、200mのBelden同軸ケーブルとDS15BA101/EA101を使った環境で、イコライゼーションの適用有無によってその効果を示した波形を、図7-17と7-18に示します。

図7-17. 200mのBelden9914ケーブルを通過後の1.5GbpsNRZPRBS-7信号(補正なし)。
スコープ：V:100mV/div、H:100ps/div
図 7-18. 200m の Belden 9914 ケーブルを通過後にイコライズを適用した 1.5Gbps NRZ PRBS-7 信号。
スコープ：V:100mV / DIV, H: 100 ps / DIV

プリエンファシスのアイダイアグラム
出力プリエンファシスは、立ち上がりと立ち下がり遷移時に出力レベルを短時間だけ昇圧して、駆動メディアの長さを延長します。プリエンファシス・デバイスは通常、適用するプリエンファシス量の大きさを数段階で設定できるようになっています。71.1cm (28インチ) の FR-4 トレースでプリエンファシス適用有無の例を図7-19に示します。

図 7-19. プリエンファシスなし (左) と 6dB の出力プリエンファシスあり (右) で駆動した 71.1cm のトレス出力
PE/EQ の組み合わせ

プリエンファシスとイコライゼーションは、それぞれFR-4ストリップラインを75cmから1mにわたって延長できるため、送信デバイスと受信デバイスをペアで使えば、メディアの長さを1.8mから2m程度延長することが可能です。

図7-20. 6dB PEに設定した出力プリエンファイス・デバイスから1.8mトレースを介して-6dB EQに設定した入力イコライゼーション・デバイスを駆動した例

図7-21. プリエンファシスなし（左）と6dB プリエンファシスあり（右）で1.8m FR-4トレースを介して6dB 入力イコライゼーションを駆動した例（波形は2.5Gbpsで取得）
複雑な高速インターフェイス設計ではモデル化が必要でしょう。高速インターフェイス・デバイス用に単純で正確なモデルを使用するシミュレーション・ツールが提供されています。シミュレーションは設計フローの初期段階で、設計の課題や不足している点をおおまかに理解するために有用です。この段階では絶対的な精度よりも使いやすさや処理の速さが重要です。その後、設計が固まってくるにつれて、シミュレーションには実際のシステム性能を良好に近似する役割が求められています。

8.1 入力 / 出力バッファ情報仕様

IBIS (Input/output Buffer Information Specification) ファイルは、高速で正確なビヘイビア・シミュレーションを行う場合に欠かせない要素です。

IBIS モデルは 4 つの重要な基準を満たします。
- モデルは標準化されていて、半導体メーカーの特有の IP 依存することなく、素直に作成できる
- IBIS モデルは正確であり、SPICE 結果、実験結果、あるいはその両方に従って作成される
- 多くのアナログ・シミュレータや設計自動化 (EDA) ツールが IBIS モデルをサポートしている
- IBIS ビヘイビア・モデルにはシミュレーションが収束しないという問題がなく、また、正確な結果が速やかに得られる

IBIS は ANSI/EIA-656-A として承認された業界の標準規格であり、半導体メーカーと EDA メーカーから広く支持されています。IBIS ビヘイビア・モデルはバッファの入出力を ASCII のテキスト形式で記述した I-V データと V-T データで構成されています。これらデータに標準規格が必要とする他のデータを組み合わせて、デバイスの I/O ビヘイビアのモデル化が行なわれます。代表的性能とワーストケース性能の両方をモデル化できるように、IBIS ファイルは代表値、最大値、最小値で構成されます。

IBIS スタンダード・バージョン 1.0 は 1993 年に発表されました。現在のバージョンは 4.2 になっていて、下位互換性が維持されています。この標準規格は元々シングルエンド・テクノロジーを対象に開発されたもので、差動信号は差動ピン・マッピングによって取り扱います。非差動ピンを反転ピンと非反転ピンに分割し、シミュレーション・ツールにそのピンが差動であることを知らせます。ただし、デバイス IBIS ファイルには、あたかもシングルエンド・デバイスであるかのように、各ピンを抽出します。新しい IBIS バージョン (4.2) は他のシミュレーション言語 (たとえば SPICE) を IBIS モデル内に統合して使うことが可能です。このような新しい仕様によって、イコライゼーションやプリエンファシスといった非リニアなシグナル・コンディショニングのモデリングがサポートされます。

IBIS 仕様には複数のモデルタイプが定義されています。「入力」「入力 / 出力」「3 ステート出力」「オープンドレイン」などがその例です。高速差動で一般的となるタイプは「入力」と「3 ステート出力」です。
8.2 IBIS のビヘイビア図

レシーバの「入力」IBIS モデル構造の典型例を図 8-1 に示します。パッケージの RLC 値は、R_pkg, L_pkg, and C_pkg によって表されます。入力容量 (CIN) は C_comp 値で、デバイスの ESD 構造は Power_Clamp and GND_Clamp で定義されます。

図 8-1. IBIS

8.3 ステート出力モデル

3 ステート出力の場合、出力はハイ・ステートとロー・ステートのほか、ハイ・インピーダンスに設定できます。ハイ・インピーダンス状態での I-V データは電源クランプとグラウンド・クランプ・データです。電源クランプとグラウンド・クランプ特性は出力モデルの ESD 構造を決め、入力のクランプと同じように振る舞います。デバイス駆動の能力はハイ・ステートとロー・ステートのそれぞれで 3 種類のパラメータでモデル化されます。ハイ / ローの駆動の強さ、立ち上がりと立ち下がりエッジの両方のスルーレートを記述したランプ項、そして出力状態の遷移に対応した立ち上がり / 立ち下がり波形値によって V-I 特性を記述します。

図 8-2. IBIS の 3 ステート出力構造モデル - 入力モデルと同じ表記を使用、パッケージ特性と ESD 構造が含まれる
8.4 IBIS オデルの作成

IBIS モデルは、実験結果や SPICE シミュレーション・データ、あるいはその両方を用いて作成します。実験結果はデバイス・シリコンの実際の性能を測定したものですが、結果にはいくつかの制約が存在します。まず、実験結果からはプロセスのコーナー条件を近似することが困難です。また、IBIS が必要とするパッケージ特性を切り分けがありません。

最も高い精度が得られる SPICE ネットリストを使って、IBIS ファイルの代表値、最大値、最小値などを生成しています。代表値の条件は公称 VCC、室温、公称プロセスです。最小値の条件はウィーク・プロセス、高温、最低 VCC です。最大値の条件は、ストロング・プロセス、低温、最高 VCC です。次に、SPICE 生成の V-I カーブと実験環境でのデバイスの実際の性能データとを比較してモデルを検証します。最後に文法と IBIS の構文解析を確認し、ウェブサイトにアップロードして公開されます。

図 8-3. LVDS デバイスの IBIS モデルの代表的なスルーレート曲線

IBIS モデルにはプリエンファシスのような信号調整を適切にサポートできない制約があります。これらの機能が必要とするシミュレーションでは、SPICE のようなより複雑なモデルが必要です (セクション 8.6 で後述)。
8.5 散乱パラメータ（Sパラメータ）

Sパラメータは通信システムで使われる特性データで、リニア・ネットワークの電気的特性を定義および表現します。Sパラメータは安定状態にエネルギーを与えたときのネットワーク応答の小信号表現です。

IBISモデルは実際のICの単純かつ正確なモデル化に使われますが、Sパラメータはバッシブ・インターコネクトのモデル化に使われます。ドライバとレシーバ間のインターコネクトは、FR-4トレースだけの単純な事例であるが、複数のコネクタやメディアやビアが存在する複雑な事例もあります。いずれの条件でもSパラメータを生成して正確なシグナル・インテグリティ・モデルのシミュレーションが行なえます。

SパラメータにはIBISモデルと同様に、業界標準のフォーマットであること、素直に生成できること、高速かつ正確なシグナル・インテグリティ・シミュレーションが行なえること、といったメリットがあります。Sパラメータ・モデルでは、インターコネクトの複雑さとは関係なく、そのノードの挙動は、その他のノードへのエネルギーの入力で推測できます。

図8-4. 4ポートのSパラメータ・モデルの典型例

Sパラメータの名称には2桁の数字を使ったルールが決められていて、最初の文字がビヘイビアを表す対象ノードを示し、2文字目が刺激を与えるノードを示します。たとえばS21はノード1に与えたエネルギーに対するノード2の応答を表します。このような各ノード同士の相互作用はマトリックス形式で記述され、4ノードの場合は4×4です。図8-4に示す4ポート・モデルではノード1の刺激に対する応答は次のように表記されます。

S11 反射 - ネットワークからノード1に反射して戻ってくるエネルギーを表します。
S21 插入損失 - 信号がノード1からノード2に伝搬したときに、ネットワーク内部で生じる信号損失の大きさを表します。
S31 近端クロストーク
S41 遠端クロストーク

図 8-4. 4ポートの S パラメータ・モデルの典型例
半導体の I/O モデル

S パラメータは dB を単位として表現され、表 8-5 に示すように、周波数との関係でプロットされます。dB 値は式 \( \text{dB} = -20 \log_{10} \) を用いて計算します（受信信号/送信信号）。S パラメータはパッシブ・ネットワークの定義に用いられるため、考えられる最大値を 0dB と仮定します。すなわち信号減衰のない状態です。30% の減衰は -3dB、50% の減衰は -6dB、といった値になります。

表 8-5. 周波数との関係でプロットした S パラメータ

<table>
<thead>
<tr>
<th>正規化 Rx</th>
<th>信号強度 (dB)</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>0.0</td>
</tr>
<tr>
<td>0.7</td>
<td>-3.1</td>
</tr>
<tr>
<td>0.5</td>
<td>-6.0</td>
</tr>
<tr>
<td>0.25</td>
<td>-12.0</td>
</tr>
<tr>
<td>0.1</td>
<td>-20.0</td>
</tr>
<tr>
<td>0.05</td>
<td>-26.0</td>
</tr>
<tr>
<td>0.001</td>
<td>-60.0</td>
</tr>
</tbody>
</table>

図8-6の例で、S_{21}（挿入損失）はおよそ 1GHz までほぼ平坦ですが、その後は損失が急激に大きくなり、10GHz ではおよそ -25dB の損失が生じています。このような特性は損失性メディアを介したソースからレシーバに至る伝送損失として典型的です。S_{11}（反射損失）はおよそ -35dB で、ネットワーク全体で一定のインピーダンスを示しています。S_{31} と S_{41}（近端クロストークと遠端クロストーク）は -50dB 未満で、きわめて小さい様子がわかります。
8.6 SPICE モデル

SPICE (Simulation Program with Integrated Circuit Emphasis) は IC モデリング・ツールとして 30 年以上にわたって業界で広く利用されてきました。SPICE は、DC、AC、遷移刺激などのさまざまな条件下で、大規模なパッシブ回路要素とアクティブ回路要素のモデル化に使用されています。SPICE を一言で述べると、ネットワークを複数の複雑な式で定義し、初期条件と入力刺激を与えて、回路のビヘイビアを正確に予測するツールです。

SPICE は多くの式を繰り返しによって解きますが、シミュレーション時間が長くなることや、場合によっては収束しないこともあります。利用できるコンピュータの性能が劇的に向上するとともに回路モデルの品質が上がってきたため、このような制約は現在ではそれほど問題になりません。SPICE を使うことで巨大かつ複雑なアナログ・ネットワークの正確なモデリングが可能です。

SPICE はアクティブな回路要素を正確にモデル化できますが、モデルが広く供給されているのは IBIS です。その理由は、SPICE モデルにはメーカーの知的財産権に関連する情報を含む場合があるため、メーカーがモデルを提供しないこともあるかもしれません。あるいは、機密保持契約 (NDA) のもとでのみ提供される場合もあります。メーカーが提供する SPICE モデルは、センシティブな知的財産権を保護する目的で、同じ挙動ながら内部を変更した簡略版となっている場合も少なくありません。SPICE シミュレーションは複雑で、短時間で比較的正確なシミュレーションを行う際に好まれる IBIS を用いたシミュレーションに比べて、はるかに長い時間を要します。ただし絶対的な精度が必要な時は SPICE ツールの利用が望まれます。
9.1 クロック分配とシグナル・コンディショニング

LVDS や CML は、シングルエンド・ソリューションよりもはるかに高い性能を得ることを目的として、しばしばクロックの分配に使われます。クロック分配にはポイント・ツー・ポイントとマルチポイントの 2 種類のアーキテクチャがあります。

ポイント・ツー・ポイントでのクロック分配

「1 対 n」またはファンアウト型として知られるポイント・ツー・ポイント・アーキテクチャは、ジッタがきわめて小さく、きわめてクリーンな信号を実現できるため、クロック・レートが高いアプリケーションやジッタ要件がきわめて厳しいアプリケーションに適します。

DS90LV110A はファンアウト型クロック分配デバイスの一例です。

マルチポイントでのクロック分配

マルチポイント・クロック分配はバックプレーン環境に適した効率的かつ低コストなソリューションです。マルチポイント・ソリューションでは、バックプレーン・トレース本数あるいはケーブル本数の削減が望まれるとともに、冗長性のサポートも場合によっては必要です。マルチポイントでのクロック分配に M-LVDS を採用している例として、Advanced Telecom and Computing Architecture (ATCA) などが挙げられます。
マルチポイント構成には駆動力の強い B-LVDS か M-LVDS が適します。スタブ長の短い短距離メディアを駆動したときに最も高い性能が得られます。マルチドロップの構成はマルチポイントの構成と似ていますが、ドライバはひとつのみでレシーバが複数存在します（図 9-2）。

図 9-2. マルチドロップ環境

DS92CK16 トランシーバは、マルチポイント・バックプレーンを駆動する B-LVDS と、カードのローカル側用に 1 対 6 の TTL ファンアウト・バッファを備えています。ほかにも複数のデバイスがマルチポイントに対応しています。該当するデバイスを表 9-3 に示します。

表 9-3. クロック分配デバイス

<table>
<thead>
<tr>
<th>デバイス</th>
<th>FMAX MHz</th>
<th>Rx 数</th>
<th>Tx 数</th>
<th>備考</th>
</tr>
</thead>
<tbody>
<tr>
<td>DS92LV010</td>
<td>75</td>
<td>1</td>
<td>1</td>
<td>TTLからB-LVDS。最大32負荷を駆動</td>
</tr>
<tr>
<td>DS91D176</td>
<td>125</td>
<td>1</td>
<td>1</td>
<td>TTLかM-LVDS。DS91C176はタイプ2フェイルセーフ、DS91D180は全二重</td>
</tr>
<tr>
<td>DS92001</td>
<td>200</td>
<td>1</td>
<td>1</td>
<td>LVDS から B-LVDS</td>
</tr>
<tr>
<td>DS92CK16</td>
<td>125</td>
<td>1</td>
<td>6</td>
<td>1 B-LVDS冗長性サポート。マスタまたはスレーブ</td>
</tr>
<tr>
<td>DS90LV110</td>
<td>400</td>
<td>1</td>
<td>10</td>
<td>フェイルセーフ付きはDS90LV110A</td>
</tr>
</tbody>
</table>

クロック・コンディショナ

LMKファミリなどシグナル・インテグリティを目的としたクロック・デバイスには、システムやバックプレーンのクロック性能を改善するさまざまな工夫が取り入れられています。
高精度クロック・コンディショナであるLMKファミリは、マルチポイントまたはマルチドロップ環境で、レシーバを直接駆動できます。终端が最大で32個あるマルチポイント環境では、負荷によってデューティサイクル、エッジレート、システム・マージンに影響が及びます。LMK04000/LMK03000/LMK02000クロック・コンディショナ・ファミリは、ノイズやジッタの多いクロックをバックプレーンから受け取り、クリーンかつバランスの取れた同じ周波数または周波数逓倍クロックを複数のカード・スロットに供給します。クロック・クリーニングや周波数逓倍が必要ない場合は、超低ジッタのクロック分周器かつ分配器としてLMK01000ファミリが使えます。

たとえば、すべての負荷が接続されたATCAバックプレーン上で、スロット7からスロット8へ122.88MHzのクロックを駆動した例を図9-5に示します。この環境でクロック信号は帯域不足の影響を受けるとともに、デューティサイクルは45%から55%になります。
図9-6に示すLMK03000クロック・コンディショナによるデューティ・サイクル補正に着目してください。互いにピン互換性を有するLMKファミリは、業界トップクラスのジッタ性能を誇り、最高1080MHzのLVDS出力とLVPECL出力の両方を備えています。このファミリ製品(表9-4)は、デューティ・サイクル歪みなく十分な位相マージンと低ジッタを有するクロック信号を、複数のクロック周波数により最大8系統でカード・アプリケーションに分配します。LMK04000ファミリは、カスケードPLLアーキテクチャを採用し、高価なVCXOを使用せずに優れたジッタ・クリーニングを実現します。

9.2 システム・クロック分配

Advanced Telecommunications and Computing Architecture (ATCA) や MicroTCA システムなど多くの通信システムは、内部インタフェイスと外部ネットワークとの同期を必要とします。システム内に同期クロック・インタフェイスを定義している PCI Industrial Computer Manufacturers Group (PICMG) の各規格は、クロック信号を分配する役割を、TIA/EIA-899 標準規格（マルチポイント小振幅差動信号方式または M-LVDS）に準拠した IC に割り当てています。

このセクションでは AdvancedTCA と MicroTCA に準拠したクロック分配ネットワークの概要を説明します。M-LVDS のクロック分配設計ガイドラインはアプリケーション・ノート AN-1503「AdvancedTCA 規格に準拠した M-LVDS クロック分配システム設計」を参照してください。

ATCA 同期クロック・インタフェイス

AdvancedTCA バックプレーンでは、クロック同期化インタフェイスを用いてバックプレーン内のすべてのスロット間でタイミング情報が交換されます。この仕組みには 3 系統の冗長クロック・バス CLK1、CLK2、CLK3 が用いられます。各クロック・バスは M-LVDS クロック／ドライバ／レシーバと接続されマルチポイント・クロック分配ネットワークを構成します。バックプレーンに複数のライン・カードを実装したときに構成される 6 系統の M-LVDS クロック分配ネットワークを図9-7に示します。

![AdvancedTCA バックプレーン](image)

図 9-7. AdvancedTCA クロック分配インターフェイスの例
短く幅の狭いスタブと、制御された出力エッジレートを有する信号ドライバ（M-LVDS ラインドライバ）との組み合わせが、あらゆるマルチポイント・ネットワークでノイズ・マージンの確保と全体性能の向上に不可欠です。AdvancedTCA バックプレーンで M-LVDS クロック分配ネットワークを採用することで、このようなメリットが得られています。

**MicroTCA 同期化クロック・インターフェイス**

MicroTCAは非冗長と冗長の両方のクロック・アーキテクチャを定義しています。非冗長アーキテクチャの対象は、図9-8に示すように、MicroTCAキャリア・ハブ(MCH)が1つのみの例です。クロック・バスはMCHカード点のバックプレーン上とAdvanced Mezzanine Card (AMC)で終端され、ポイント・ツー・ポイント・トポロジーを形成します。

冗長クロック・アーキテクチャの対象は、図9-9に示すように、デュアルMCHシステムが冗長構成となる例です。トポロジー的にはマルチポイントの亜種となりますが、直列抵抗を使用して非終端スタブの影響を最小限に抑えています。M-LVDSデバイスは信号エッジが制御されているため、システム内の全カードにクロックを分配することが可能です。
9.3 FPGA 性能の補完

最近のシステムには拡張性や自由度、プログラム性を高める目的でアップグレード機能が盛り込まれるようになり、通信やコンピュータ、産業機器、さらには航空機にも、フィールド・プログラマブル・ゲートアレイ (FPGA) が搭載されることも珍しくなくなりました。FPGA は、高速インターフェイス、組み込みマイクロプロセッサ、デジタル信号プロセッサ (DSP) など、さまざまな組み合わせで使われています。

このような特長を持つ FPGA ですが、いくつかの制約も存在します。マルチドロップ LVDS 信号環境の標準規格である EIA-899 への準拠が課題の 1 つです。通常 FPGA は、システムが必要とする機能や規模を中心に選択されます。そこで適切な補完部品を採用して、FPGA が対応できない仕様や機能に対応する方法が考えられます。

FPGA の伝送距離を延長する SerDes

Altera の Cyclone および Xilinx Spartan の製品ラインは、低速から中速のアプリケーションを想定した低価格 FPGA の一例です。このような FPGA には、高速通信が必要となるシリアルライズやデジタルライズ回路が搭載されていないほか、最大データレートも 640Mbps に制限されています。そのため Cyclone と Spartan の外付けインターフェイスの適当な候補として SerDes が挙げられます。FPGA に外付け SerDes インターフェイスを組み合わせることで、パラレル・インターフェイスあるいは複数ベア・インターフェイスは、1 本または複数本の高速信号ペアに凝縮されます。

外付け SerDes のパラレル・インターフェイスによって、LVCMOS 信号のパラレル・インターフェイス全体が低消費電力の高速差動信号に置き換えられるため、より高速差動信号に置き換えるため、元々 LVCMOS 信号がやや遅いとされていたパックプレーンまたはリボンケーブルの距離の延長が図れます。その結果、システムの EMI とともに、システム内で発生する同時スイッチング出力 (SSO) のノイズが抑えられます。グラウンド・バウンディングとして知られる SSO のノイズは、IC の電源／グラウンド系のインダクタスを流れる電流が瞬間に大きく変化したときに発生します。SSO の問題は、FPGA 回路のアクティブで高駆動な LVCMOS 出力の本数が増えるにつれて、より深刻になります。複数のパラレル・インターフェイスを備えた大規模な FPGA の場合、SSO はシステム性能を悪化させるほか問題的なデータ・エラーの原因となります。
重要な負荷容量

データレートが Gbps オーダーになると、I/O 容量もシグナル・インテグリティに影響を与えるようになっています。インテグリティを往復する送信データの遅延時間がユニット・インターバルに近いか越えた場合に、一部の FPGA で I/O 容量が大きな問題として顕在化します。I/O 容量が大きいとトランスミッタ点とレシーバ点でインピーダンス低下を引き起こします。このような不連続点で生じる反射エネルギーの一部は伝送メディアに反射し戻っていきます。

反射した遷移エネルギーが複数回の往復遅延サイクルを経てバックグラウンド・ノイズ・レベルに低下するまで、インピーダンスの不連続が常に反射することに発展されます。伝送線路のシールド長さやシリアル・データのビット幅に応じて、前のデータ反射により生まれた反射はしばらく起こしたあとのデータ・パターンに現れます。反射による余剰エネルギーによってジッタは増加し、インターフェイス全体のノイズ・マージンを低下させます。

図9-11. 負荷容量の影響による ISI の例

データレートを 1Gbps に高めるとドライバとレシーバからの反射はほぼ 7UI の間に広がる。レシーバ点での信号の遷移位置は、その前の 7 ビットの間に起こったすべての遷移に影響され、結果としてアイ・ダイアグラムには大きな DJ エネルギーが現れる。

容量の大きな I/O の影響を抑えるには伝送メディアの反射による往復遅延を短くしなければなりません。遅延がシリアル・データの単一ビット幅未満となるように短くするのが理想的です。ただし、伝送距離を短縮する対策方法は、集中した容量成分によって帯域が狭くなる問題を解決するわけではありません。きわめて短い伝送線路に容量成分を配置させ、複数のデータ反射を単一ビット周期内に収めることができることが可能です。各反射でダイナミックエネルギーは小さくなり、受信デバイス点で高品質な信号が得られます。
LVDS レベル変換

FPGA LVDS アーキテクチャで 1Gbps 以上に対応することは困難ですが、ディスクリート LVDS を使用すれば 3Gbps を超えるデータレートにも効率的に応答可能です。それでも 1Gbps 以上のデータレートで LVDS を使うのであれば、信号振幅、出力電圧、レベル変換などの観点で、他の差動テクノロジーを併用したほうが適当な場合や、設計のトレードオフで解決しなければならない場合があります。

システム設計で越えなければならない最初のハードルは信号振幅の評価です（図 9-12）。LVDS や他の差動インターフェイスは異なる方法で振幅が定義されています。LVDS の場合、出力振幅あるいは $V_{O}$ (EIA/TIA-644A による規定) は、100Ω負荷を用いたときのドライバ出力両端の電圧差として規定されています。他の差動規格は出力電圧振幅をピーク・ツー・ピーク値で規定しています。したがって、400mV の LVDS $V_{O}$ は、800mV ピーク・ツー・ピーク CML 出力と振幅はまったく同様です（詳細は 31 ページの「終端とレベル変換」セクションを参照）。

LVDS デバイスのレシーバは他のいかなる差動テクノロジーよりも高い自由度を有します。入力コモンモード範囲が広く、1.2V/1.5V/2.5V CML や LVPECL 差動 I/O の通常の動作範囲まで収容可能です。そのため、ほとんどの差動出力は LVDS 入力で直接接続でき、PCB 面積の小型化と複数の AC 結合コンデンサのコストの節減が図れます。また、最小 LVDS 出力 $V_{O}$ は 250mV またはピーク・ツー・ピークで 500mV と規定されています。LVDS は出力振幅がこのように小さいため、低 EMI かつ細か電流がソリューションが実現されるほか、出力セクション・コンディショニング機能と組み合わせさせれば長いケーブルや大量のバックプレーンの駆動が可能です。

LVDS 出力は内部バンドギャップ・リファレンスで生成される 1.2V コモンモード電圧で駆動されます。ほとんどの LVPECL 入力と DC 結合が可能です。ただし、CML 入力( コモンモード範囲が狭い) に接続する場合は、LVDS の出力振幅が CML の規定コモンモード要件に適合しないため、AC 結合が必要です。

冗長性を備えたマルチプルスアスリューションを低電圧で実現するには、高速 FPGA CML I/O に高性能 LVDS クロスポイント・スイッチを組み合わせます。

LVDS 入力は 200mV から 1600mV の範囲のピーク・ツー・ピーク振幅で動作するように設計されていますが、500mV から 800mV の範囲の信号の場合に最適な性能が得られます。CML 出力を 600mV から 800mV の範囲に設定すると、FPGA 内蔵 SerDes で消費する送信のための電力を低減しインタフェイス全体の EMI を抑えられます。

図 9-12. さまざまな差動インターフェイスの $V_{O}$ と入力コモンモード範囲

<table>
<thead>
<tr>
<th>出力電圧振幅とオフセット</th>
<th>2.0V</th>
<th>1.5V</th>
<th>1.0V</th>
<th>0.5V</th>
<th>0V</th>
</tr>
</thead>
<tbody>
<tr>
<td>LVDS</td>
<td>0.6V</td>
<td>0.8V</td>
<td>1.0V</td>
<td>1.5V</td>
<td>2.0V</td>
</tr>
<tr>
<td>Virtex-5</td>
<td>0.6V</td>
<td>0.8V</td>
<td>1.0V</td>
<td>1.5V</td>
<td>2.0V</td>
</tr>
<tr>
<td>Stratix II GX</td>
<td>0.6V</td>
<td>0.8V</td>
<td>1.0V</td>
<td>1.5V</td>
<td>2.0V</td>
</tr>
</tbody>
</table>

冗長性を備えたマルチプルスアスリューションを低電圧で実現するには、高速 FPGA CML I/O に高性能 LVDS クロスポイント・スイッチを組み合わせます。
つまり、FPGA に適切な補完デバイスを組み合わせることで、多くの場合にその性能と自由度のさらなる向上が図れます。外部に SerDes を設ければ低コストの Spartan や Cyclone デバイスの同時スイッチング出力ノイズを抑えられます。外部にシグナル・コンディショニングを設ければ FPGA のケーブル伝送距離の延長が図れます。FPGA の入力容量 C_IN が大きいとリングングやビット・エラーを招く場合がありますが、リピータを併用すれば実質的に容量を「隠す」ことができます。高駆動の B-LVDS や M-LVDS デバイスを使えばマルチドロップを対象とした信号のバッファが可能です。以上はすべて、FPGA 性能を補完し自由度を高めるディスクリート・デバイスの使用例です。

9.4 放送ビデオ

最近の放送ビデオは高速でエラーのないシリアル・デジタル・ビデオ伝送に依存しています。必要なシグナル・インテグリティを維持するには、ジッタの抑制とノイズの低減が不可欠です。簡略化した 3Gbps SDI (Serial Digital Interface) ビデオルータの例を図9-13に示します。
高速データ伝送でのシグナル・インテグリティの維持にはいくつもの課題があります。図 9-13 の 3Gbps SDI ルータは、シグナル・コンディショニングを備え、元のインテグリティに波形を再構築します。SDI イコライザは波形の「アイ（目）」を開けるとともに ISI を抑えます。LMH0344 アダプティブ・ケーブル・イコライザは、3Gbps レートで 120m、HD レートで 140m、SD レートで 350m までの同軸ケーブルに自動的に適応します。

DS25CP104 4 × 4 LVDS クロスポイント・スイッチは、さまざまなシステム・アーキテクチャに応じて適用量を設定できる FR-4 イコライゼーションとプリエンファシス機能を内蔵しています。SDI リクロッカは高周波ジッタを低減し明瞭でクリーンなエッジを与え、ケーブル・ドライバは SMPTE (Society of Motion Picture and Television Engineers) で規定されている SDI 標準規格に準拠するように適切な振幅とスルーレートを設定します。

SD、HD、3Gbps SDI アプリケーションに対応したビデオ製品の幅広いラインアップが提供されています。

9.5 SerDes 距離の延長

現在の高速システムでは、シリアライザとデシリアライザ (SerDes) は不可欠な役割を担っています。ただし、システムの制約の 1 つが、シリアライザとデシリアライザ間の最大伝送距離です。多くの SerDes は、数メートルのケーブルの伝送しかサポートできない一方で、シリアライザとデシリアライザ間で数百メートルの伝送を要求するシステムもあります。SerDes チップセットを使ったアプリケーションで伝送距離を延長するのが、図 9-14 に示す DS15BA101 と DS15EA101 などのケーブル・エクステンダ・チップセットです。

図 9-14. ケーブル・エクステンダ・アプリケーションの代表例
自動的なイコライゼーションはケーブルのトランスミッタ端での信号振幅に依存することを理解する必要があります。DS15EA101は、シングルエンド（同軸ケーブルのイコライズ）か差動信号（差動バランス・ケーブルのイコライズ）の振幅を、800mV p-p ± 10%と「仮定」します。DS15EA101内部のエネルギー検出回路が送られてくる信号の振幅をセンスし、そのアナログ情報は、信号の高周波成分に特定量のゲインを適用するようイコライザ・フィルタに指示する、自動イコライゼーション制御回路に伝えられます。

振幅が正負の方向にかかわらず偏っていると、イコライザ・フィルタでゲイン過多またはゲイン不足のいずれかが発生します。イコライザ・ゲインとケーブルの損失特性が整合しないと、イコライザ性能が発揮されず出力残存ジッタが大きくなり、最終的にはシステム・ビット・エラーに至る可能性があります。50Ω同軸ケーブルか100Ω差動バランスケーブル（2芯同軸ケーブルとツイストペアケーブル）を採用したシステムの両方で、先ほどのDS15EA101デバイス要件を満たすDS15BA101デバイスを、DS15EA101のコンパニオン・デバイスとして使用するようにしてください。

ケーブル・エクステンダ・チップセットの利点

ケーブル・エクステンダ・チップセットにより、動作範囲が0.15Gbpsから1.5Gbpsのシリアル化されたデータを送信/受信するすべてのSerDesチップセットにメリットを与えます。一対の高速シリアルDCバランスデータ・ストリーム（エンベッド・クロックSerDesなど）のSerDesとの組み合わせが最も適します。複数のシリアル・データとクロック・ストリームで構成されるSerDes（パラレル・クロックSerDesなど）もケーブル・エクステンダ・チップセットを使うことでメリットが得られると考えられます。これらのSerDesでは、ケーブル損失問題よりも先にチャネル間スキーが顕在化します。表9−15に、ケーブル・エクステンダ・チップセットとの組み合わせに適すると思われるSerDes製品の一覧を示します。

<table>
<thead>
<tr>
<th>SerDes シリアル・データレート範囲 (Mbps)</th>
<th>SerDes チップセット</th>
<th>クロック周波数範囲 (MHz)</th>
</tr>
</thead>
<tbody>
<tr>
<td>192〜480</td>
<td>DS92LV1021A/DS92LV1212A</td>
<td>16〜40</td>
</tr>
<tr>
<td>192〜480</td>
<td>DS92LV1023E/DS92LV1224</td>
<td>40〜66</td>
</tr>
<tr>
<td>240〜960</td>
<td>SCAN921025H/SCAN921226H</td>
<td>20〜80</td>
</tr>
<tr>
<td>450〜1440</td>
<td>DS92LV16</td>
<td>25〜80</td>
</tr>
<tr>
<td>450〜1440</td>
<td>DS92LV18</td>
<td>15〜66</td>
</tr>
<tr>
<td>300〜1320</td>
<td></td>
<td></td>
</tr>
<tr>
<td>140〜980</td>
<td>DS90C124/DS90C241</td>
<td>5〜35</td>
</tr>
<tr>
<td>140〜1204</td>
<td>DS90UR124/DS90UR241</td>
<td>5〜43</td>
</tr>
<tr>
<td>84〜1120</td>
<td>DS99UR103/DS99UR104</td>
<td>3〜40</td>
</tr>
</tbody>
</table>

* 10/16/18ビットSerDesではDCバランス化されたデータをご使用ください。
得られる延長距離の一例

DS15EA101 は、同軸ケーブルか差動バランス・ケーブルで送られたデータのイコライズに最適化されたアダプティブ・イコライザです。ゼロmから750MHzでおよそ35dBの信号減衰を生む長さの範囲まで、任意のケーブル長を自動的にイコライズします。ケーブルの損失特性にもよりますが、数十mから数百mの伝送距離の延長が図れます。ケーブル・エクステンダ・チップセットの詳細、ケーブルごとの代表的な性能、リファレンス回路などは、www.national.com/appinfo/lvds/drivecable02evk.htmlをご覧ください。

シグナル・コンディショニングによる伝送距離の延長

アプリケーションに低品質や中品質ケーブルを使った場合、LVDSデバイス（や他の高速インターフェイスデバイス）の伝送距離は数mもしくはそれ以下に制限されます。高性能かつ低損失ケーブルを使えば長い伝送距離が得られますが、このようなソリューションはシステム・コストを引き上げてしまいます。

LVDS性能の向上に使われる出力のシグナル・コンディショニング手法がプリエンファシスです。プリエンファシスは、制御された振幅と時間で出力をオーバードライブし、ケーブルやバックプレーンの高周波損失を補償して、伝送距離を延ばします。最も単純なプリエンファシスは、図9-16に示すように、先頭ビット全体のみをプリエンファシスする方法です。

![9-16. 1Gbpsタイミングのプリエンファシス信号](image)

イコライゼーション回路は受信信号を調整します。イコライザは、伝送メディアで生じる高周波の劣化または損失に対処することを目的とした、レシーブで適用される機能です。イコライザは、データ信号の周波数帯域に対して、伝送メディアで生じるローパス効果の影響をおよそ補うハイパス・フィルタとして作用し、伝送周波数応答を平坦化します。適用量が適切であれば、イコライゼーションによって、図9-17bに示すように、伝送メディアのISIの影響は大幅に抑えられます。
DS25BR110 パッファなどのハイスピード・デバイスは、レシーバ入力段にイコライザ回路を備え、伝送メディアに起因する周波数依存損失の影響を抑えます（図 9-17）。0dB から 16dB の範囲でイコライザ量を設定できるため、一般的な伝送メディア長の範囲にわたって、信号品質の最適化が簡単に図れます。

パワーセーバー・イコライザ

ケーブル距離を延長するもう 1 つの手段がパワーセーバー・イコライザです。電源やグラウンド接続を必要とせずに最大で 7dB の相対的な昇圧を行ないます。双方向で等しい相対的な昇圧を与え、電源とグラウンドを必要としないことから、コネクタへの実装に特に適します。

図 9-17. 178cm の FR-4 トレイを通過した 2.5Gbps NRZ 信号にイコライザを適用した場合 (A) としない場合 (B)

図 9-18. パワーセーバー・イコライゼーション
9.6 M-LVDS：RS-485 に代わる高速短距離伝送

TIA/EIA-485-A (RS-485) と TIA/EIA-899 (M-LVDS) の両方とも、マルチポイント差動バスを対象にバイナリ・データの相互交換が行なえる、広く知られた電気的標準規格です。いずれの規格も、低消費電力と高速性、および堅牢な差動データ伝送に必要な優れたノイズ耐性を実現することを目的として、差動信号方式を採用しています。

RS-485 は振幅が大きく入力共モード範囲も広いため、ケーブルを駆動したときに長い距離の伝送が可能です。一方の M-LVDS デバイスには、高速、低消費電力、低 EMI といった大きなメリットがあります。このような M-LVDS の特徴は多くのアプリケーションで有効です。

<table>
<thead>
<tr>
<th>パラメータ</th>
<th>RS-485</th>
<th>M-LVDS</th>
</tr>
</thead>
<tbody>
<tr>
<td>VDD [V]</td>
<td>1.5〜5.0</td>
<td>0.48〜0.65</td>
</tr>
<tr>
<td>IDD [mA]</td>
<td>28〜93</td>
<td>9〜13</td>
</tr>
<tr>
<td>IDS [mA]</td>
<td>&lt;250</td>
<td>&lt;43</td>
</tr>
<tr>
<td>tRise / tFall Typ [ns]</td>
<td>5〜50</td>
<td>1〜5</td>
</tr>
<tr>
<td>データレート(Max) [Mb/s]</td>
<td>40</td>
<td>250</td>
</tr>
<tr>
<td>VID [V]</td>
<td>0.4〜5.0</td>
<td>0.1〜2.4</td>
</tr>
<tr>
<td>VICM [V]</td>
<td>−5.0〜12.0</td>
<td>−1.4〜3.8</td>
</tr>
</tbody>
</table>

RS-485 マルチポイント差動バスは到達距離が長く、また一般にケーブルを伝送メディアとして使用したときに用いられる一方、M-LVDS デバイスはバックプレーン環境のアプリケーションに適します。長いケーブルを使用したポイント・ツー・ポイントでの信号伝送は、両インターフェイスのいずれもが特徴を発揮できる共通のアプリケーション分野です。

図 9-20 に、RS-485 と M-LVDS のポイント・ツー・ポイント・リンクで、ケーブル長 (CAT-5e) と ビットレート特性の関係を示します。RS-485 グラフの傾き部分は、周波数 1/100 Hz で最大減衰が 9dB となるように定めています。ここで tUI は、与えられた信号レートのユニット・インターバルです。この考え方は RS-485 ポイント・ツー・ポイント・リンクの最大信号レートを決める際に業界で使われているガイドラインです。RS-485 グラフの平坦部分は、CAT-5e ケーブル (9 Ω/100m) の代表的なオーム性損失を表し、最大許容損失は 9dB です。
電圧振幅の小さなインターフェイスICを使用しネットワークで高データレートの信号を扱う場合（たとえばM-LVDS）、与えられたケーブル長で最大信号レートを決定する汎用的なガイドラインとして、1/μHzで最大減衰6dBという考え方がよく使われます。M-LVDSの点線グラフはそのようなガイドラインから得ています。M-LVDSのレシーバ入力コモンモード範囲は-1.4Vから3.8Vと広いため、±1V程度の電位差がグラウンド・リファレンス間に存在するサブシステムの接続に適する堅牢性を備えていることになります。ただし、このような比較的広い入力コモンモード範囲で対応できる伝送距離は一般に100mまでです。

ドライバ・カードとレシーバ・カードとが100m以上離れたアプリケーションでは、グラウンド電位に±1V以上の差が存在すると推測されます。このような難しい条件では、入力コモンモード範囲が-7Vから12Vと広く、±7Vの電圧差も許容可能なRS-485が推奨されます。伝送距離が100m以下であれば、M-LVDSを使用することで、消費電力とEMIを抑えながら、より高いデータレートをサポートできます。

9.7 冗長性

「High availability（高可用性）」の用語はダウンタイムがきわめて短いシステムを指すときに使われます。よく知られているのは、時間の99.999%がオンラインであるクリティカルなシステムを意味するテレコム業界の「ファイブ・ナイン」があります。High availability（高可用性）を実現する一般的な手法は、必要なハードウェア要素を障害発生時に交替可能なスタンバイユニットとして二重化した冗長構成です。単純化した冗長ネットワークの例を図9-21に示します。

図9-21. 単純化したデュアル・スター冗長ネットワーク

この冗長ネットワークで各ライン・カードは、いずれかのスイッチに信号を送る1対2のバッファと、信号を受信する2対1のマルチプレクサとを必要とします。このような機能を有する専用ICは「マルチプレクサ/バッファ」として知られており、スピード、定格、構成が異なる複数のデバイスが提供されています（表9-22参照）。

設計課題への対応
### 表 9-22. マルチプレクサ / バッファ製品一覧

<table>
<thead>
<tr>
<th>デバイス</th>
<th>データレート (Mbps)</th>
<th>チャネル数</th>
<th>I/O</th>
<th>能力</th>
</tr>
</thead>
<tbody>
<tr>
<td>DS08MB200</td>
<td>800</td>
<td>デュアル</td>
<td>LVDS</td>
<td>800Mbpsマルチプレクサ/バッファ</td>
</tr>
<tr>
<td>DS15MB200</td>
<td>2000</td>
<td>デュアル</td>
<td>LVDS</td>
<td>ブリエンファシス</td>
</tr>
<tr>
<td>SCAN15MB200</td>
<td>2000</td>
<td>デュアル</td>
<td>LVDS</td>
<td>ブリエンファシス、JTAG</td>
</tr>
<tr>
<td>DS25MB100</td>
<td>2500</td>
<td>シングル</td>
<td>CML</td>
<td>イコライゼーション、プリエンファシス</td>
</tr>
<tr>
<td>DS25MB200</td>
<td>2500</td>
<td>デュアル</td>
<td>CML</td>
<td>イコライゼーション、プリエンファシス</td>
</tr>
<tr>
<td>DS40MB200</td>
<td>4000</td>
<td>デュアル</td>
<td>CML</td>
<td>イコライゼーション、プリエンファシス</td>
</tr>
<tr>
<td>DS42MB200</td>
<td>4200</td>
<td>デュアル</td>
<td>CML</td>
<td>イコライゼーション、プリエンファシス</td>
</tr>
<tr>
<td>DS42MB100</td>
<td>4200</td>
<td>シングル</td>
<td>CML</td>
<td>イコライゼーション、プリエンファシス</td>
</tr>
</tbody>
</table>

### 9.8 高速差動ネットワークのテストビリティ

テストビリティ（テスト性）は最先端のシステム設計で欠かせません。テストビリティは、開発期間、製品品質、製造コストに直接関係してきます。高速差動テクノロジーはシステム内の総ネットの大半を占める場合があり、差動信号のテスト方法が大きな課題となります。

デジタル・ロジックで広く採用されている JTAG 標準規格 IEEE 1149.1 は、差動ネットワークのテストにも使われます。各差動ペアは単一ロジック接続として扱われ、図 9-23 に示すように、単一の JTAG バウンダリ・スキャン・セルを使って差動接続部の 1 と 0 の信号のセンスを行います。

この方法はある程度の範囲のテストが可能ですが、2 つの大きな問題が存在します。ほとんどの JTAG テストは 1MHz から 15MHz 程度の遅いクロック・レートで行われます。差動テクノロジーは本質的に差動信号の片方のオープン・シングルまたは短絡、あるいは終端抵抗の欠損といった重度の障害に対して耐性を有するためある程度は動作を続けていまします。JTAG テスト・スピードは遅いため、このような障害が存在する場合でも、差動リンクは 1 または 0 を正しく伝送しています。

2 つ目の問題は差動信号ラインで一般的な AC 結合に関連します。デジタル JTAG は DC を前提としたテストのため、AC 結合では IEEE 1149.1 をテストとして使用できません。
前述のような課題を解決するために、既存のデジタル規格と完全な互換性を維持しながら高速差動に特に焦点を当てた、IEEE 1149.6 標準規格が新しく開発されました（図 9-24）。IEEE 1149.6 は 2 つのバウンダリ・スキャン・セルを、ラインそれぞれに 1 つのセルになるように、各差動レシーバに割り当てます。また、IEEE 1149.6 は DC 信号ではなく 0 と 1 のパルス信号で伝送します。パルスは AC 終端を直接通過します。

デュアル・セルとパルスの組み合わせを特長とする IEEE 1149.6 は、正確なパス / フェイル情報を与えると同時に、ピン・レベルの診断も可能です。現在、IEEE 1149.6 標準規格に準拠した 4 つのデバイスを供給しています。

### 表 9-25. IEEE1149.6 準拠デバイス

<table>
<thead>
<tr>
<th>デバイス</th>
<th>説明</th>
</tr>
</thead>
<tbody>
<tr>
<td>SCAN90004</td>
<td>クワッド 1.5Gbps LVDS バッファ、プリエンファシス内蔵</td>
</tr>
<tr>
<td>SCAN90CP02</td>
<td>1.5Gbps 2 × 2 クロスポイント、プリエンファシス内蔵</td>
</tr>
<tr>
<td>SCAN15MB200</td>
<td>2Gbps デュアル LVDS 2 対 1 マルチプレクサ/1 対 2 バッファ、プリエンファシス内蔵</td>
</tr>
<tr>
<td>SCAN25100</td>
<td>30.72MHz クロッキングと高精度遅延計測を内蔵した CPRI SerDes</td>
</tr>
</tbody>
</table>
機能テスト

IEEE 1149.6 標準規格はオープンや短絡などの製造欠陥を正確に検出しますが、実時間動作も含めて機能を検証することはできません。こうした問題に対処するため、複数の SerDes チップセットに、短時間のビット・エラー・レート・テスト (BERT) などのテスト機能を内蔵しています。

図 9-26. SerDes の BERT 機能

BERT は JTAG BIST 命令を用いて両方のデバイスで開始します。両方のデバイス内部で擬似ランダム・パターンが同時に生成されます。パターンはシンデライザでシリアル化とクロック埋め込みが行われ、差動リンクを介してビット・ストリームが送られます。受信ビットはデシライザでデシリアルライズされ、クロックが復元され、それぞれのビットがフェイルかどうかを比較します。テストは簡易版の at-speed BIST (実時間テスト) として 10^8 ビットに対して行なわれます。表 9-27にこの機能を有する SerDes チップセットを一覧にして示します。

表 9-27.BIST を内蔵したIEEE1149.1 準拠デバイス

<table>
<thead>
<tr>
<th>デバイス</th>
<th>説明</th>
</tr>
</thead>
<tbody>
<tr>
<td>SCAN921023/921224</td>
<td>66 MHz 10-to-1/1-to-10 SerDes</td>
</tr>
<tr>
<td>SCAN921025/1226</td>
<td>80 MHz 10-to-1/1-to-10 SerDes</td>
</tr>
<tr>
<td>SCAN921260</td>
<td>66 MHz 6チャネル1-to-10 デシリアライザ</td>
</tr>
<tr>
<td>SCAN926260</td>
<td>66 MHz 6チャネル1-to-10 デシリアライザ</td>
</tr>
<tr>
<td>SCAN928028</td>
<td>66 MHz 8チャネル10-to-1 シリアライザ</td>
</tr>
</tbody>
</table>

ループバック

ループバックはバックプレーン上のカード間の接続性の確認に用いられる自己診断手法の 1 つです。ループバック付きデバイスは送られてきた信号をソースにルーティングする機能を備えています。この機能は一部のマルチプレクサ/バッファ機能に内蔵されています。
9.9 DVI / HDMI

DVI (Digital Visual Interface) と HDMI (High-Definition Multimedia Interface) の2つはいずれも非圧縮デジタル・ビデオの配信に用いられる広帯域標準規格です。両方の規格ともにクロック・チャネルと3系統の高速データ・チャネルとを使って24ビットのRGBカラー・ビデオを送信します。DMIとHDMIはパソコンや家電製品で広く使われています。

高データレートと低価格の長いケーブル

ディスプレイの高精細によって必要な帯域は一層広くなり、チャネルあたりのデータレートは最新のHDMI 1.3仕様で1.65Gbpsから3.4Gbpsに高められています。データレートが高くなるにつれて、表皮効果によって減衰量と歪みが増大します。また、5mを超える長いケーブルが必要な場合もあります。長いケーブルを高データレートの信号を伝送するにはイコライゼーションを用います。

表皮効果と誘電体損失の補償

DS16EV5110は、DVI、HDMI、CAT-5ケーブル用のビデオ・イコライザで、表皮効果と誘電体損失を補償します。DS16EV5110イコライザは、250Mbpsから2.25Gbpsのデータレート範囲で、DVI、HDMI、CAT-5ケーブルの伝送距離を大幅に拡張します。
詳細は AN-1613「Extending the Reach of HDMI, DVI, and CAT-5 Cables Using the DS16EV5110 Cable Equalizer」を参照してください。

図 9-29. 補正を適用した信号によるさまざまなケーブル性能
10.1 外部刊行物

EE Times Europe – 2007 年 4 月
「3-Gbps SerDes Targets Professional and Broadcast Video Applications」

Electronic Products – 2002 年 10 月
「LVDS Product Selection」

Systems Designline – 2006 年 5 月
「Reduce Simultaneous Switching Output Noise with a Standalone SerDes Network」

Electronic Design Europe – 2006 年 2 月
「LVDS Role in LCDs for Cars」

EPN Supplements – 2007 年 9 月
「High-Speed Data Transfer for Infotainment」

10.2 アプリケーション・ノート一覧

<table>
<thead>
<tr>
<th>資料番号</th>
<th>タイトル</th>
</tr>
</thead>
<tbody>
<tr>
<td>AN-759</td>
<td>マルチポイント・アプリケーションにおける EIA-485 と EIA-422-A ライン・ドライバ/レシーバの比較</td>
</tr>
<tr>
<td>AN-903</td>
<td>A Comparison of Differential Termination Techniques</td>
</tr>
<tr>
<td>AN-971</td>
<td>LVDS 技術の概要</td>
</tr>
<tr>
<td>AN-977</td>
<td>LVDS 信号の品質：アイ・パターンによるジッタの測定</td>
</tr>
<tr>
<td>AN-1032</td>
<td>FPD Link についての概論</td>
</tr>
<tr>
<td>AN-1057</td>
<td>Ten Ways to Bulletproof RS-485 Interfaces</td>
</tr>
<tr>
<td>AN-1060</td>
<td>LVDS - Megabits @ Milliwatts (EDN Reprint)</td>
</tr>
<tr>
<td>AN-1084</td>
<td>高速リンクにおける並列構成アプリケーション</td>
</tr>
<tr>
<td>AN-1085</td>
<td>FPD リンク・デバイスのプリント基板および相互接続設計のガイドライン</td>
</tr>
<tr>
<td>AN-1115</td>
<td>Bus LVDS and DS92LV010A XCVR</td>
</tr>
<tr>
<td>AN-1123</td>
<td>Sorting Out Backplane Driver Alphabet Soup</td>
</tr>
<tr>
<td>AN-1173</td>
<td>High-Speed Bus LVDS Clock Distribution Using the DS92CK16 Clock Distribution Device</td>
</tr>
<tr>
<td>AN-1194</td>
<td>Failsafe Biasing of LVDS Interfaces</td>
</tr>
<tr>
<td>AN-1217</td>
<td>How to Validate Bus LVDS SerDes Signal Integrity Using an Eye Mask</td>
</tr>
<tr>
<td>AN-1238</td>
<td>Wide Bus Applications Using Parallel Bus LVDS SerDes Devices</td>
</tr>
<tr>
<td>AN-1313</td>
<td>SCAN90CP02 Design for Test Features</td>
</tr>
<tr>
<td>AN-1327</td>
<td>Simplified Programming of Altera FPGAs using a SCANSTA111/112 Scan Chain Mux</td>
</tr>
<tr>
<td>AN-1340</td>
<td>Simplified Programming of Xilinx Devices Using a SCANSTA111/112 JTAG Chain Mux</td>
</tr>
<tr>
<td>AN-1376</td>
<td>External Serial Interface Reduces Simultaneous Switching Output Noise in FPGAs</td>
</tr>
<tr>
<td>AN-1380</td>
<td>Design Challenges in 5 Gbps Copper Backplanes</td>
</tr>
<tr>
<td>AN-1389</td>
<td>DS40MB200 デュアル 4Gb/s マルチプレクサ/バッファのプリエンファシス・レベルの設定</td>
</tr>
<tr>
<td>AN-1398</td>
<td>DS40MB200 に適したプリント基板の設計テクニック</td>
</tr>
<tr>
<td>AN-1399</td>
<td>DS40MB200 マルチプレクサ/バッファを使ったギガビット・リンクでの冗長機能の実現</td>
</tr>
<tr>
<td>AN-1473</td>
<td>PCI Express Using National Semiconductor DS25MB100, DS25MB200, and DS25BR400</td>
</tr>
<tr>
<td>AN-1503</td>
<td>Designing an ATCA Compliant M-LVDS Clock Distribution Network</td>
</tr>
<tr>
<td>AN-1511</td>
<td>ケーブル・ディスチャージ・イベント ケーブル帯電による静電破壊</td>
</tr>
<tr>
<td>AN-1541</td>
<td>Driving Signals Over XAUI Backplanes Using DS42MB100, DS40MB200, or DS42BR400</td>
</tr>
<tr>
<td>AN-1613</td>
<td>Extending the Reach of HDMI, DVI, and CAT-5 Cables Using the DS16EV5110 Cable Equalizer</td>
</tr>
<tr>
<td>AN-1734</td>
<td>Using the LMK03000C to Clean Recovered Clocks</td>
</tr>
</tbody>
</table>
### 索引

#### A
- AC 結合 5
- ANSI/TIA/EIA 3
- ATCA 3, 25, 77, 79, 80

#### B
- Bus LVDS 11, 100, 101

#### C
- CAT-5 16, 21, 23, 61, 67, 95, 96, 97
- CML 3, 4, 5, 7, 9, 11, 26, 27, 29, 30, 31, 59, 60, 77, 79, 84, 92

#### D
- DC Balance 5, 15, 25, 27
- DVI 53, 54, 55, 56, 57, 67, 95, 96

#### E
- ECL 6, 100
- EMI 4, 7, 16, 17, 22, 23, 46, 53, 56, 62, 82, 84, 90, 91, 100

#### F
- FEXT 47, 48, 62
- FPD 100

#### H
- HDMI 7, 53, 55, 56, 57, 95, 96

#### I
- IBIS 63, 71, 72, 73, 74, 76, 100
- IEEE 93, 100
- I/O モデル ..., IBIS を参照

#### J
- JTAG 92, 94

#### L
- LVDS 1, 3, 4, 5, 7, 9, 11, 16, 22, 23, 25, 29, 30, 31, 32, 47, 59, 60, 66, 73, 77, 78, 79, 80, 81, 82, 84, 85, 86, 88, 90, 91, 92, 93, 100, 101, 102
- LVPECL 3, 4, 5, 6, 9, 11, 26, 27, 29, 30, 60, 79, 80, 84

#### M
- M-LVDS 3, 11, 25, 32, 77, 78, 79, 80, 81, 85, 90, 91

#### N
- NEXT 47, 48, 62

#### P
- PECL 6, 100

#### R
- RS 90, 91, 100

#### S
- Ser/Des 85
- SPICE 71, 73, 76
- S パラメータ 74, 75

#### T
- TRI-STATE 101, 102

#### W
- WEBENCH 104

#### あ
- アイ・パターン 45, 50, 65, 66
- アイ・マスク 51

#### い
- イコライザ 59, 60, 67, 89, 96
- イコライゼーション 58, 59, 65, 66, 69, 88, 89, 92

#### え
- 遠端クロストーク 74

#### か
- 確定的ジッタ 28, 102
- 活線挿入 19

#### き
- 近端クロストーク 47

#### く
- クロストーク 4, 36, 37, 41, 46, 47, 48, 53, 55, 56, 62, 63, 64, 65, 74, 75
- クロスポイント 84, 86, 93
- クロック復元 22
- クロック分配 20, 77

#### け
- ケーブル 5, 6, 7, 9, 15, 16, 21, 23, 25, 53, 55, 56, 57, 60, 61, 62, 88, 90, 95

#### こ
- 高データレート 5, 11, 21, 23, 60
- コスト 13, 20, 22, 23, 53, 55, 56, 57, 77, 84, 85, 88
- コネクタ 9, 17, 36, 47, 53, 56, 62
差動インピーダンス 33, 35, 53
差動信号 82

シールド 56
シグナル・コンディショニング 5, 6, 7, 16, 21, 48, 57, 71, 86
ジッタ 7, 9, 11, 14, 15, 16, 20, 26, 28, 41, 42, 43, 44, 45, 46, 47, 48, 49, 51, 52, 61, 64, 65, 66, 77, 80, 82, 83, 86, 101, 102
終端 4, 5, 6, 9, 11, 25, 26, 27, 30, 45, 63, 92, 93
冗長性 91
シリアライザ 86

スイッチング・ノイズ... ノイズを参照
スキー 13, 16, 22, 55, 87
スタブ長 78
ストリップライン 67

損失 34, 48, 53, 54, 57

帯域 6, 11, 16, 23, 35, 36, 44, 45, 56, 57, 66, 79, 83, 95

ツイストペア・ケーブル 55
CAT-5 100

ディエンファシス 7, 16, 21, 58, 59, 60, 64
デシリアライザ 11, 14, 15, 20, 21, 23, 86, 94, 101, 102
電源 60
電力節減 91
電力節減型 60, 89

ドライバとレシーバ 5, 9, 10, 11
トレース 5, 6, 7, 9, 16, 22, 23, 25, 33, 35, 36, 37, 57, 60, 77

ネットワーク・トポロジー 6

ノイズ 3, 4, 7, 16, 17, 23, 27, 32, 37, 41, 46, 47, 48, 64, 80, 81, 82, 83, 85, 90, 102
スイッチング・ノイズ 3, 16
ノイズ耐性 3, 4, 7, 90
<table>
<thead>
<tr>
<th>略語</th>
<th>訳語</th>
</tr>
</thead>
<tbody>
<tr>
<td>AMC</td>
<td>Advance Mezzanine Card</td>
</tr>
<tr>
<td>AN</td>
<td>Application Note</td>
</tr>
<tr>
<td>ANSI</td>
<td>American National Standards Institute</td>
</tr>
<tr>
<td>ASIC</td>
<td>Application Specific Integrated Circuit</td>
</tr>
<tr>
<td>ATCA</td>
<td>Advanced Telecommunications and Computing Architecture</td>
</tr>
<tr>
<td>B/P</td>
<td>Backplane</td>
</tr>
<tr>
<td>BER</td>
<td>Bit Error Rate</td>
</tr>
<tr>
<td>BERT</td>
<td>Bit Error Rate Test</td>
</tr>
<tr>
<td>B-LVDVS</td>
<td>Bus LVDS</td>
</tr>
<tr>
<td>BTL</td>
<td>Backplane Transceiver Logic</td>
</tr>
<tr>
<td>CAT-3</td>
<td>カテゴリ3の信号(ケーブル種別)</td>
</tr>
<tr>
<td>CAT-5</td>
<td>カテゴリ5の信号(ケーブル種別)</td>
</tr>
<tr>
<td>CISPR</td>
<td>Comite International Special des Perturbations Radioelectriques</td>
</tr>
<tr>
<td>CISP</td>
<td>Comite International Special des Perturbations Radioelectriques</td>
</tr>
<tr>
<td>FPGA</td>
<td>Field Programmable Gate Array</td>
</tr>
<tr>
<td>Gbps</td>
<td>Gigabits per second</td>
</tr>
<tr>
<td>GTL</td>
<td>Gunning Transceiver Logic</td>
</tr>
<tr>
<td>HBM</td>
<td>Human Body Model</td>
</tr>
<tr>
<td>Hi-Z</td>
<td>High Impedance</td>
</tr>
<tr>
<td>I/O</td>
<td>Input/Output</td>
</tr>
<tr>
<td>IBIS</td>
<td>Input/Output Buffer Information Specification</td>
</tr>
<tr>
<td>IDC</td>
<td>Integrated Displacement Connector</td>
</tr>
<tr>
<td>IEEE</td>
<td>Institute of Electrical and Electronics Engineers</td>
</tr>
<tr>
<td>ISI</td>
<td>Inter-Symbol Interference</td>
</tr>
<tr>
<td>Kbps</td>
<td>Kilobits per second</td>
</tr>
<tr>
<td>LAN</td>
<td>Local Area Network</td>
</tr>
<tr>
<td>LDI</td>
<td>LVDS Display Interface</td>
</tr>
<tr>
<td>LVDS</td>
<td>Low-Voltage Differential Signaling</td>
</tr>
<tr>
<td>LVTTL</td>
<td>Low-Voltage Transistor-to-Transistor Logic</td>
</tr>
<tr>
<td>Mbp</td>
<td>Mega bits per second</td>
</tr>
<tr>
<td>MCH</td>
<td>MicroTCA Carrier Hub</td>
</tr>
<tr>
<td>MDR</td>
<td>Mini Delta Ribbon</td>
</tr>
<tr>
<td>MLVDS</td>
<td>Multipoint Low-Voltage Differential Signaling</td>
</tr>
<tr>
<td>MLVDS</td>
<td>Multi-layer Ceramic</td>
</tr>
<tr>
<td>ANSI</td>
<td>American National Standards Institute</td>
</tr>
<tr>
<td>ATCA</td>
<td>Advanced Telecommunications and Computing Architecture</td>
</tr>
<tr>
<td>D</td>
<td>Driver</td>
</tr>
<tr>
<td>DCD</td>
<td>Duty Cycle Distortion</td>
</tr>
<tr>
<td>DCR</td>
<td>DC Resistance</td>
</tr>
<tr>
<td>DE</td>
<td>De-Emphasis</td>
</tr>
<tr>
<td>DJ</td>
<td>Deterministic Jitter</td>
</tr>
<tr>
<td>DOL</td>
<td>Digital Output Links</td>
</tr>
<tr>
<td>DUT</td>
<td>Device Under Test</td>
</tr>
<tr>
<td>DVI</td>
<td>Digital Visual Interface</td>
</tr>
<tr>
<td>ECL</td>
<td>Emitter Coupled Logic</td>
</tr>
<tr>
<td>EIA</td>
<td>Electronic Industries Association</td>
</tr>
<tr>
<td>EMC</td>
<td>Electromagnetic Compatibility</td>
</tr>
<tr>
<td>EMI</td>
<td>Electromagnetic Interference</td>
</tr>
<tr>
<td>EN</td>
<td>Enable</td>
</tr>
<tr>
<td>EQ</td>
<td>Equalization</td>
</tr>
<tr>
<td>ESD</td>
<td>Electrostatic Discharge</td>
</tr>
<tr>
<td>EVK</td>
<td>Evaluation Kit</td>
</tr>
<tr>
<td>FCC</td>
<td>Federal Communications Commission</td>
</tr>
<tr>
<td>FEC</td>
<td>Forward Error Correction</td>
</tr>
<tr>
<td>FPD</td>
<td>Flat Panel Display</td>
</tr>
<tr>
<td>FPD-LINK</td>
<td>Flat Panel Display Link</td>
</tr>
<tr>
<td>FPGA</td>
<td>Field Programmable Gate Array</td>
</tr>
<tr>
<td>Gbps</td>
<td>Gigabits per second</td>
</tr>
<tr>
<td>GTL</td>
<td>Gunning Transceiver Logic</td>
</tr>
<tr>
<td>HBM</td>
<td>Human Body Model</td>
</tr>
<tr>
<td>Hi-Z</td>
<td>High Impedance</td>
</tr>
<tr>
<td>I/O</td>
<td>Input/Output</td>
</tr>
<tr>
<td>IBIS</td>
<td>Input/Output Buffer Information Specification</td>
</tr>
<tr>
<td>IC</td>
<td>Integrated Circuit</td>
</tr>
<tr>
<td>IDC</td>
<td>Integrated Displacement Connector</td>
</tr>
<tr>
<td>IEEE</td>
<td>Institute of Electrical and Electronics Engineers</td>
</tr>
<tr>
<td>ISI</td>
<td>Inter-Symbol Interference</td>
</tr>
<tr>
<td>Kbps</td>
<td>Kilobits per second</td>
</tr>
<tr>
<td>LAN</td>
<td>Local Area Network</td>
</tr>
<tr>
<td>LDI</td>
<td>LVDS Display Interface</td>
</tr>
<tr>
<td>LVDS</td>
<td>Low-Voltage Differential Signaling</td>
</tr>
<tr>
<td>LVTTL</td>
<td>Low-Voltage Transistor-to-Transistor Logic</td>
</tr>
<tr>
<td>Mbp</td>
<td>Mega bits per second</td>
</tr>
<tr>
<td>MCH</td>
<td>MicroTCA Carrier Hub</td>
</tr>
<tr>
<td>MDR</td>
<td>Mini Delta Ribbon</td>
</tr>
<tr>
<td>MLVDS</td>
<td>Multipoint Low-Voltage Differential Signaling</td>
</tr>
<tr>
<td>MLVDS</td>
<td>Multi-layer Ceramic</td>
</tr>
<tr>
<td>ANSI</td>
<td>American National Standards Institute</td>
</tr>
<tr>
<td>ATCA</td>
<td>Advanced Telecommunications and Computing Architecture</td>
</tr>
<tr>
<td>D</td>
<td>Driver</td>
</tr>
<tr>
<td>DCD</td>
<td>Duty Cycle Distortion</td>
</tr>
<tr>
<td>DCR</td>
<td>DC Resistance</td>
</tr>
<tr>
<td>DE</td>
<td>De-Emphasis</td>
</tr>
<tr>
<td>DJ</td>
<td>Deterministic Jitter</td>
</tr>
<tr>
<td>DOL</td>
<td>Digital Output Links</td>
</tr>
<tr>
<td>DUT</td>
<td>Device Under Test</td>
</tr>
<tr>
<td>DVI</td>
<td>Digital Visual Interface</td>
</tr>
<tr>
<td>ECL</td>
<td>Emitter Coupled Logic</td>
</tr>
<tr>
<td>EIA</td>
<td>Electronic Industries Association</td>
</tr>
<tr>
<td>EMC</td>
<td>Electromagnetic Compatibility</td>
</tr>
<tr>
<td>EMI</td>
<td>Electromagnetic Interference</td>
</tr>
<tr>
<td>EN</td>
<td>Enable</td>
</tr>
<tr>
<td>EQ</td>
<td>Equalization</td>
</tr>
<tr>
<td>ESD</td>
<td>Electrostatic Discharge</td>
</tr>
<tr>
<td>EVK</td>
<td>Evaluation Kit</td>
</tr>
<tr>
<td>FCC</td>
<td>Federal Communications Commission</td>
</tr>
<tr>
<td>FEC</td>
<td>Forward Error Correction</td>
</tr>
<tr>
<td>FPD</td>
<td>Flat Panel Display</td>
</tr>
<tr>
<td>FPD-LINK</td>
<td>Flat Panel Display Link</td>
</tr>
<tr>
<td>FPGA</td>
<td>Field Programmable Gate Array</td>
</tr>
<tr>
<td>Gbps</td>
<td>Gigabits per second</td>
</tr>
<tr>
<td>GTL</td>
<td>Gunning Transceiver Logic</td>
</tr>
<tr>
<td>HBM</td>
<td>Human Body Model</td>
</tr>
<tr>
<td>Hi-Z</td>
<td>High Impedance</td>
</tr>
<tr>
<td>I/O</td>
<td>Input/Output</td>
</tr>
<tr>
<td>IBIS</td>
<td>Input/Output Buffer Information Specification</td>
</tr>
<tr>
<td>IC</td>
<td>Integrated Circuit</td>
</tr>
<tr>
<td>IDC</td>
<td>Integrated Displacement Connector</td>
</tr>
<tr>
<td>IEEE</td>
<td>Institute of Electrical and Electronics Engineers</td>
</tr>
<tr>
<td>ISI</td>
<td>Inter-Symbol Interference</td>
</tr>
<tr>
<td>Kbps</td>
<td>Kilobits per second</td>
</tr>
<tr>
<td>LAN</td>
<td>Local Area Network</td>
</tr>
<tr>
<td>LDI</td>
<td>LVDS Display Interface</td>
</tr>
<tr>
<td>LVDS</td>
<td>Low-Voltage Differential Signaling</td>
</tr>
<tr>
<td>LVTTL</td>
<td>Low-Voltage Transistor-to-Transistor Logic</td>
</tr>
<tr>
<td>Mbp</td>
<td>Mega bits per second</td>
</tr>
<tr>
<td>MCH</td>
<td>MicroTCA Carrier Hub</td>
</tr>
<tr>
<td>MDR</td>
<td>Mini Delta Ribbon</td>
</tr>
<tr>
<td>MLVDS</td>
<td>Multipoint Low-Voltage Differential Signaling</td>
</tr>
<tr>
<td>MLVDS</td>
<td>Multi-layer Ceramic</td>
</tr>
<tr>
<td>ANSI</td>
<td>American National Standards Institute</td>
</tr>
<tr>
<td>ATCA</td>
<td>Advanced Telecommunications and Computing Architecture</td>
</tr>
<tr>
<td>D</td>
<td>Driver</td>
</tr>
<tr>
<td>DCD</td>
<td>Duty Cycle Distortion</td>
</tr>
<tr>
<td>DCR</td>
<td>DC Resistance</td>
</tr>
<tr>
<td>DE</td>
<td>De-Emphasis</td>
</tr>
<tr>
<td>DJ</td>
<td>Deterministic Jitter</td>
</tr>
<tr>
<td>DOL</td>
<td>Digital Output Links</td>
</tr>
<tr>
<td>DUT</td>
<td>Device Under Test</td>
</tr>
<tr>
<td>DVI</td>
<td>Digital Visual Interface</td>
</tr>
<tr>
<td>ECL</td>
<td>Emitter Coupled Logic</td>
</tr>
<tr>
<td>EIA</td>
<td>Electronic Industries Association</td>
</tr>
<tr>
<td>EMC</td>
<td>Electromagnetic Compatibility</td>
</tr>
<tr>
<td>EMI</td>
<td>Electromagnetic Interference</td>
</tr>
<tr>
<td>EN</td>
<td>Enable</td>
</tr>
<tr>
<td>EQ</td>
<td>Equalization</td>
</tr>
<tr>
<td>ESD</td>
<td>Electrostatic Discharge</td>
</tr>
<tr>
<td>EVK</td>
<td>Evaluation Kit</td>
</tr>
<tr>
<td>FCC</td>
<td>Federal Communications Commission</td>
</tr>
<tr>
<td>FEC</td>
<td>Forward Error Correction</td>
</tr>
<tr>
<td>FPD</td>
<td>Flat Panel Display</td>
</tr>
<tr>
<td>FPD-LINK</td>
<td>Flat Panel Display Link</td>
</tr>
<tr>
<td>FPGA</td>
<td>Field Programmable Gate Array</td>
</tr>
<tr>
<td>Gbps</td>
<td>Gigabits per second</td>
</tr>
<tr>
<td>GTL</td>
<td>Gunning Transceiver Logic</td>
</tr>
<tr>
<td>HBM</td>
<td>Human Body Model</td>
</tr>
<tr>
<td>Hi-Z</td>
<td>High Impedance</td>
</tr>
<tr>
<td>I/O</td>
<td>Input/Output</td>
</tr>
<tr>
<td>IBIS</td>
<td>Input/Output Buffer Information Specification</td>
</tr>
<tr>
<td>IC</td>
<td>Integrated Circuit</td>
</tr>
<tr>
<td>IDC</td>
<td>Integrated Displacement Connector</td>
</tr>
<tr>
<td>IEEE</td>
<td>Institute of Electrical and Electronics Engineers</td>
</tr>
<tr>
<td>ISI</td>
<td>Inter-Symbol Interference</td>
</tr>
<tr>
<td>Kbps</td>
<td>Kilobits per second</td>
</tr>
<tr>
<td>LAN</td>
<td>Local Area Network</td>
</tr>
</tbody>
</table>
### 10.5 共通的なデータシート・パラメータの一覧

<table>
<thead>
<tr>
<th>パラメータ</th>
<th>訳明</th>
</tr>
</thead>
<tbody>
<tr>
<td>$V_{IH}$</td>
<td>入力電圧 High レベル : データ・ピンと制御ピンに適用される TTL 入力仕様</td>
</tr>
<tr>
<td>$V_{IL}$</td>
<td>入力電圧 Low レベル : データ・ピンと制御ピンに適用される TTL 入力仕様</td>
</tr>
<tr>
<td>$V_{CL}$</td>
<td>入力クランプ電圧 : 記載された電流でのクランプ電圧仕様</td>
</tr>
<tr>
<td>$I_{IN}$</td>
<td>入力電流 : 各 TTL 入力を流れる電流量</td>
</tr>
<tr>
<td>$V_{OH}$</td>
<td>出力電圧 High レベル : データ・ピンと制御ピンに適用される TTL 出力仕様</td>
</tr>
<tr>
<td>$V_{OL}$</td>
<td>出力電圧 Low レベル : データ・ピンと制御ピンに適用される TTL 出力仕様</td>
</tr>
<tr>
<td>$I_{OZ}$</td>
<td>出力短絡時電流 : 出力が GND に短絡したときに流れる電流量</td>
</tr>
<tr>
<td>$V_{TH}$</td>
<td>トリオプション電圧 : トリオプション時に出力を流れる電流量で、制御ピンによって出力がディスエープルされているか、デバイスがパワードウン・モードにある場合</td>
</tr>
<tr>
<td>$V_{TL}$</td>
<td>トリオプション電圧 High 電圧 : このストレスシュールドを超える入力信号は出力で論理 High となる</td>
</tr>
<tr>
<td>$V_{OD}$</td>
<td>出力差動電圧 : 出力で論理 Low で求められる振幅</td>
</tr>
<tr>
<td>$\Delta V_{GO}$</td>
<td>出力差動不平衡電圧 : 正 LVDS 出力と負 LVDS 出力の振幅</td>
</tr>
<tr>
<td>$V_{OS}$</td>
<td>オフセット電圧 : LVDS 出力のコンマモード電圧</td>
</tr>
<tr>
<td>$\Delta V_{OS}$</td>
<td>オフセット不平衡電圧 : 正 LVDS 出力コンマモード電圧と負 LVDS 出力コンマモード電圧の差</td>
</tr>
<tr>
<td>$I_{OX}$</td>
<td>パワーオフ出力電流 : $V_{DD} = 0$ で出力が 0V か正の電圧の場合に出力を流れる電流量</td>
</tr>
<tr>
<td>$I_{CD}$</td>
<td>シリアライザ全電源電流 (負荷電流を含む) : シリアライザを流れる電流量の合計</td>
</tr>
<tr>
<td>$I_{CR}$</td>
<td>レシーパ全電源電流 (負荷電流を含む) : デシリアライザを流れる電流量の合計</td>
</tr>
<tr>
<td>$I_{CT}$</td>
<td>トリオンビーレ全電源電流 (負荷電流を含む) : シリアライザとデシリアライザの電流の合計</td>
</tr>
<tr>
<td>$I_{CCX}$</td>
<td>パワードウン時のトランシーバ全電源電流 : トランシーバがパワードウン・モードにあるときの電流の合計</td>
</tr>
<tr>
<td>$I_{CCD}$</td>
<td>パワードウン時のシリアライザ全電源電流 : シリアライザがパワードウン・モードにあるときの電流の合計</td>
</tr>
<tr>
<td>$I_{CCXR}$</td>
<td>パワードウン時のレシーパ全電源電流 : レシーパがパワードウン・モードにあるときの電流の合計</td>
</tr>
<tr>
<td>$t_{TCP}$</td>
<td>トリオプションクロック周期 : シリアライザの TTL クロック入力仕様</td>
</tr>
<tr>
<td>$t_{TCH}$</td>
<td>トリオプションクロック High 時間 : クロック周期のうち High でなければならない期間の仕様</td>
</tr>
<tr>
<td>$t_{TCL}$</td>
<td>トリオプションクロック Low 時間 : クロック周期のうち Low でなければならない期間の仕様</td>
</tr>
<tr>
<td>$t_{CLKT}$</td>
<td>TCLK 入力遷移時間 : 10% と 90% 点で測定した入力クロックの立ち上がり / 立ち下がり時間の要求仕様</td>
</tr>
<tr>
<td>$t_{HR}$</td>
<td>TCLK 入力 ジンク : 入力クロック・ジンクの許容可能最大量</td>
</tr>
<tr>
<td>$t_{HL}$</td>
<td>BusLVDS の Low から High への遅延時間 (20%～80% 点で測定 ) : LVDS 信号の立ち上がり時間仕様</td>
</tr>
<tr>
<td>$t_{IL}$</td>
<td>BusLVDS の High から Low への遅延時間 (80%～20% 点で測定 ) : LVDS 信号の立ち下がり時間仕様</td>
</tr>
<tr>
<td>$t_{OS}$</td>
<td>TCLK に対する DIN (0-0) セットアップ : シリアライザのデータとクロック間のセットアップ時間要求仕様</td>
</tr>
<tr>
<td>$t_{DH}$</td>
<td>TCLK に対する DIN (0-0) ホールド : シリアライザのデータとクロック間のホールド時間要求仕様</td>
</tr>
<tr>
<td>$t_{HZD}$</td>
<td>DO ± が High から TRI-STATE に遷移するまでの遅延 : シリアライザの LVDS 出力が High から TRI-STATE に遷移するために必要な時間</td>
</tr>
<tr>
<td>$t_{LZD}$</td>
<td>DO ± が Low から TRI-STATE に遷移するまでの遅延 : シリアライザの LVDS 出力が Low から TRI-STATE に遷移するために必要な時間</td>
</tr>
</tbody>
</table>
DO ±: TRI-STATE から High に戻るまでの遅延: シリアルライザの LVDS 出力が TRI-STATE から High に遷移するために必要な時間
DO ±: TRI-STATE から Low に戻るまでの遅延: シリアルライザの LVDS 出力が TRI-STATE から Low に遷移するために必要な時間
SYNC パルス幅: デバイスを SYNC モードに移行させるために High にアサートすべき SYNC ピンのクロック数で、モード移行後に LVDS 出力から SYNC パターンが出力される
シリアルライザ PLL ロック時間: 入力クロックに対して PLL がロックするまでに必要なクロック・サイクル数で、ロック後に LVDS 出力からデータが出力される
シリアルライザ伝搬遅延: データをシリアルライザが通過するために必要な時間
PLL ロック時間: 入力クロックに対して PLL がロックするまでに必要なクロック・サイクル数で、PLL がロックするのに必要な時間
もしくは LVDS 出力からデータが出力される
シリアルライザ伝搬遅延: データをシリアルライザが通過するために必要な時間
シリアルライザから High に戻るまでの遅延: シリアルライザの LVDS 出力が High から TRI-STATE に遷移するために必要な時間
シリアルライザから Low に戻るまでの遅延: シリアルライザの LVDS 出力が Low から TRI-STATE に遷移するために必要な時間
シリアルライザから High に戻るまでの遅延: シリアルライザの LVDS 出力が High から TRI-STATE に遷移するために必要な時間
シリアルライザから Low に戻るまでの遅延: シリアルライザの LVDS 出力が Low から TRI-STATE に遷移するために必要な時間
データをシリアルライザが通過するために必要な時間
ランダム・ジッタ: 発生するガウス分布ジッタの量
確定的ジッタ: 発生する非ガウス分布ジッタの量
REFCLK 周期: REFCLK 入力ピンの周期要求仕様
REFCLK デューティ・サイクル: REFCLK 入力ピンのデューティ・サイクル要求仕様
REFCLK と TCLK の比: TCLK と REFCLK 周期の許容差を示す
REFCLK 遷移時間: REFCLK 入力の立ち上がりと立ち下がり時間の要求仕様
再同期クロック (RCLK) 周期: LVDS 入力から再同期されたクロックの周期
RCLK デューティ・サイクル: LVDS 入力から再同期されたクロックのデューティ・サイクル
CMOS/TTL の Low から High 遷移時間: TTL 出力の立ち上がり時間仕様
CMOS/TTL の High から Low 遷移時間: TTL 出力の立ち下がり時間仕様
RCLK に対する ROUT(0-x) のットアップ・データ: RCLK エッジ (通常立ち上がり) と出力データに与えられるセットアップ時間
RCLK に対する ROUT(0-x) のホールド・データ: RCLK エッジ (通常立ち上がり) と出力データに与えられるホールド時間
High から TRI-STATE に遷移するまでの遅延: デシリアライザ TTL 出力が High から TRI-STATE に遷移するために必要な時間
Low から TRI-STATE に遷移するまでの遅延: デシリアライザ TTL 出力が Low から TRI-STATE に遷移するために必要な時間
TRI-STATE から High に戻るまでの遅延: デシリアライザ TTL 出力が TRI-STATE から High に遷移するために必要な時間
TRI-STATE から Low に戻るまでの遅延: デシリアライザ TTL 出力が TRI-STATE から Low に遷移するために必要な時間
デシリアライザ伝搬遅延: デシリアライザをデータが通過する時間
パリーダウン後からのデシリアライザ PLL ロック時間: デシリアライザがパリーダウン・モードから再同期したときに PLL がロックするまでに必要な時間
SYNCPAT 受信後のデシリアライザ PLL ロック時間: 受信した SYNCPAT パターンからデシリアライザの PLL がロックするまでに必要な時間
デシリアライザの理想的ノイズ・マージン - 右: 理想的なビット終了位置からサンプリング・ウインドウの右エッジまでを測定したノイズ・マージン
デシリアライザの理想的ノイズ・マージン - 左: 理想的なビット開始位置からサンプリング・ウインドウの左エッジまでを測定したノイズ・マージン
販売特約店及び取扱店
http://www.tij.co.jp/dist/

株式会社 キティーデル
東日本営業本部 第2営業部
〒105-0004 東京都港区芝大門1-16-4 seriously新橋ビル6階
☎03(3521)2042 FAX03(3502)6301

新光商事株式会社
本社 海外貿易部販売推進部
〒141-8540 東京都品川区大崎1-12-2
アートビレッジ大崎セントラルタワー13階
☎03(3631)8082 FAX03(3437)8486

東京エレクトロンデバイス株式会社
取扱子会社オーディオ株式会社
〒221-0056 神奈川県横浜市神奈川区金港町1-4 横浜イーストスクエア
☎045(443)4001 FAX045(443)4051

富士エレクトロニクス株式会社
本社
〒113-8444 東京都文京区本郷3-2-12 本美の水センタービル
☎03(3814)1414 FAX03(3814)1414

株式会社マクニカ クララビ カンパニー
本社
〒222-8561 神奈川県横浜市南区南新横浜1-6-2 マクニカ第1ビル
☎045(470)9821 FAX045(470)9822

丸文株式会社
デバイス事業部 青森港南支店
〒038-8577 東京都中央区中央日本大手前店8-1
☎03(3639)9920 FAX03(3639)8156

日本テキサス・インスツルメンツ株式会社

お問い合わせ先
日本TIプロダクト・インフォメーション・センター（PIC）
URL:http://www.tij.co.jp/pic/
TEL: ☎0120-92-3326
FAX: ☎0120-81-0036
※お問い合わせ、お名前、メールアドレス、ご住所をお記入ください。

本社
〒160-8366 東京都新宿区新宿6-24-1 新宿三井ビル
☎03(4331)2000（番号案内）

仙台営業所
〒980-0014 宮城県仙台市青葉区木町1-1-1
三井生命仙台本町ビル7階（シーガーレ除）

さいたま営業所
〒330-0869 埼玉県さいたま市大宮区桜木町1-7-5
ソニックスドビル12階

横浜営業所
〒221-0056 神奈川県横浜市神奈川区金港町1-4
横浜イーストスクエアビル5階

松本営業所
〒399-0012 長野県松本市中央1-14-20
日本生命松本新町ビル6階

金沢営業所
〒920-0031 富山県金沢市広興3-1-1
金沢パークビル11階

名古屋ビジネスセンター／名古屋営業所
〒460-0003 愛知県名古屋市中区錦2-4-1
錦パークビル17階

西日本ビジネスセンター／大阪営業所
〒530-0026 大阪府大阪市北区安満橋1-8-30
DAPビルディング26階

京都営業所
〒600-8216 京都府京都市下京区西陣院通御所小路北
京都小路駅608-9 日本生命京都三井ビル5階

広島営業所
〒732-0052 広島県広島市東区光町1-10-19
日本生命広島光町ビル4階

福岡営業所
〒810-0801 福岡県福岡市博多区中区5-6-24
第6カーデンビル3階

ご注意：
本取扱材に記載された製品はサービスについては予告なしに提供の停止または仕様の変更をすることがありますので、本取扱材に記載された情報は最新のものであることをご確認のうえご注意下さいます。
なお、仕様の変更・サービスに関する相談は承知しておりますが、カスタマーサービスは提供していません。

©2012日本テキサス・インスツルメンツ株式会社
Printed in Japan 2012.4
ご注意

Texas Instruments Incorporated 及びその関連会社（以下総称して "TI" といまでは、最新のJESD46に従う）の半導体製品及びサービスを提供、改善、改良、他の目的をもとにして、又は最新のJESD46に従う製品の製造中止またはサー

ビスの提供を中止する権利を保有します。お客様は、発注された日に、関連する新

生の情報を取得して、その情報が現在有効かつ完全なものであるかを確認する

責任を負います。全ての半導体製品は、ご注文の受諾時の提供されるTIの標準規

則契約文書に従って販売されます。

TIは、その製品が半導体製品に関するTIの標準規則契約文書に記載された

保護条件に従い、販売時の仕様に変更する権利を有していることをご了承します。

検査及びその他の品質管理技術は、検査機器に、対象機器を検査した後にのみと

う範囲で行われております。各デバイスの全てのパラメータに関する固有の

検査は、適用される法令によってそれぞれの実行が義務づけられている場合を除

き、必ずしも行われておりません。

TIは、製品のアプライアンスに関するサポート又はお客様の製品の設計について

販売を負うことはありません。TI製品は使用されているお客様の製品及びそのアプ

ライアンスに関する責任はお客様にあります。TI製品は使用されたお客様の製品

又はアプライアンスに関する危険を最小のものとするため、適切な設計上

及び操作上の安全対策は、お客様にてご了承ください。

TIは、TIの製品又はサービスが使用されている組み合わせ、機械装置、又は方法

に関連してのTIの特許権、著作権、回路レイアウト権、その他TIの知識の財

産権に基づいて何らかのライセンスを許諾するということは明示的にも適用的にも

保護を表しているものではありません。TIが第三者の製品をも含むサービスについて情報

を提供するときは、TIが当該製品又はサービスを使用することについてライセンスを

与えるか、保護があると仮定することを意味しません。そのような情報を使用する

には第三者の特許その他の知識の財産権に基づく当該第三者からライセンスを

得なければならない。又はTIの特許その他の知識の財産権に基づきTIからライセン

スを得る手順が必要な場合もあります。

TIのデータ・ブック又はデータシートに掲載の情報、その製品に関する重要な部分の複製、

その情報に一切の変更を加える、並びに、自らの製品に関する全ての保護、

条件、制限及び通知と共にされる用語についての許諾を与えるものとします。TI

は、変更が加えられ文書化されたものについては一切責任を負いません。第三者

の情報については、追加的な制約に従う可能性があります。

TIの製品又はサービスについてTIが提示したパラメータと異なる、又は、それ

を超えない範囲で当該TI製品又はサービスを販売することができる、関連する

TI製品又はサービスに対する全ての明示の保証、及び何らかの暗示的保証を無

効にし、且つ不公正な誤解を生じさせる行為です。TIは、そのような説明について

は何の義務も責任も負いません。

TIからのアプライアンスに関する情報提供又は支援の一切に拘わらず、お客様

は、ご自身の製品及びご自身のアプライアンスにおけるTI製品の使用に関する法

的責任、規制、及び安全に関する要求事項の全てに従い、これらの下に選択する

表れることが認め、且つそのことを認めます。お客様は、想定されると考えられ

たら危険な結果に対する安全対策を実施し実行し、不具合及びその結果を監視

し、容疑及可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講

じるために必要な専門的知識の一切を自ら有することを表し、保護します。お客様

は、TI製品を安全でないことが致命的なるアプライアンスに使用したことに生じ

る損害の一切について、TI及びその代表者に対してその全額の補償をすることとし

ます。

TI製品につき、安全に関するアプライアンスを促進するために特に宣伝される

場合があります。そのような製品については、TIが明示するときは、適用される

機器上の安全基準及び要求事項を満たすお客様の最終製品につき、お客様が

設計及び製造ができるよう手配することによります。それも拘わらず、当該

TI製品については、前のバリケードを含む条件の適用を受けるものとし

ます。

FDAクラスIII（又は同等に安全でないことが致命的となるような医療機器）での

TI製品の使用は、TIとお客様双方の同意ある段階の間で、そのような使用に従い

て規定された特殊な契約書を締結した場合を除き、一切認められません。

TIが軍需対応グレード品又は「強化ブラストリスク」製品として特に指定した製品

のみが軍用又は宇宙航空用アプライアンス、若しくは、軍事的環境又は航空

宇宙環境で使用されるように設計され、かつ使用されることが適しています。

お客様は、TIがそのように指定していない製品を軍事又は宇宙航空用に使う

場合は全てご自身の責任を負うことに及び、かつそのような使用に必要

とするすべての法的要件及び規制上の要求事項につきご自身のみの責

任により満たすことを認める、且つ同意します。

TIには、主に自動車用に使われるものを目的として、ISO/Ts 16949の要件事

項を満たしていると特に指定された製品があります。当該指定をお受けしていない製品

については、自動車用に使われる場合には設計されていませんし、使用されること

を認めておりません。従いまして、自記指定品等のTI製品が当該要求事項を

満たしていないかった場合は、TIはいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い、保管について

半導体製品は、取り扱い、保管、搬送環境、基板実装条件によっては、お客様で

の実装前に破損・劣化、または故障を起こすことがあります。

弊社半導体製品の取り扱い、ご使用にあたっては以下の点を遵守してください。

1. 静電気
   - 製品は半導体製品を触らないでください。どうしてでも触る必要がある
     場合は、リストラスト等で人体からアースをとり、導電性手袋等
     をして取り扱うこと。
   - 原則として取り扱う種類内に包装されているが、接続された導電性テープ上で
     （導電性マットにアースをとったもの等）、アースをした作業者が行う
     こと、または、コンテナ等も、導電性のものを使用すること。
   - マウントや組み込み配線は、全ての実装済みの全ての装置類
     に、静電気帯電を防止する措置を講ずること。
   - 前記のリストラスト・導電性手袋・テープの表面及び実装装置
     類の接続等の静電気帯電防止措置は、常に管理されその機能が確認
     されていること。
2. 温湿度環境
   - 温度：0～40℃、相対湿度：40～85％で保管・輸送及び取り扱
     いを行うこと。（湿し、結露しないこと。)

以上

2001.11