

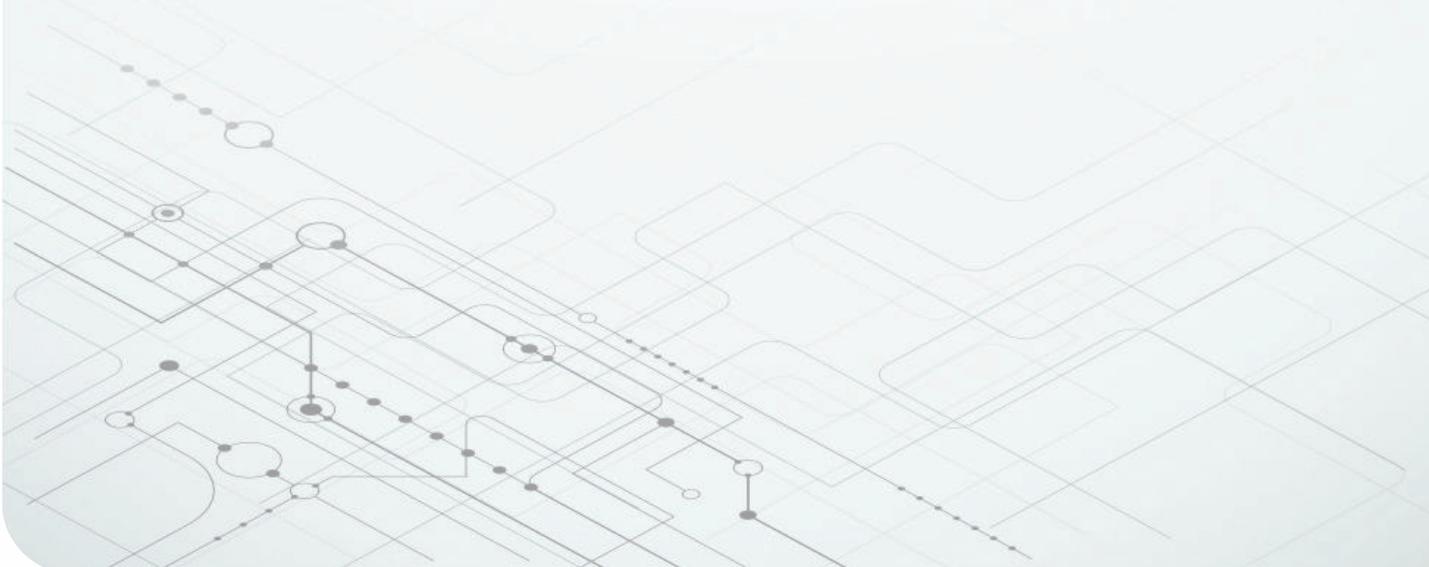
低消費電力アプリケーションで低静止電流 (I_Q) の課題を克服

**Keith Kunz**

Distinguished Member Technical Staff
Design Engineer & Technologist, Linear Power

Stefan Reithmaier

Distinguished Member Technical Staff
Analog Design Manager, Boost & Multi Channel/Phase DCDC



超低消費電力のエレクトロニクスに現在取り組んでいる設計者は、性能向上とバッテリー動作時間延長との間で継続的にトレードオフに直面しています。バッテリー容量が改善されたにもかかわらず、基本的な課題が残っています。より高い性能を長期間にわたって達成するにはどうすればよいかということです。

概要

このホワイト・ペーパーは、静止電流 (I_Q) の低減というニーズ、および関連する課題と解決策について説明します。



1

静止電流 (I_Q) とは

静止電流 (I_Q) は、無負荷時の静止電流を意味し、デューティ・サイクル型の低消費電力システムにとって、克服する必要のある非常に重要なボトルネックと言えます。低静止電流 (I_Q) を実現すると、バッテリー動作時間を延長できます。



2

低静止電流 (I_Q) が新たな課題をもたらす理由

静止電流 (I_Q) の低減には、過渡ノイズ特性、ダイのパッケージ面積、出力電圧範囲に関するトレードオフが伴います。



3

低静止電流 (I_Q) の障壁を打破する方法

性能や面積を犠牲にせずに静止電流 (I_Q) を桁単位で低減するには、シリコン・テクノロジーと回路手法の両方を再検討する必要があります。

消費電力の削減とバッテリー寿命の管理にとって、静止電流 (I_Q) の最小化は重要な要因の 1 つです。IoT (モノのインターネット) センサ・ノードは、バッテリー動作時間の延長のために静止電流 (I_Q) を最小化することの重要性を示す適切な例の 1 つです。たとえば、[図 1](#) に示す低消費電力 IoT アプリケーションで、SimpleLink™ マイコンは Bluetooth® と Wi-Fi® 接続の一方または両方を使用してドア・ロックを制御しています。

この種のシステムは[図 2](#)に示すように大半の時間 (99% 超過) をスタンバイ・モードで過ごすので、スタンバイ・モードまたはスリープ・モードの静止電流 (I_Q) がバッテリー動作時間の制限要因となる傾向があります。低静止電流 (I_Q) のパワー・マネージメント・ブロックを注意深く最適化すると、バッテリー動作時間をたとえば 2 年から 5 年以上にまで延長できる可能性があります。

これまで長い間、スタンバイ時の静止電流 (I_Q) が懸案になっていましたが、従来のソリューションは限られた範囲の低消費電力システムに限定されていました。最近の革新によって、DC/DC コンバータ、パワー・スイッチ、低ドロップアウト・レギュレータ (LDO)、スーパーバイザなどの各種パワー・マネージメント・ビルディング・ブロックの静止電流 (I_Q) は減少してきました。その結果、これらのブロックの用途が、産業用メーター・アプリケーション、車載センサ、パーソナル・ウェアラブルなどの最終製品に広がっています。

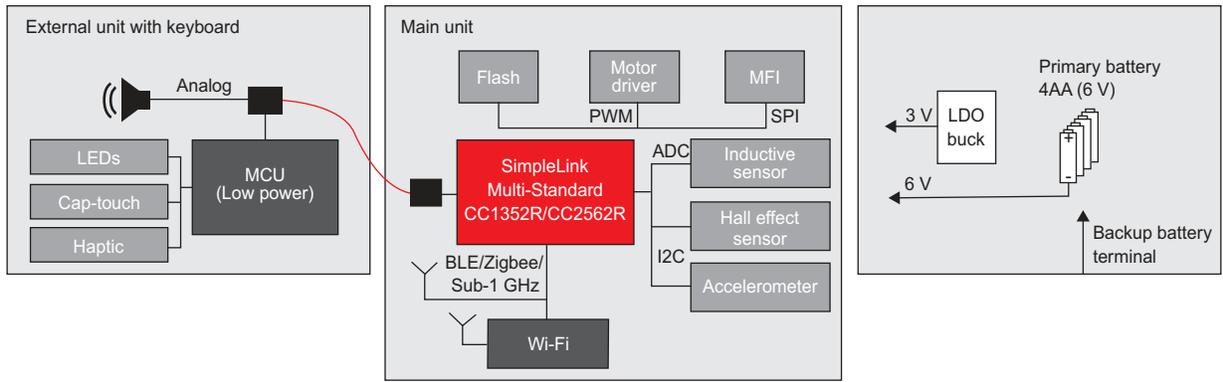


図 1. スマート電子ロックのブロック図

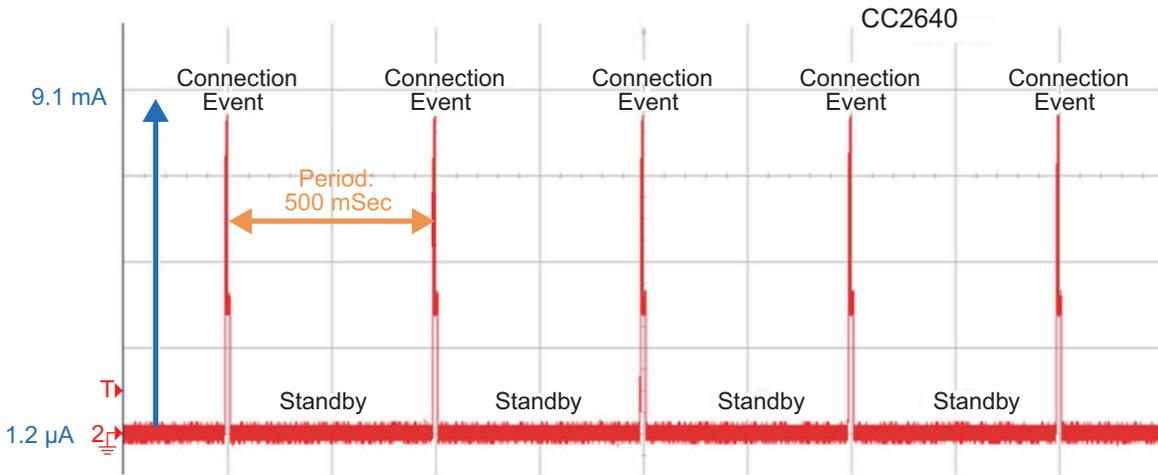


図 2. スマート電子ロックの時間軸に沿った電流消費量

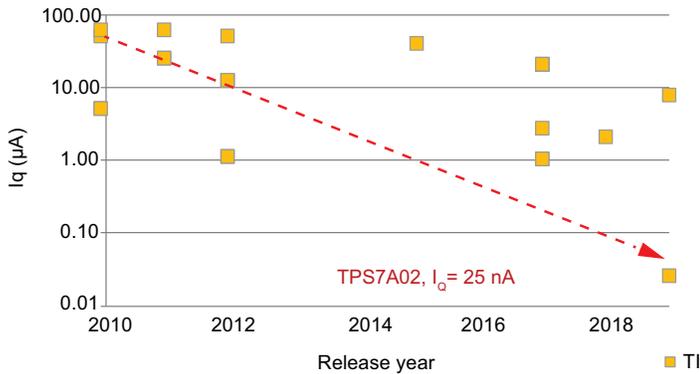


図 3. 5V LDO の静止電流 (I_Q) の変化

図 3 に示すように、5V LDO の静止電流 (I_Q) は、最近 10 年間にわたって、3 年ごとに約 90% の割合で減少を続けています。回路の改善と最適化済みのプロセス・テクノロジーによって、ソリューションの面積縮小や過渡ノイズ特性の向上と同時に、静止電流 (I_Q) の減少も実現できています。

静止電流 (I_Q) に寄与する要素

静止電流 (I_Q) とは、集積回路 (IC) が有効になっているが、スイッチングを実施していない、さらに外部負荷の電流を取り扱っていない状態で消費する電流の量を意味します。シャットダウン電流 (I_{SHDN}) とは、デバイスが無効になっているときに電源から引き出す電流の量を意味します。

電源レギュレータなど、常時オンになっている機能の静止電流 (I_Q) は、スタンバイ時間の長いシステムでは全体的な静止電流 (I_Q) に大きく寄与します。電源レギュレータ自体の内部では、電圧リファレンス、誤差アンプ、出力電圧デバイダ、保護回路のいずれにも固有の動作電流があります。

バッテリーまたは電源から引き出す合計静止電流 (I_Q) を判定するために考慮する必要があるのは、常時オンの各種機能と、コンデンサ、抵抗、インダクタからのリーク源です。

スイッチング・コンバータの I_Q については、いくつかの区別を行う必要があります。スイッチング・コンバータは通常、パワー・セーブ・モードを搭載しており、スイッチングを実施しない期間をより長くすることができます。その結果、平均静止電流 (I_Q) を低減できます。ただし、静止電流 (I_Q) は、スイッチング電流や、電圧出力 (V_{OUT}) から引き出す電流の効率成分を含んでいません (図 4 に示す昇圧コンバータの例を参照)。そのため、大半のレギュレータに適用できるように、次の式 1 を使用して、入力を基準とする無負荷時動作電流のスーパーセット (より含有成分の多い包括的な値) を計算することができます。

$$I_{I(standby)} = I_Q(V_{IN}) + I_{Leakage}(V_{IN}) + \frac{V_{OUT}}{V_{IN} \times \eta_1} \times [I_Q(V_{OUT}) + I_{FB} + I_{LOAD}] \quad (1)$$

電流と電圧は、図 4 で説明しています。ここで、

- $I_Q(V_{IN})$ は、 V_{IN} を基準とする静止電流 (I_Q) (IC のデータシートに掲載の値) です。
- $I_{Leakage}(V_{IN})$ は、 V_{IN} ピンでコンデンサ、インダクタ、ダイオード、またはスイッチから引き出されるリークage電流です。
- V_{OUT} は出力電圧です。
- V_{IN} は、バッテリー電圧 (LDO、昇圧コンバータ、または昇降圧コンバータに与えられる入力電圧) です。
- η_1 は、コンバータがスイッチングを実施しているときの DC/DC の効率です。
- $I_Q(V_{OUT})$ は、スイッチング・コンバータの V_{OUT} ピンから引き出される静止電流 (I_Q) です。LDO の場合、 $I_Q(V_{OUT}) = 0$ です。
- I_{FB} は、該当する場合、帰還抵抗デバイダを流れる電流です。
- I_{Load} は、スタンバイ・モード中に V_{OUT} に流れる可能性のある負荷電流です。

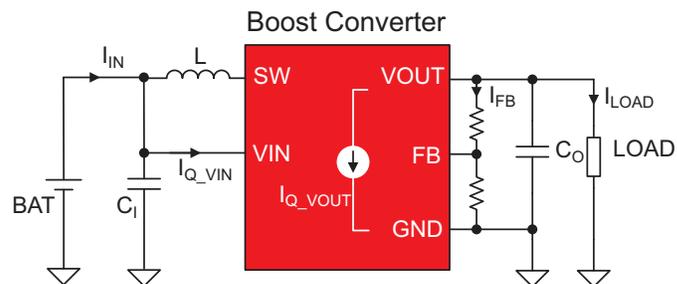


図 4. 昇圧コンバータ・システム内の電流

バッテリーの容量がわかっていて、入力を基準とするスタンバイ電流をすでに計算した場合、式 2 を使用して、99.9% 以上の時間がスタンバイ・モードになっている低消費電力システムで、デューティ・サイクルが大きい場合のバッテリー動作時間を推定することができます。

$$\text{Battery Lifetime} = \frac{\text{Battery Capacity}}{I_{I(standby)} + I_{\text{Battery leakage}}} \quad (2)$$

たとえば、スタンバイ電流が $1.2\mu\text{A}$ であるデューティ・サイクル型システムのバッテリーは、 100mAh のコイン・セル・バッテリーを使用する場合、8.7 年の持続が可能で

低静止電流 (I_Q) が新たな課題をもたらす理由

静止電流 (I_Q) の低減が課題となるいくつかの理由を説明します。

過渡応答

電源の精度は多くの場合、その過渡応答によって制限されます。その特性を設定するのは、電源の最大電圧降下、セトリング・タイム、電圧誤差の積分です (図 5)。

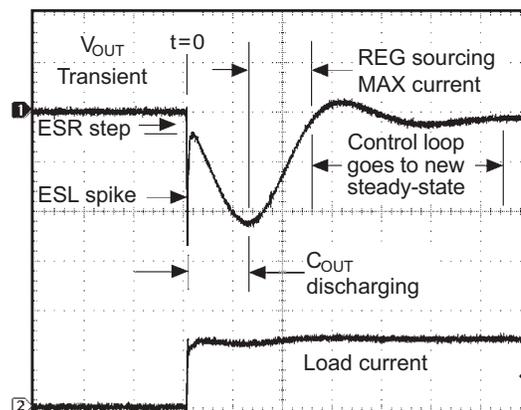


図 5. 出力電圧の過渡応答

応答時間は、負荷電流または電源電圧に突然の変化が生じた後、パワー・デバイスが目標の出力電圧へのレギュレーションにどれほど迅速に復帰するかを表す測定値です。この応答時間は、3つの段で構成されています。変化に反応するまでの遅延時間、低下またはオーバーシュートから復帰するための回復時間、およびセトリング・タイムです。

低静止電流 (I_Q) デバイスには、応答時間が長いという弱みがあります。内部の寄生コンデンサを新しい動作点 (電圧) まで比較的小さい電流で充電する必要があるためです。ワースト・ケースは通常、無負荷から、許容される最大負荷電流までのステップ変動 (電圧上昇) です。このような状況では必然的に、非アクティブになっていた回路または電力を小さくしていた回路を再度アクティブにすることになるので、追加の遅延が発生します。

より重要なこととして、セトリング・タイム自体もバイアス低下状態から不利な影響を受けます。従来の差動入力段を使用する場合、バイアス電流の減少に伴ってゲインは直線的に低下します。その結果、帯域幅は狭くなり、セトリング・タイムが長くなります。

性能指標 (figures of merit, FOM) を計算することで、設計者は電源レギュレータの全体的な性能を判定しやすくなります。**式 3** は、過渡応答の低下 FOM (性能指標) を計算するために、静止電流 (I_Q) を正規化します。正規化に使用するのは、コンバータの最大出力電流、負荷電流のステップ (ΔI_O)、それによる電圧の低下 (ΔV_O)、および出力コンデンサの静電容量 (C_O) です。**図 6** に、5V の昇降圧コンバータについて、年月の経過とともに FOM がどのように変化しているかを示します。FOM が小さいほど、レギュレータの特性は向上します。

$$\text{Transient response dip FOM} = \frac{I_Q \times \Delta V \times C_O}{I_{O_MAX} \times \Delta I_O} \quad (3)$$

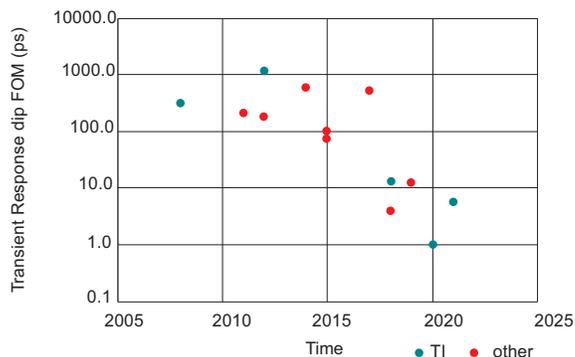


図 6. 5V 昇降圧コンバータでの過渡応答低下 FOM の変化

リップル

静止電流 (I_Q) を減少させるための別の方法は、負荷電流に応じて、複数のパワー・セーブ・モードに移行することです。これらのモード間での遷移は通常は自動的に行われますが、実装と性能は状況ごとに大きく異なります。懸案となる 2 つの点は、パワー・セーブ・モード間で遷移するときの電圧リップルと、出力電圧の精度です。(誤差アンプ内などの) 動作条件が通常、パワー・セーブ・モードごとに異なっていることが原因で、複数の動作ポイント (電圧) に合わせるための遷移時間が必須ですが、それは出力電圧の誤差という形で直接的な影響を及ぼす可能性があります。加えて、バイアス電流が小さい場合はコンパレータの遅延もより長くなるので、電圧スレッシュホールドとゼロ電流検出の両方で精度が低下する可能性があります。出力電圧のリップルの増加にもつながる場合があります。

ノイズ

克服が必要になる別の障壁は、静止電流 (I_Q) バイアスの減少に伴う各アンプ内の自己ノイズの増大です。LDO 内のノイズの大半に寄与する内部ブロック (**図 7** を参照) はリファレンス・システム (バンドギャップ)、誤差アンプ、出力電圧を分圧する抵抗デバイダです。**図 8** に、代表的なノイズ・プロファイルと周波数の対比を示します。これらのブロックが生成するノイズのうち、主な 2 種類は次のとおりです。

- 熱雑音 (「4kTR 雑音」とも呼びます) は、超低静止電流 (I_Q) の設計で特に大きい懸案事項になります。この雑音は、使用している抵抗に直線的に比例するからです。誤差アンプとリファレンス・ブロック内で使用する抵抗由来のバイアス電流と、抵抗デバイダの一部として使用する抵抗は両方とも、1kHz を超える周波数では熱雑音に対する支配的な寄与要素になります。

- フリッカ・ノイズ（「 $1/f$ ノイズ」とも呼びます）は、周波数が 100Hz 未満の低周波ノイズであり、リファレンス・システム内と誤差アンプ内の差動ペアのサイズを大きくすると低減できます。しかし、差動ペアのサイズを大きくすることはナノパワー設計に対する障害をもたらします。差動ペアのリーケージと静電容量が増えることで、応答時間が遅くなるためです。

特定の静止電流 (I_Q) の結果として生じるノイズを求める簡単な方法は、懸案となる周波数範囲全体で積分したノイズに、関心のある動作ポイント (電圧) での静止電流 (I_Q) を乗算することです。通常、これらの数値は両方ともデバイス固有のデータシートで見つかります。

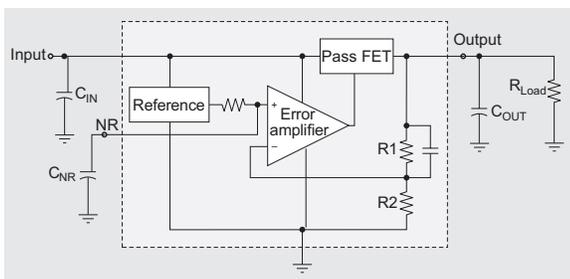


図7. 簡略化した LDO ブロック図

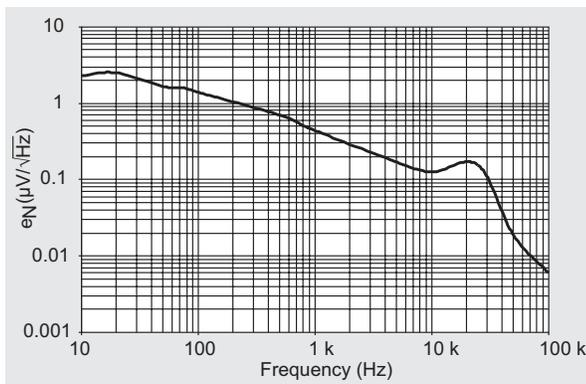


図8. スペクトル・ノイズ密度の例

ダイ・サイズとソリューション面積

ほかに、静止電流 (I_Q) を小さくすると、より大きい受動部品または IC パッケージ・サイズを実装するためにボード面積が大きくなる場合があります。LDO と DC/DC コンバータの両方で、より静電容量の大きいコンデンサなど、より大きい外部受動部品を使用するのはナノパワー・デバイスに共通する傾向であり、通常は過渡特性の低下を補償する目的でこれらの素

子を使用します。パッケージ面積が増大する直接的な要因は、ダイ面積の大型化です。

静止電流 (I_Q) が $1\mu A$ 未満のデバイスで、ダイを分解して目視検査したところ、抵抗とコンデンサが、FET (電界効果トランジスタ) 以外の内部ダイ面積の 20% 以上を占有していました。静止電流 (I_Q) と面積の問題については複数の解決策が存在していますが、市場で最善の解決策を選定するための簡潔な方法は、次のシンプルな FOM (性能指標) を適用することです。静止電流 (I_Q) \times 最小パッケージ面積。関連情報をデータシートで参照すると、この FOM を求めることができます。供給されている最小パッケージに注目すると、ダイ面積の縮小に関する手掛かりが得られます。

静止電流 (I_Q) が最小で、使用可能な中で最小のパッケージを採用しているデバイスを選定すると、通常は静止電流 (I_Q) \times 面積の良好な効率を達成できます。

リーケージとスレッシュホールド未満領域での動作

ナノパワー・プロセスの目標は、高性能のディープ・サブミクロン (百数十 nm や数十 nm など、 $1\mu m$ を大幅に下回る微細プロセス・ルール) テクノロジーの目標と相反することがあります。後者は、静止電流 (I_Q) の低減よりも速度とゲート密度を優先します。プロセス・テクノロジーは違っても、リーケージの大部分は大規模デジタル回路、メモリ、大電力 FET で発生します。常時オンの回路の精度は、抵抗やコンデンサのような素子を制御する能力や、複数のトランジスタ間の不整合が原因で、制約を受ける傾向があります。リーケージに対処する目的、また常時オンの回路を制御する目的で適切な素子を選択する作業を怠ると、通常動作時やワースト・ケースにおける静止電流 (I_Q) とシャットダウン電流 I_{SHDN} の比が温度範囲全体にわたって大きくなるという結果になります。適切な素子を使用した専用の低消費電力プロセス・テクノロジーを採用すれば、製造時の利点を明確に実現できる可能性があります。

基本的な課題の 1 つは、スレッシュホールド未満領域でバイアスされた素子を高い信頼性で動作させることです。よく見受けられる一般的な問題の 1 つは、スレッシュホールド電圧 (V_T) の偶発的な不整合の増加です。図 9 に、文献で報告された 1 つのメカニズムを示します。それは、トランジスタの端部のシャロー・トレンチ・アイソレーション (STI) の酸化膜の目減りが偶発的な不整合を増大させるというものです。互いに並列関係にある、

V_T の低いエッジ・トランジスタを図 9 に示しますが、この場合は意図したトランジスタの V_T が歪み、差動ペアや電流ミラーのような大半の基本的なアナログ回路で偶発的な不整合がかなり大きくなるという結果を招きます。これらの不整合が原因で、温度範囲全体にわたって出力電圧またはモード制御の精度が低下する可能性があります。データシートでそのような低下を明確に確認できることがあります。

低静止電流 (I_Q) の障壁を打破する方法

静止電流 (I_Q) を最適化するには、互いに競合する設計上の複数の課題を解決する必要があります。設計の際に、過渡応答、ノイズ、精度に関する重要な性能仕様すべてを満たすと

同時に、静止電流 (I_Q) を数分の 1 程度にまで低減する必要があります。性能仕様でトレードオフを評価する前に、出力負荷範囲全体で静止電流 (I_Q) と電力損失を定量化する必要があります。DC/DC スイッチング コンバータの場合、負荷電流に対する電力効率に注目します。一方、LDO の場合は、負荷電流に対する電流効率に注目します。

たとえば、図 10 に、テキサス・インスツルメンツの **TPS63900** 昇降圧コンバータの効率、および競合製品との対比を示します。1 μ A から 6 桁上 (1A) までにわたる負荷電流範囲で TPS63900 の効率は 80% 以上にとどまり、ピーク効率は 96% に達しています。

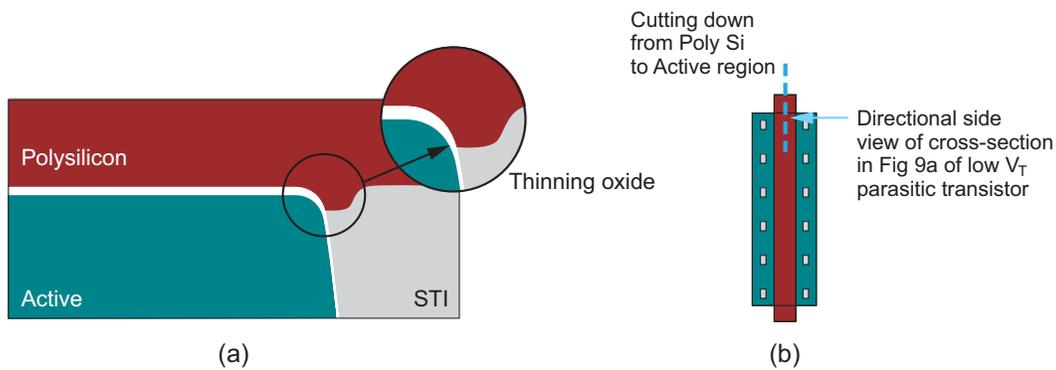


図 9. 酸化膜の目減りに起因する低 V_T 寄生成分を示す 2D 断面図 (a) とレイアウトビュー (b)

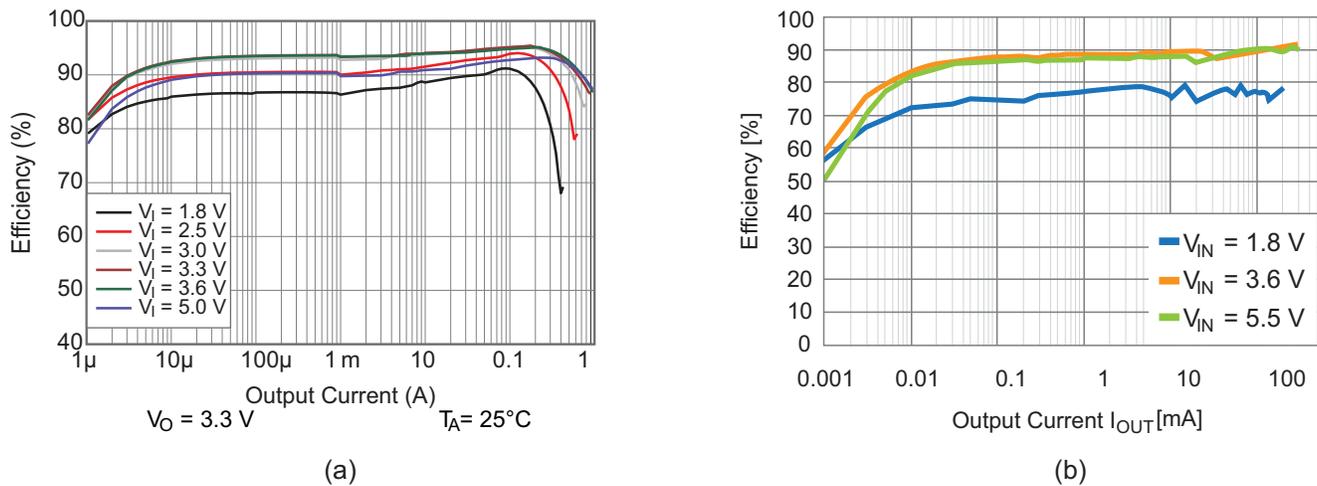


図 10. TPS63900 (a) と競合製品 (b) それぞれの効率(出典:テキサス・インスツルメンツと競合製品それぞれのデータシート)

過渡応答の課題への対処

過渡応答を改善するための鍵は、最善のトポロジーを出発点とすることです。たとえば、TPS61094 は低 I_Q と高速過渡応

答に対応しています。TPS61094 は、スーパーキャパシタ充電 (降圧) およびスーパーキャパシタ放電 (昇圧) モードで I_Q が 60nA と小さい双方向昇降圧コンバータです。TPS61094

は、出力の dv/dt の傾きを監視しそのレギュレーション動作を調整することで、任意の瞬間の過渡性能を最適化します。これにより、低 I_Q を維持しながら、出力の電圧降下を迅速に検出できます。その結果、バックアップ電源のサポートまたはスーパーキャパシタによるピーク負荷のサポートを TPS61094 が開始する際に、出力電圧はほぼ一定に保たれます。

電流を多く消費するブロックの数をできるだけ減らす必要があります。つまり、トポロジーがシンプルであるほど、改善につながります。たとえば、TPS63900 は 4 スイッチの昇降圧コンバータであり、静止電流 (I_Q) は 75nA です。この製品は単一モードを使用して出力電圧のレギュレーションを実施し、入力レベルより上か下、または入力に等しい値にします。コアアーキテクチャに加えて、軽負荷に移行するときにサンプル / ホールドの手法を使用し、すべての内部サポート機能の I_{SHDN} を最小化します。

ゼロ電流帰還デバイダ、デジタル支援制御機能、ダイナミックバイアス印加によって、電流をさらに節減することもできます。ダイナミックバイアス印加はよく知られた手法ですが、わずか数 nA で動作させる場合には課題をもたらす可能性があります。バイアス電流が小さいときにゲインが小さくなる事態を防

止するために、バイアス電流の関数としてトランスコンダクタンスと出力抵抗の両方を最適化すると、静止電流 (I_Q) 効率の良い定ゲイン アンプを実現できます。

別の手法は、高速スタートアップ回路を使用することです。サンプル / ホールドのリファレンス システムのスタートアップ時間を短くすると、バンドギャップ コアとスケールアップ アンプ回路のオン時間は非常に短くなります。この結果、オン時間とオフ時間の比率を改善できるので、平均電流をナノアンペアの範囲まで低減しながら、ノイズと精度の水準を維持することができます。

ライン過渡応答を改善するために、エネルギー効率の優れた方法で、電圧レギュレーション ループにフィードフォワード手法を適用します。バイアス電流を調整するため、または回路を有効にするために過渡検出回路を使用すると、出力側での電圧低下とセトリング タイムの両方をさらに小さくすることができます。

図 11 に、TPS63900 にこれらの手法を適用した状況を示します。ライン過渡は出力電圧の中でかろうじて認識できますが、スイッチングリップルを大幅に下回っています。それに対し、他のデバイスでは 100mV の変化を示しています。

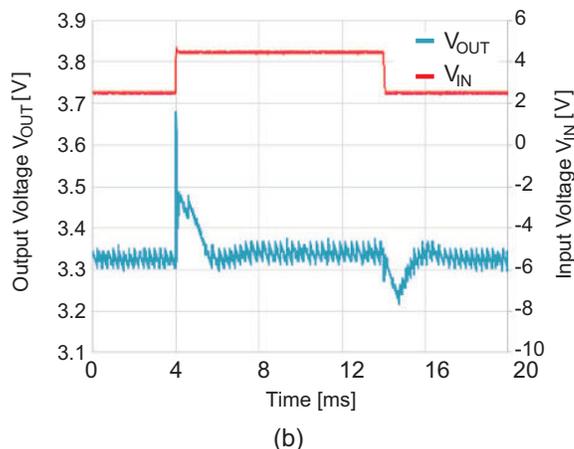
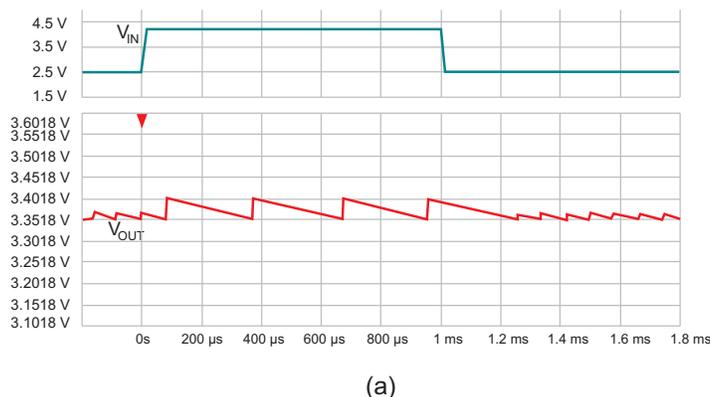


図 11. ライン過渡応答 ($V_{IN} = 2.5V \sim 4.2V$, $V_{OUT} = 3.3V$, $I_{OUT} = 1mA$)、TPS63900 (a)、競合デバイス (b)

スイッチング ノイズの問題への対処

高精度データ アプリケーションを設計する場合の 1 つの優先事項は、DC/DC コンバータのスイッチング ノイズを制御することです。特に複数のパワー セーブ モードで、大きな出力電圧リップルの要因となる過渡バーストに対処する必要があります

ます。このリップルを低減する 1 つの方法は、1 つのスイッチング サイクルの間に出力へ渡されるエネルギー パッケージを最小化することです。ただし、それで十分ではない場合はどうなるでしょうか。

昇圧コンバータ **TPS62840** は、静止電流 (I_Q) が 60nA であり、実装済みの STOP ピンを使用して、現在のスイッチングサイクルが終わった後にレギュレータのスイッチング動作を直ちに停止することで、完全にスイッチング ノイズのない時間を確保できます (図 12 を参照)。

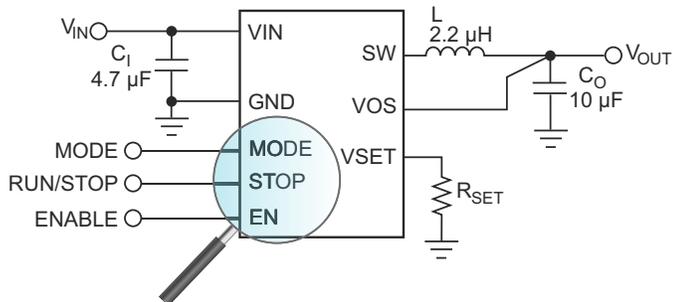


図 12. STOP ピン機能による TPS62840 のスイッチング ノイズの防止

他のノイズ問題への対処

スイッチング ノイズ以外に、熱雑音とフリッカ ノイズの各成分を含む連続的な自己雑音が 0.1Hz~100kHz の範囲内に存在しており、静止電流 (I_Q) バイアスがより小さい場合はこの自己雑音が懸案事項になります。通常はリファレンスがノイズの最大寄与要因なので、電圧と電流両方のリファレンスを作成するために内蔵バージョンのサンプル / ホールド方式を選択すると、デバイスの寿命全体にわたって、面積、ノイズ、静止電流 (I_Q)、性能の信頼性 (ドリフトなし) に関して魅力的なトレードオフを実現できます。このようなサンプル / ホールド回路の欠点は、小さいリップル誤差を生成することです。

図 13 に、テキサス・インスツルメンツの高精度 D/A コンバータ (DAC) とオペアンプ ファミリーを使用してサンプル / ホールドの動作最適化を試みる設計を示します。発生したグリッチはこの対策を通じて、式に示すレギュレータのノイズフロア内に適切に収まります。これらの手法の一部を採用することで、**TPS7A02** LDO を使用する設計のグリッチとその他の不要なノイズを除去できます。

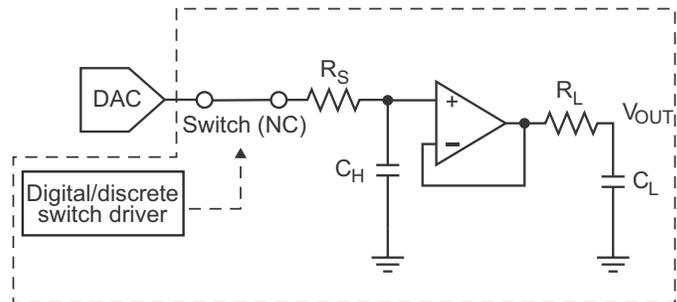


図 13. ディスクリートのサンプル / ホールド DAC システム。

図 14 に示すように、TPS7A02 デバイスのサンプル / ホールド回路によるノイズ成形機能を通じて、10Hz~100kHz の周波数帯で積分ノイズを 40% 以上低減できます。

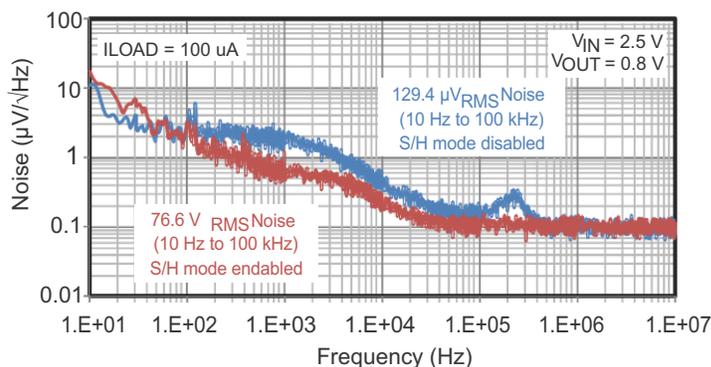


図 14. TPS7A02 上のサンプル / ホールド リファレンスを使用する場合と使用しない場合のノイズ スペクトル。(出典: TPS7A02 の内部シリコンのテキサス・インスツルメンツによる測定値)。

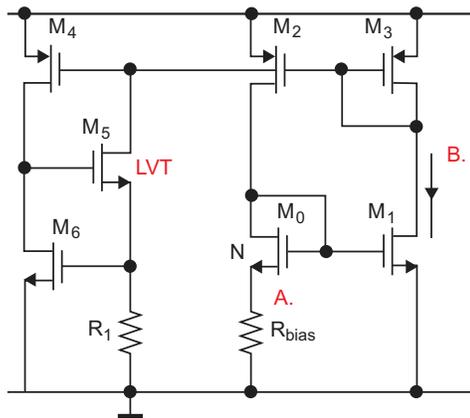
ダイサイズとソリューション面積の問題への対処

ナノパワーレギュレータ内で面積が非常に大きいブロックの1つとして、電流リファレンスを挙げることができます。この回路は、1~10nAのバイアスレグを生成する役割を果たします。電流リファレンスブロック内にある電流バイアス生成領域では、複数の抵抗素子が支配的になっています。値の小さい抵抗の両端間に小さいバイアス電圧を印加すると、抵抗値が減少する結果になります。リファレンスバイアス電流を形成するときに、1つの手法を使用して、 $\Delta V_{gst}/R$ または $\Delta V_{be}/R$ の回路を生成することができます。

図15に、温度係数がほぼ0であるバイアス電流を生成するための優れた実装方法を示します。この場合、 R_1 と R_{bias} の各抵抗の間で小さい電圧バイアスを使用し、温度係数がそれぞれ正と負であるバイアス電流を作り出します。

1. $\Delta V_{GST} = 2 \times V_T \times \ln(N)$
2. $I_b = \frac{2 \times V_T \times \ln(N)}{R_{bias}} + \frac{V_{GS6}}{R_1}$

図15. 面積が小さい1nA電流リファレンスを示す回路図。



これらの手法を使用して、より面積の小さい受動領域を実現し、実質的にダイ面積を縮小することができます。すでに説明

した、静止電流 (I_Q) x 最小パッケージの面積というFOM (性能指標) は、このような手法の面積効率を比較する最善の方法です。TPS7A02 デバイスは、2019年に1mm x 1mmのDQN (dual-flat-no-leads) パッケージで発売され、2021年にそのWCSP (Wafer Chip-Scale Package) のバリエーションが発売されました。このLDOは、 I_Q x パッケージ面積効率のFOMに関して業界で最も小さい値の1つ (10nA-mm² 未満) を実現しています。図16に、標準的な0402コンデンサと、TPS7A02の供給に使用されているDQNとWCSPの各パッケージを横に並べて対比します。

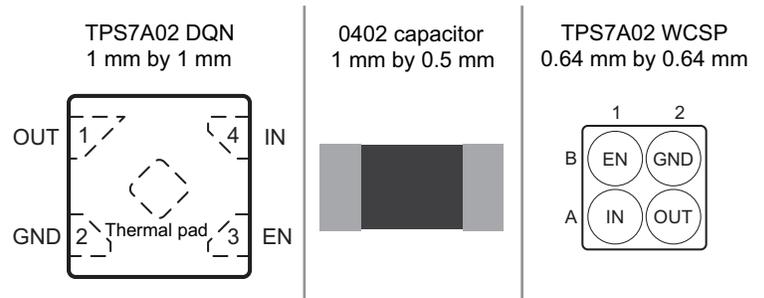


図16. DQNパッケージ (TPS7A02)、0402コンデンサ、WCSPパッケージのサイズの対照比較。

電源電圧スーパーバイザに対して類似の面積縮小手法を適用する場合、主な課題は、10Vを上回る電圧を検知しながら、0.5μA未満という静止電流 (I_Q) の水準をどのようにして維持するかです。監視対象電圧に対して静電容量式センシングを実施して、サンプル/ホールド手法を組み合わせると、ダイ面積を縮小し、応答時間を改善することができます。高い入力電圧に対応するTPS3840 ナノパワースーパーバイザの静止電流 (I_Q) は350nA未満であり、最短15μsのリセット伝搬遅延を達成すると同時に、10Vレールを直接監視することができます。

ルド未満領域での動作に関して高精度のモデル化を実施すると、**図 18** のようになり、最小でピコアンペア/マイクロメートル (pA/ μm) というバイアス水準まで、信頼性の高い動作を実現できるようになります。

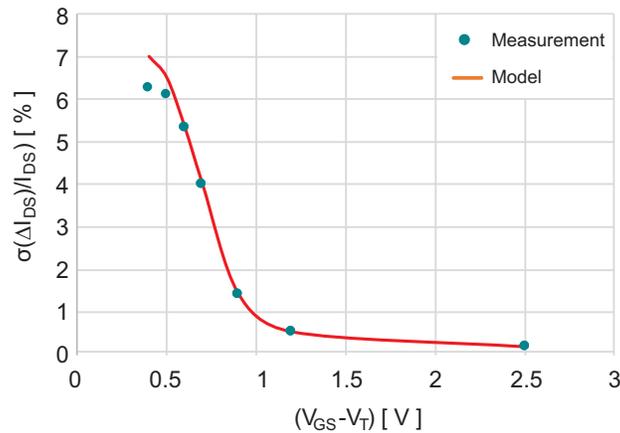


図 18. シグマ I_{DS} 不整合のパーセンテージと $V_{GS} - V_T$ の対比

電気的特性

規定条件: $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ または 2.0V (どちらか大きい方), $I_{OUT} = 1\text{mA}$, $V_{EN} = V_{IN}$, $C_{IN} = C_{OUT} = 1\mu\text{F}$ (別途規定がない場合)。標準値は $T_J = 25^\circ\text{C}$ 時に測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
公称精度		$T_J = 25^\circ\text{C}$, $V_{OUT} \geq 1.5\text{V}$, $1\mu\text{A}(1) \leq I_{OUT} \leq 1\text{mA}$	-1		1	%	
		$T_J = 25^\circ\text{C}$, $V_{OUT} < 1.5\text{V}$	-15		15	mV	
温度範囲全体での精度		$V_{OUT} \geq 1.5\text{V}$	$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$	-1.5	1.5	%	
		$V_{OUT} \geq 1.5\text{V}$		-20	20	mV	
(ΔV_{IN})	ラインレギュレーション	$V_{OUT(nom)} + 0.5\text{V} \leq V_{IN} \leq 6.0\text{V}$ (1)			5	mV	
ΔV_{OUT} (ΔI_{OUT})	ラインレギュレーション (2)	$1\text{mA} \leq I_{OUT} \leq 200\text{mA}$, $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ (2)	$T_J = -40^\circ\text{C} \sim +85^\circ\text{C}$	20	38	mV	
			$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$		50		
I_{GND}	グラウンド電流	$I_{OUT} = 0\text{mA}$	$T_J = 25^\circ\text{C}$		25	nA	
			$T_J = -40^\circ\text{C} \sim +85^\circ\text{C}$		60		
I_{GND}/I_{OUT}	グラウンド電流対負荷電流	$5\mu\text{A} \leq I_{OUT} < 1\text{mA}$ $1\text{mA} \leq I_{OUT} < 100\text{mA}$ $I_{OUT} \geq 100\text{mA}$	$T_J = 25^\circ\text{C}$		1	%	
					0.25		
					0.15		
$I_{GND(DO)}$	ドロップアウト時のグラウンド電流 (3)	$I_{OUT} = 0\text{mA}$, $V_{IN} = 95\% \times V_{OUT(nom)}$	$T_J = 25^\circ\text{C}$		25	nA	
I_{SHDN}	シャットダウン電流	$V_{EN} = 0\text{V}$, $1.5\text{V} \leq V_{IN} \leq 5.0\text{V}$, $T_J = 25^\circ\text{C}$	$T_J = 25^\circ\text{C}$		3	10	nA

表 1. TPS7A02 データシートに掲載されている I_{GND} と I_{SHDN} の変動。

- (1) $V_{OUT} \leq 1.5\text{V}$ の時, $V_{IN} = 2.0\text{V}$ 。
- (2) ロードレギュレーションは, $I_{OUT} = 1\text{mA}$ 時の出力電圧で正規化されています。
- (3) 設計により規定されています。

I_{Q-GND} 、 I_{SHDN} 、 V_{OUT} の精度に関する変動はいずれも、特定のプロセステクノロジーを使用する素子の製造能力に関する適切な指標になります。表 1、『TPS7A02 ナノパワー IQ、25nA、200mA、高速過渡応答の低ドロップアウト電圧レギュレータ』データシートのには、無負荷時の I_{GND} が、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の温度範囲で $25\text{nA} \sim 60\text{nA}$ で変動することが記載されています。温度範囲内でのこの変動は、電流ミラーの不整合と I_{BIAS} 生成制御能力を表しています。 I_{SHDN} は、室温で 3nA から 10nA の範囲で変動しており、パワー FET とデジタル ロジックのリーケージ制御に関する良好な指標になります。 V_{OUT} の精度は温度範囲全体にわたって誤差 1.5% 未満であり、スレッシュホールド未満領域での不整合の制御に関する良好な指標になります。

低静止電流 (I_Q) の設計におけるシステムの潜在的な落とし穴を回避

外部コンデンサのリーケージは 1 つの懸案事項になります。どのレギュレータでも、入力と出力両方のコンデンサが、静止電流 (I_Q) の増加要因になります。外部コンデンサのリーケージを評価する優れた方法の 1 つを図 19 に示します。ここでは、コンデンサのさまざまな絶縁抵抗 (R_p) 仕様について、コンデンサの両端間で測定した電圧降下を時間に対して示します。データシートの値と無関係にコンデンサのリーケージを測定することを推奨します。コンデンサを既知の電圧まで充電し、時間の経過とともに降下を監視するのは、さまざまなコンデンサ オプションを定量化して比較するための優れた方法です。絶縁抵抗が最大であるコンデンサは、時間による降下が最小になります。

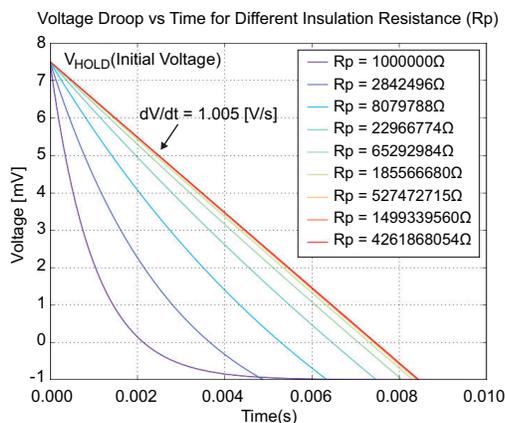


図 19. さまざまな絶縁抵抗での時間による電圧降下

コンデンサのリーケージ以外に、電圧計の入力インピーダンスは低静止電流 (I_Q) を測定するセットアップで重要な役割を果たし、不正確な結果につながる要因にもなります。インピーダンスが $10\text{M}\Omega$ である標準的な電圧計を、電源レギュレータの入力または出力に接続すると、電源電圧または出力電圧が 5V である場合に 500nA の電流消費に寄与することになります。TPS7A02 LDO の場合、内部の自己消費静止電流 (I_Q) は 25nA なので、この外部リーケージはその 20 倍に達することになります。

正しい測定方法と、電圧計および電流計を適切な場所に接続する方法で、測定誤差を防止することができます。図 20 に、さまざまなテストのセットアップと、それらが効率に及ぼす影響を示します。負荷が 0.1mA 未満である場合、これらはすでにかなり大きい影響を及ぼしています。超低 I_Q 測定のセットアップに関する問題を回避するための最適なオプションに関するヒントについては、Analog Design Journal の記事、『超低 I_Q デバイスの効率を正確に測定する』を参照してください。

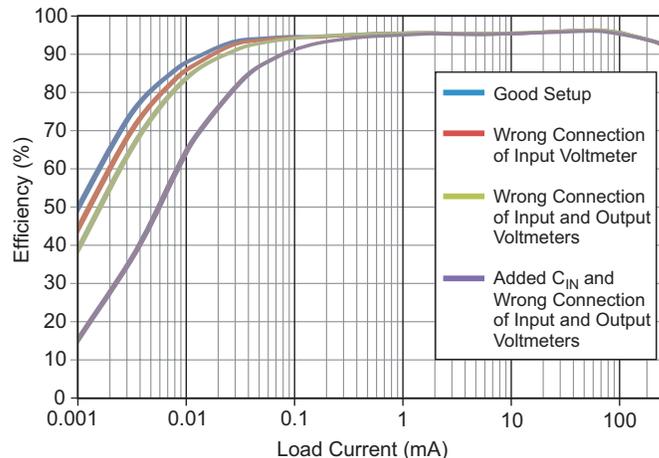


図 20. セットアップによって異なる効率の測定結果

低消費電流 (I_Q) の実現とフレキシビリティを両立

フレキシビリティは、低消費電力アプリケーションの設計の鍵になります。その 1 つの例が、出力電圧値の変更です。従来の方法は、調整可能な外部帰還デバイダを使用することで、ただし、その場合は不正確さが大きくなることに加えて、静止電流 (I_Q) も大きくなります。最新のナノアンペア・パワー・コンバータでは、R2D インターフェイス (図 21) を使用して、出力電圧の設定をデジタル化できます。この機能はデバイスの

起動後にシャットダウンされるので、余分な電流を消費しなくて済みます。

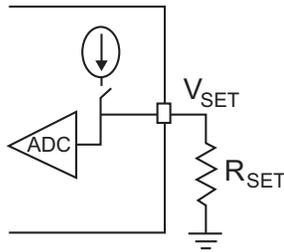


図 21. R2D インターフェイス

外付け部品点数を低減することで車載アプリケーションの I_Q を低減

過酷な車載環境では、システムレベルの静止電流 (I_Q) は外部抵抗で決まります。リーケージを防止する要件を考慮し、抵抗は通常 100kΩ 未満に制限されます。ただし、静止電流 (I_Q) と I_{SHDN} を小さくする目標を放棄する必要はありません。12V を監視する外部帰還デバイダを使用すると、静止電流 (I_Q) が 100 μ A を上回る範囲になります。これより抵抗値の大きい内部帰還デバイダを使用してデバイス電流を小さくすることは可能ですが、プログラマビリティ (設定能力) は失われます。

LM5123-Q1 は、入力電圧範囲 (V_{IN}) が広い昇圧コントローラであり、従来の外部帰還抵抗と内部の低電圧リファレンスを入れ替える方法で、静止電流 (I_Q) を低減します。それにより、わずかな代償で値の小さい抵抗を実現できます。電圧リファレンスと帰還抵抗に関するこの革新的な配置を使用すると、直前の例で登場した 300 μ A の静止電流 (I_Q) という値を 1/20 未満に減少させることができます (図 22 を参照)。

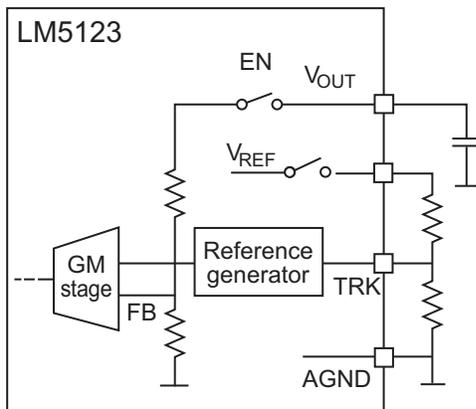


図 22. 低静止電流 (I_Q) の車載環境におけるフレキシブルなプログラミング。

LM5123-Q1 と同様、LMR43610/20 36V、1A/2A 降圧コンバータは、帰還回路を内蔵することで I_Q を最小化する斬新な方式を採用しています。LMR43610/20 は起動時に V_{OUT}/FB ピンのインピーダンス チェックを実行します。これにより、出力電圧調整機能を利用するために使う外部帰還回路の有無を検出します。外部の帰還抵抗が検出されない場合、本デバイスは、3.3V または 5V の固定出力電圧を設定する内蔵帰還回路を自動的に使用します。これにより、帰還回路のリーケージを最小限に抑え、 I_Q を低減します

LMR43610/20 など、多くのスイッチ モード電源デバイスは、IC の内部回路に電力を供給するために内部 LDO を使用しています。低電圧アプリケーションでは、通常この内部 LDO に入力電圧から直接電力を供給します。しかし、内部 LDO に電力を供給するこの方法は、LDO の電力損失が入力電圧に正比例するため、広い入力電圧にわたって動作する設計に特有の課題をもたらします。

この課題に対処するため、入力から電力を供給するのではなく、LMR43610/20 は V_{OUT}/FB ピンから同じ電圧を利用して内部 LDO に電力を供給します。次にその内部 LDO が、総 I_{Q_VIN} を最小化するためにすべての内部回路をバイアスします。これにより、内部 LDO の電流を $V_{OUT}/(V_{IN} \cdot \eta)$ の係数で低減できます。これらの機能をこの資料で説明している方法と組み合わせることで、LMR43610/20 はクラス最高の低 I_Q 性能 (150°C T_J で 3 μ A 以下) と軽負荷時効率 (公称 12V $_{IN}$ 、3.3V $_{OUT}$ 、2.2MHz 変換で 1mA 時に約 90%) を実現できます。

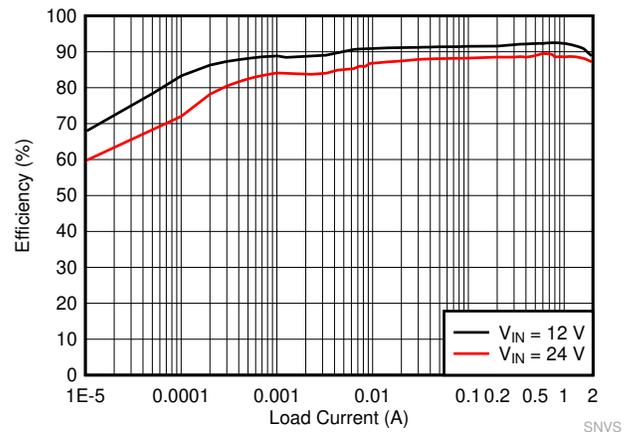


図 23. 効率: $V_{OUT} = 3.3V$ (固定)、2.2MHz

システムレベルで低静止電流 (I_Q) をサポートする機能をスマート オンまたはスマート イネーブルにする

デバイスレベルで改良を実施すると、システムレベルの設計を簡素化することができます。これに該当する1つの例は、60m Ω 、リーケージ10nAのロードスイッチである **TPS22916** が搭載しているスマート イネーブル機能です。超低リーケージと超低静止電流 (I_Q) 特性に加えて、このデバイスはスイッチをオンにするスマートな方法も実現しています。通常、ONピンに内部プルダウン抵抗を取り付けているので、スイッチを制御するマイコンが高インピーダンス (Z) 状態に移行する状況でも、パワー スイッチが偶発的にオンに切り替わる事態を確実に防止できます。残念ながら、これらのプルアップ抵抗とプルダウン抵抗は、システムレベルの静止電流 (I_Q) に悪影響を及ぼします。

図 24 に示すように、TPS22916 は他の多くのナノ静止電流 (I_Q) 製品と同様、スマート オンまたはスマート イネーブル回路を搭載しています。この回路は、ソフト スタートを実施した後はプルダウンパスを開回路にして、従来発生していた常時オンの静止電流 (I_Q) を排除すると同時に、デバイスへの電力供給がオフになっているときは既知の低インピーダンス状態を引き続き維持することを保証します。

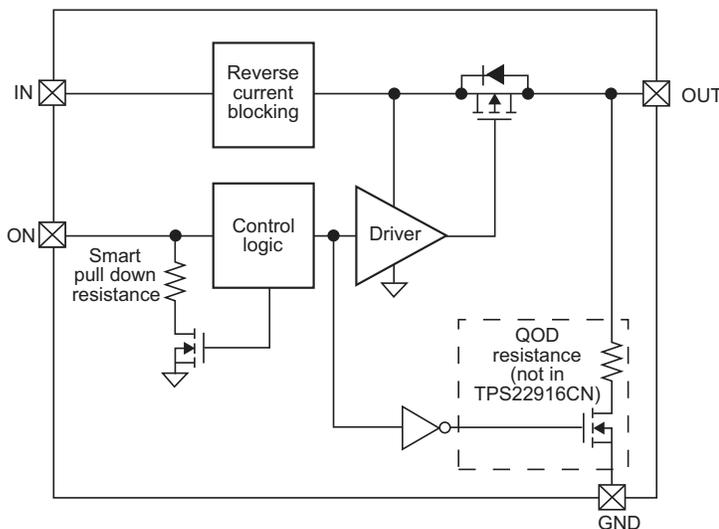


図 24. デバイスがオフになっている間は ON ピンで低インピーダンス

権限を保持する。ここに記載されているすべての情報は、Texas Instruments 社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

SimpleLink™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
Wi-Fi® is a registered trademark of Wi-Fi Alliance.
すべての商標は、それぞれの所有者に帰属します。

まとめ

電流の減少を目指すトレンドは明確です。無負荷または軽負荷の条件下で高効率を達成する必要があるため、電源ソリューションは出力のレギュレーションを厳密に実施すると同時に、超低消費電流を維持する必要があります。超低静止電流 (I_Q) のテクノロジーと製品で構成された TI の製品ラインアップを活用すれば、今後の設計で製品のバッテリー動作時間を最大化し、低消費電力を実現することができます。

低静止電流 (I_Q) に関連する TI の各種テクノロジーの主な利点:

- 常時オンの低消費電力 — 超低リークプロセステクノロジーと斬新な制御テクノロジーにより、バッテリー動作時間を延長します。
- 高速応答時間 — 高速ウェークアップコンパレータとゼロ静止電流 (I_Q) フィードバック制御により、低消費電力という特性を犠牲にせずに高速な動的応答を実現できます。
- フォームファクタの縮小 — 抵抗とコンデンサの面積節減手法により、静止電力に影響を及ぼさずに、スペース制約が厳しいアプリケーションへの統合が容易になります。

[ti.com/lowiq](https://www.ti.com/lowiq) を参照すると、TI などを活用して、システムの性能を犠牲にせずに、バッテリー動作時間と保管期間を延長する方法を確認できます。

低静止電流 (I_Q) に関連する主な製品カテゴリ

- バッテリーチャージャ IC
- 昇降圧レギュレータと反転レギュレータ
- リニアレギュレータ (LDO)
- パワー スイッチ
- シリーズ電圧リファレンス
- シャント電圧リファレンス
- 降圧 (バック) レギュレータ
- 昇圧 (ブースト) レギュレータ
- 監視/リセット IC

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated